

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6486385号
(P6486385)

(45) 発行日 平成31年3月20日 (2019. 3. 20)

(24) 登録日 平成31年3月1日 (2019. 3. 1)

(51) Int. Cl. F I
 HO 1 L 21/8238 (2006. 01) HO 1 L 27/092 B
 HO 1 L 27/092 (2006. 01) HO 1 L 27/088 3 3 1 D
 HO 1 L 27/088 (2006. 01)

請求項の数 12 (全 15 頁)

(21) 出願番号	特願2016-564403 (P2016-564403)	(73) 特許権者	506236358
(86) (22) 出願日	平成27年1月16日 (2015. 1. 16)		インフィネオン テクノロジーズ オーストリア アクチエンゲゼルシャフト
(65) 公表番号	特表2017-505549 (P2017-505549A)		オーストリア 9500 フィラハ シーメンスシュトラッセ 2
(43) 公表日	平成29年2月16日 (2017. 2. 16)	(74) 代理人	110002077
(86) 国際出願番号	PCT/EP2015/050798		園田・小林特許業務法人
(87) 国際公開番号	W02015/110362	(72) 発明者	アラン ノグイラス ニルスン
(87) 国際公開日	平成27年7月30日 (2015. 7. 30)		デンマーク国, デーコー-2800 コン
審査請求日	平成30年1月5日 (2018. 1. 5)		ゲンス リンビュー, モードンスバイ 2
(31) 優先権主張番号	14151919.9	(72) 発明者	ミゲル ホイエルビュ
(32) 優先日	平成26年1月21日 (2014. 1. 21)		デンマーク国, 2730 ヘアリウ, エーヤレデト 16
(33) 優先権主張国	欧州特許庁 (EP)		

最終頁に続く

(54) 【発明の名称】 集積化ハイサイド・ゲート・ドライバー構造、及びハイサイド・パワー・トランジスターを駆動する回路

(57) 【特許請求の範囲】

【請求項 1】

パワー・トランジスター(407)を動作させる集積化ハイサイド・ゲート・ドライバー構造(411)であって:

第1のウェル拡散層が形成される第1の極性の半導体材料を含む半導体基板(422)と、

第2の極性の半導体材料を含み、前記半導体基板(422)に接した外周壁を備えた前記第1のウェル拡散層(430)と、

前記第1のウェル拡散層(430)の内側に配列されて、第2のウェル拡散層の外周壁が前記第1のウェル拡散層(430)の内周壁に接するようにした、前記第1の極性の半導体材料を含む第2のウェル拡散層(429)と;

ハイサイド正電源電圧ポート、ハイサイド負電源電圧ポート(412)、ドライバー入力(414)、及びドライバー出力(425)を備えたゲート・ドライバー(411)であって、

前記ゲート・ドライバー(411)が、前記第2のウェル拡散層(429)内に配置されたトランジスター・ドライバー(401、403)を備え、前記トランジスター・ドライバー(401、403)の制御端子及び出力端子を前記ドライバー入力(414)と前記ドライバー出力(425)にそれぞれ結合するようにしたゲート・ドライバー(411)と、

前記第1のウェル拡散層(430)と前記ハイサイド負電源電圧ポートとの間の第1の

電氣的接続(412a)、及び前記第2のウェル拡散層(429)と前記ハイサイド負電源電圧ポートとの間の第2の電氣的接続(412a)と、を備えた、集積化ハイサイド・ゲート・ドライバー構造(411)。

【請求項2】

前記第1のウェル拡散層(430)の外周壁が、水平な底壁部分(426、NBL)に電氣的に接続された第1及び第2の鉛直壁部分を備え；そして

前記第2のウェル拡散層(429)の外周壁が、水平な底壁部分(427、PBL)に電氣的に接続された第1及び第2の鉛直壁部分を備えた、請求項1に記載の集積化ハイサイド・ゲート・ドライバー構造(411)。

【請求項3】

前記第1のウェル拡散層(430)の前記水平な底壁部分(426、NBL)が、N+型極性又はP+型極性の埋め込み層を備え、前記第2のウェル拡散層(429)の前記水平な底壁部分(427、PBL)が、前記第1のウェル拡散層の前記埋め込み層とは反対の極性の埋め込み層を備えた、請求項2に記載の集積化ハイサイド・ゲート・ドライバー構造(411)。

【請求項4】

前記第2のウェル拡散層(429)の前記水平な底壁部分(427、PBL)の上方に配置され、前記第2のウェル拡散層(429)の前記第1及び第2の鉛直壁部分の少なくとも一つに接している、第1のトランジスター・ボディ拡散層をさらに備えた、請求項2又は3に記載の集積化ハイサイド・ゲート・ドライバー構造(411)。

【請求項5】

前記ゲート・ドライバー(411)が：

前記第1のトランジスター・ボディ拡散層内に配置された第1のMOSFET(401)；及び

前記第2のウェル拡散層の前記第1又は第2の鉛直壁部分内に配置された、前記第1のMOSFET(401)とは反対の極性の第2のMOSFET(403)を備えた、請求項4に記載の集積化ハイサイド・ゲート・ドライバー構造(411)。

【請求項6】

前記第1のMOSFET(401)及び前記第2のMOSFET(403)が、前記ゲート・ドライバー(411)のハイサイド正及び負電源電圧ポートの間に直列に接続されており；そして

前記第1及び前記第2のMOSFET(401、403)の各ドレイン端子が、前記ドライバー出力(425)に接続されている、請求項5に記載の集積化ハイサイド・ゲート・ドライバー構造(411)。

【請求項7】

前記第1のウェル拡散層(430)内に配置されて前記ハイサイド負電源電圧ポートへの第1の電氣的接続を確立する第1のウェルコンタクト；及び

前記第2のウェル拡散層(429)内に配置されて前記ハイサイド負電源電圧ポートへの第2の電氣的接続を確立する第2のウェルコンタクトをさらに備えた、請求項1乃至6の何れか1項に記載の集積化ハイサイド・ゲート・ドライバー構造(411)。

【請求項8】

前記第1のウェル拡散層(430)に隣接して半導体基板(422)内に配置された、第2の極性の半導体材料を含む第3のウェル拡散層と、

前記第3のウェル拡散層の内側に配置された、第1の極性の半導体材料を含む第2のトランジスター・ボディ拡散層と、

前記第2のトランジスター・ボディ拡散層内に配置されたLDMOSFET(405)と、をさらに備えた、請求項1乃至7の何れか1項に記載の集積化ハイサイド・ゲート・ドライバー構造(411)。

【請求項9】

前記LDMOSFET(405)のソース端子を前記ゲート・ドライバー(411)の

10

20

30

40

50

ハイサイド正電源電圧ポートに電氣的に接続する電気配線をさらに備えた、請求項 8 に記載の集積化ハイサイド・ゲート・ドライバー構造 (4 1 1)。

【請求項 1 0】

前記半導体基板 (4 2 2) が P 型エピタキシャル半導体基板を含む、請求項 1 乃至 9 の何れか 1 項に記載の集積化ハイサイド・ゲート・ドライバー構造 (4 1 1)。

【請求項 1 1】

請求項 1 乃至 1 0 の何れか 1 項に記載の集積化ハイサイド・ゲート・ドライバー構造 (4 1 1) と、

前記ゲート・ドライバー (4 1 1) の前記ドライバー出力 (4 2 5) に接続される制御端子を備えたパワー・トランジスタ (3 0 7、4 0 7) と、

前記半導体基板 (4 2 2) 内に配置された浮遊電圧レギュレーターであって：D 級アンプ出力段 (3 0 0) のハイサイド DC 電圧源に結合した正の電圧入力を備えた浮遊電圧レギュレーターと、

前記ゲート・ドライバー (4 1 1) の前記ハイサイド正電源電圧ポートに結合した安定化 DC 電圧出力 (4 0 6) と、

前記ゲート・ドライバーの前記ハイサイド負電源電圧ポートと、前記浮遊電圧レギュレーターの基準電圧入力との間に結合した DC 電圧基準ジェネレーター (V REF) と、を備えた D 級アンプ出力段 (3 0 0) 。

【請求項 1 2】

前記浮遊電圧レギュレーターが、前記正の電圧入力と安定化 DC 電圧出力 (3 0 6、4 0 6) との間に結合した、LDNMOS 又は LDPMOS トランジスタ等のパス・トランジスタ (3 0 5、4 0 5) を備えた、請求項 1 1 に記載の D 級アンプ出力段 (3 0 0)。

【発明の詳細な説明】

【技術分野】

【0 0 0 1】

本発明は、パワー・トランジスタを駆動する集積化ハイサイド・ゲート・ドライバー構造に関する。ハイサイド・ゲート・ドライバー構造は、第 1 の極性の半導体材料を含む半導体基板を備え、この基板中に、第 2 の極性の半導体材料を含む第 1 のウェル拡散層が形成される。第 1 のウェル拡散層の外壁は、半導体基板に接している。第 2 のウェル拡散層は、第 1 の極性の半導体材料を含み、第 1 のウェル拡散層の内側に配置されていて、第 2 のウェル拡散層の外周壁が、第 1 のウェル拡散層の内周壁に接するようになっている。集積化ハイサイド・ゲート・ドライバー構造はさらに、ハイサイド正電源電圧ポート、ハイサイド負電源電圧ポート、ドライバー入力、及びドライバー出力を備えたゲート・ドライバーを備えており、ゲート・ドライバーは、第 2 のウェル拡散層内に配置されたトランジスタ・ドライバーを備えていて、トランジスタ・ドライバーの制御端子、及びトランジスタ・ドライバーの出力端子が、ドライバー入力及びドライバー出力にそれぞれ結合するようになっており；さらにこの集積化ハイサイド・ゲート・ドライバー構造は、第 1 のウェル拡散層とハイサイド負電源電圧ポートとの間の第 1 の電氣的接続、及び第 2 のウェル拡散層とハイサイド負電源電圧ポートとの間の第 2 の電氣的接続を備えている。

【背景技術】

【0 0 0 2】

集積化 D 級音響アンプは、登場から約 1 0 年以上経ており、多くの有利な特徴、例えば高い出力変換効率、小さい寸法、低い発熱、及び良好な音質のために堅調に普及してきている。バイポーラ CMOS 及び DMOS 高電圧半導体のプロセスは、出力段の能動スイッチとして大きな LD MOS デバイスを特徴とするこれらの集積化 D 級音響アンプを実装するための典型的な候補である。これらの LD MOS トランジスタは、所与の出力抵抗となるようトランジスタ寸法を最小限とするために、独立したハイサイド・デバイスであり、典型的には NMOS 型である。バイポーラ CMOS 及び DMOS 高電圧半導体のプロセスは、1 8 0 nm 以下の最小寸法に進化し続けているので、LD MOS 能動スイッ

10

20

30

40

50

ちに要求されるゲート駆動電圧は、約5Vの電圧レベルに達しようとしている。このゲート駆動電圧は、集積化ハイサイド・ゲート・ドライバー構造がゲート品質を維持するには超えるべきではなく、その理由は、ハイサイドLDMOSトランジスタのゲート・ソース電圧が、問題のLDMOSトランジスタの酸化膜電圧の範囲に適合した電圧範囲、例えば上記の約5Vに常に制限されるものとされているからである。正確度がこのように要求されるせいで、適切なDC電源電圧、すなわちハイサイド正電源電圧を、ハイサイドLDMOSトランジスタを駆動する集積化ハイサイド・ゲート・ドライバー構造に提供することが煩雑になる。従来、ハイサイドLDMOSトランジスタが供給するゲート・ソース電圧の正確度及び安定性を解決するには、ハイサイドLDMOSトランジスタすべてのゲート・ドライバーのDC電源電圧用に外部ブートストラップキャパシターが使用されてきた。

10

【0003】

しかしながら、そのような外部キャパシターにより、部品及び組み立てのコストが集積化D級音響アンプに上乘せされ、その程度は、多くのタイプの応用、例えば大音量の民生用音響システムに適用するには許容できないものである。さらに悪いことには、典型的なD級音響アンプは、多くのハイサイド・パワー・トランジスタ、それに付随するハイサイド・ゲート・ドライバー構造、又は例えばマルチレベルPWMアンプのHブリッジ出力段にそれぞれ外部キャパシターを必要とする回路を備えていることである。その結果、ハイサイド・ゲート・ドライバー用のハイサイド正電源電圧を安定化させる外部キャパシターのいない、新規のハイサイド・ゲート・ドライバー構造及びハイサイドLDMOSトランジスタを正確に駆動する回路、並びにその他のタイプのハイサイド・パワー・トランジスタが大いに望まれている。

20

【0004】

このことは、さらなる埋め込み半導体層を持つ新規タイプの二重接合分離ウェル構造を備えた本ハイサイド・ゲート・ドライバー構造により完遂される。本ハイサイド・ゲート・ドライバー構造により、ハイサイド・ゲート・ドライバーのハイサイド正DC電源電圧における半導体基板容量に対する寄生ウェル構造が省略され、これにより、上に考察した従来の外部ブートストラップキャパシターが省略される。

【発明の概要】

【0005】

発明の第1の態様は、パワー・トランジスタを駆動する集積化ハイサイド・ゲート・ドライバー構造に関する。このハイサイド・ゲート・ドライバー構造は、第1の極性の半導体材料を含む半導体基板を備えており、この基板中に、第2の極性の半導体材料を含む第1のウェル拡散層が形成される。第1のウェル拡散層の外壁は、半導体基板に接している、又は面している。第2のウェル拡散層は第1の極性の半導体材料を含んでおり、第1のウェル拡散層の内側に配置されていて、第2のウェル拡散層の外周壁が、第1のウェル拡散層の内周壁に接する、又は面するようになっている。集積化ハイサイド・ゲート・ドライバー構造はさらに、ハイサイド正電源電圧ポートと、ハイサイド負電源電圧ポートと、ドライバー入力と、ドライバー出力とを備えたゲート・ドライバーを備えており、ゲート・ドライバーは、第2のウェル拡散層中に配置されたトランジスタ・ドライバーを備えていて、トランジスタ・ドライバーの制御端子、及びトランジスタ・ドライバーの出力端子が、ドライバー入力、及びドライバー出力にそれぞれ結合するようになっており；さらにハイサイド・ゲート・ドライバー構造は、第1のウェル拡散層とハイサイド負電源電圧ポートとの間の第1の電氣的接続、及び第2のウェル拡散層とハイサイド負電源電圧ポートとの間の第2の電氣的接続を備えている。

30

40

【0006】

第1のウェルコンタクトが、ハイサイド負電源電圧ポート又は入力に第1の電氣的接続を確立するために、第1のウェル拡散層中に配置されていてもよく；そして第2のウェルコンタクトが、ハイサイド負電源電圧ポート又は入力に第2の電氣的接続を確立するために、第2のウェル拡散層中に配置されていてもよい。第1及び第2の電氣的接続のそれぞ

50

れは、半導体基板の、配線又は導電トレース (t r a c e)、例えば金属配線を備えていてもよい。

【 0 0 0 7 】

半導体基板は、P型又はN型のエピタキシャル半導体基板を含んでいてもよい。本ハイサイド・ゲート・ドライバー構造は、第1及び第2のウェル拡散層又はウェル構造が存在することによって新規タイプの二重接合分離ウェル構造が備わっており、この中では、第2のウェル拡散層が第1のウェル拡散層の内側に配置されている。第1のウェル拡散層は、P型極性の半導体材料を、そして第2のウェル拡散層はN型極性の半導体材料を含んでいてもよく、半導体基板の極性によっては逆もまた然りである。本ハイサイド・ゲート・ドライバー構造は、ゲート・ドライバーのハイサイド正電源電圧ポートにおいて、第1のウェル拡散層と半導体基板との寄生ウェル容量を実質的に除去することが可能である。この寄生ウェル容量は、ゲート・ドライバーのハイサイド負電源電圧ポートに移され、ゲート・ドライバーは、D級アンプ又はACモーター・ドライバーのパワー・トランジスターの出力端子に結合されていてもよく、ハイサイド・ゲート・ドライバー構造は集積化されている。こうしたパワー・トランジスターの出力端子、例えば、ソース端子、又はMOSFET、又はIGBTは本質的に、非常に低い出力インピーダンスと高い電流供給能力を有しており、D級アンプ又はモーター・ドライバーの出力端子及び出力電圧上にリップル電圧を誘起することなしに、寄生ウェル容量への寄生充放電電流を供給するようになっている。ゆえに、本ハイサイド・ゲート・ドライバー構造により完遂されるように、寄生ウェル容量の電氣的接続が、ゲート・ドライバーのハイサイド正電源電圧ポートからゲート・ドライバーのハイサイド負電源電圧ポートに変更されることで、ハイサイドDC電圧を平滑化するための上に考察した従来の外部ブートストラップキャパシターの必要性がなくなるが、この電圧は、ゲート・ドライバーのハイサイド正電源電圧ポートに供給しなければならないものである。

【 0 0 0 8 】

第1のウェル拡散層の外周壁は、水平な底壁部分に電氣的に接続された、第1及び第2の鉛直壁部分を備えていてもよく、第2のウェル拡散層の外周壁は、水平な底壁部分に電氣的に接続された第1及び第2の鉛直壁部分を備えていてもよい。第1及び第2のウェル拡散層それぞれの第1及び第2の鉛直壁部分と水平な底壁部分との間の電氣的接続は、適切な極性及びコンダクタンスの半導体中間層を備えていてもよい。水平な底壁部分のそれぞれは、埋め込み層を備えていてもよい。第1のウェル拡散層の水平な底壁部分は、N+型極性又はP+型極性の埋め込み層を備えていてもよく、第2のウェル拡散層の水平な底壁部分は、第1のウェル拡散層の埋め込み層とは反対の極性の埋め込み層を備えていてもよい。

【 0 0 0 9 】

集積化ハイサイド・ゲート・ドライバー構造は、第2のウェル拡散層の水平な底壁部分の頂部上にじかに又は間接的に配置された第1のトランジスター・ボディ拡散層を備えていてもよい。第1のトランジスター・ボディ拡散層は好ましくは、第2のウェル拡散層の第1及び第2の鉛直壁部分の少なくとも一つに面している、又は接して配置されており、さらなる詳細は、添付図を参照して以下に記載されるとおりである。

【 0 0 1 0 】

ゲート・ドライバーのトランジスター・ドライバーは好ましくは、少なくとも一つのMOSFETを備え、これは、第2のウェル拡散層の第1又は第2の鉛直壁部分内に配置される、又は第1のトランジスター・ボディ拡散層内に配置される。一つのそのような実施形態では、トランジスター・ドライバーは、第1のトランジスター・ボディ拡散層内に配置された第1のMOSFETと、第2のMOSFETであって、第1のMOSFETとは反対の極性のもので、第2のウェル拡散層の第1又は第2の鉛直壁部分内に配置されたものとを備えている。第1及び第2のMOSFETは、反対の極性のものであってもよい。少なくとも一つのMOSFET、又は第1及び第2のMOSFETのそれぞれは、ドレイン・ソース降伏電圧が10V未満の低電圧デバイスであってもよい。後者の理由により、

ゲート・ドライバーのハイサイドの正負の電源電圧ポート間のDC電圧差が好ましくは、3Vと10Vの間の値、例えば約4.5Vに設定されている。このDC電圧差は好ましくは、浮遊電圧レギュレーターから供給され、このレギュレーターは、正確で安定な浮遊DC電源電圧をゲート・ドライバーに提供することができるものであり、以下でさらに詳細に考察される。

【0011】

第1及び第2のMOSFETを相互接続して、インバーター型のトランジスター・ドライバーを形成してもよい。後者の実施形態では、第1及び第2のMOSFETは、ゲート・ドライバーのハイサイド正負電源電圧ポート間に直列に接続され；第1及び第2のMOSFETの各ドレイン端子はドライバー出力に接続される。第1及び第2のMOSFETのゲート端子は、好ましくは一つに結合して、トランジスター・ドライバーの制御端子を形成する。第2のMOSFETトランジスターのソース端子は、ゲート・ドライバーのハイサイド負電源電圧ポートに接続されていてもよい。

10

【0012】

パルス幅又はパルス密度変調された入力信号、例えば音声信号を含む入力信号を、トランジスター・ドライバーの制御端子に印加し、これによりD級アンプ、ACモーター・ドライバーなどの出力信号を変調してもよい。

【0013】

集積化ハイサイド・ゲート・ドライバー構造はさらに、半導体基板内に配置された第2の極性の半導体材料を含み第1のウェル拡散層に隣接した第3のウェル拡散層を備えていてもよい。第2の極性の半導体材料は、第3のウェル拡散層の内側に配置されて、第2のトランジスター・ボディ拡散層を形成し、トランジスター、例えばLDMOSFETが、第2のトランジスター・ボディ拡散層内に配置される。この実施形態は特に、集積化ハイサイド・ゲート・ドライバー構造内に上記の浮遊電圧レギュレーターを集積するのに非常に適している。このトランジスターは、リニア電圧レギュレーターのパス・トランジスターとして使用してもよく、以下でさらに詳細に考察する。電気配線を半導体基板の頂部上に追加して、トランジスターのソース端子をゲート・ドライバーのハイサイド正電源電圧ポートに電氣的に接続してもよい。トランジスターのソース端子は、浮遊電圧レギュレーターの安定化DC電圧を供給してもよい。

20

【0014】

本発明の第2の態様は、D級アンプ出力段に係るものであり、D級アンプ出力段は：

30

上記実施形態のいずれかに係る集積化ハイサイド・ゲート・ドライバー構造と、ゲート・ドライバーのドライバー出力に接続された制御端子を備えたパワー・トランジスターと、

半導体基板中に配置された浮遊電圧レギュレーターであって：

D級アンプのハイサイドDC電圧源に結合した正電圧入力、

ゲート・ドライバーのハイサイド正電源電圧ポートに結合した安定化DC電圧出力、

及び

ハイサイド負電源電圧ポートと浮遊電圧レギュレーターの基準電圧入力との間に結合したDC電圧基準ジェネレーターを備えた浮遊電圧レギュレーターとを備えている。

40

【0015】

出力段のパワー・トランジスターは好ましくは、D級アンプの出力トランジスターを含んでおり、パルス幅又はパルス密度変調されたD級アンプの音声入力信号により、制御端子を通して駆動されてもよい。D級アンプは、Hブリッジのトポロジーで接続された複数のパワー・トランジスターを含んでいてもよい。パワー・トランジスターの各々は、LDMOSトランジスター、例えばLDNMOSトランジスターを含んでいてもよい。安定化DC電圧出力は、出力段のパワー・トランジスター又はトランジスターのDC電源電圧より少なくとも5V高いDC電圧を有していてもよく、これによりN型MOSパワー・トランジスターのゲート電圧が、適切な低インピーダンスのオン状態に駆動されることが保証

50

される。D級アンプのハイサイドDC電圧源は、浮遊レギュレーターの安定化DC電圧出力より少なくとも2V高いDC電圧を有していてもよく、これにより電圧レギュレーターのパス・トランジスタが、適切にバイアスされることが保証される。パス・トランジスタは、レギュレーターの正電圧入力と安定化DC電圧出力との間にドレイン・ソース端子が結合したLDNMOS又はLDPMOSTランジスタを含んでいてもよい。

【0016】

本発明の第3の態様は、集積化ハイサイド・ゲート・ドライバー組み立て体に関するものであり、組み立て体は：

ハイサイド正電源電圧ポート、ハイサイド負電源電圧ポート、ドライバー入力、及びドライバー出力を備えたゲート・ドライバーと；

浮遊電圧レギュレーターであって：

ハイサイドDC電圧源に結合した正電圧入力、

ゲート・ドライバーのハイサイド正電源電圧ポートに結合した安定化DC電圧出力を備えた浮遊電圧レギュレーター、及び

ゲート・ドライバーのハイサイド負電源電圧ポートと浮遊電圧レギュレーターの基準電圧入力との間に結合するDC電圧基準ジェネレーターを備えた浮遊電圧レギュレーターとを備えている。

【0017】

浮遊電圧レギュレーターは、パス・トランジスタを備えたリニアレギュレーターを備えていてもよい。パス・トランジスタは、レギュレーターの正電圧入力と安定化DC電圧出力との間にドレイン・ソース端子が結合したLDNMOS又はLDPMOSTランジスタを備えていてもよい。ゲート・ドライバーは、上に言及したこの構造の利点を利用するために、上記実施形態のいずれか一つに係る集積化ハイサイド・ゲート・ドライバー構造を備えていてもよい。ゲート・ドライバーへの電力供給用に安定化DC電圧を使用するということは、D級アンプ又はモーター・ドライバーの出力トランジスタの制御端子に安定で正確なゲート信号電圧を印加して、この特性の上に言及した利点を手に入れられることを意味している。出力又はパワー・トランジスタは、LDMOSTランジスタ、例えばLDNMOSTランジスタ又はLDPMOSTランジスタを含んでいてもよいが、一方でゲート・ドライバーは、上記特徴を備えた低電圧MOSトランジスタだけを備えていてもよい。ゲート・ドライバーは、上記トランジスタ・ドライバーのいずれ

【0018】

本発明の実施形態を、添付図と関連付けてより詳細に記載する。

【図面の簡単な説明】

【0019】

【図1】従来技術による集積化ハイサイド・ゲート・ドライバー構造を備えたD級アンプ出力段の単純化された概略回路図。

【図2】A)は寄生回路容量及び外部容量への接続を示すD級アンプ出力段の概略回路図であり、B)は従来技術の集積化ハイサイド・ゲート・ドライバー構造用の、半導体基板における従来技術によるウェル構造の、単純化された断面図。

【図3】A)は本発明の第1の実施形態に準拠する集積化ハイサイド・ゲート・ドライバー構造を備えたD級アンプ出力段の概略回路図であり、B)は本発明の第1の実施形態に準拠する集積化ハイサイド・ゲート・ドライバー構造用の、半導体基板中に形成されたウェル構造の、単純化された断面図。

【図4】A)は本発明の第1の実施形態に準拠する集積化ハイサイド・ゲート・ドライバー構造を備えたD級アンプ出力段の概略回路図であり、B)は半導体基板中に混載された、4Aに示すD級アンプ出力段の単純化された断面図。

【発明を実施するための形態】

【0020】

図1は、D級アンプ出力段100の単純化された概略回路図である。D級アンプ出力段

100は、従来技術による集積化ハイサイド・ゲート・ドライバー構造、すなわち回路、GD、103を備えている。集積化ハイサイド・ゲート・ドライバー、すなわち回路103は、D級出力段のハイサイド側のNMOSパワー・トランジスター107のゲート端子に電氣的に結合した、又は接続したドライバー出力104を有する。NMOSパワー・トランジスター107のソース端子は、音を発生させるための拡声器の負荷に接続可能な負荷ノード又は端子OUTに結合する。NMOSパワー・トランジスター107のドレイン端子は、D級出力段の正のDC電圧源、すなわちレール(rail)PVDDに結合する。D級出力段はさらに、ローサイドNMOSパワー・トランジスター127を備えており、このパワー・トランジスターは、負荷端子OUTに結合するドレイン端子を有し、正のDC電圧源PVDD及び負のDC電圧源GNDに拡声器を交互に接続することにより、拡声器負荷をプッシュプル方式で交互に駆動するようになっている。集積化ハイサイド・ゲート・ドライバー回路103は、NMOSパワー・トランジスター107のゲートによって表される大きな容量性負荷を駆動しなければならない。さらに、ゲート・ドライバー回路103は、NMOSパワー・トランジスター107のゲート電圧を、正のDC電圧源PVDDよりも相当高い電圧レベルにまで駆動して、NMOSパワー・トランジスター107の閾値電圧を調整し、導通時又はスイッチオン時に低抵抗を保證することが可能である。この駆動電圧能力は典型的には、高DC電圧GVDD_FLOATをゲート・ドライバー回路103に供給することにより達成され、これは、ダイオード105を通じてD級アンプのハイサイドDC電圧源GVDDへ接続することによって十分に高いDC電圧を発生させることができる、分離された高DC電源電圧ラインを通じて達成される。ハイサイドDC電圧源GVDDは例えば、正のDC電圧源PVDDよりも5から15ボルト高いDC電圧レベルを有していてもよい。高DC電圧GVDD_FLOATは、ドライバー回路103のハイサイド正電源電圧ポート106aを通じてゲート・ドライバー回路103に供給される。ゲート・ドライバー回路103の負の電源電圧は、ハイサイド負電源電圧ポート106bを通じて供給される。ゲート・ドライバー回路103の負の電源電圧は負荷端子OUTに接続され、ゲート・ドライバー103及びDC電圧源GVDD_FLOATがともに、D級出力段100の接地GNDに対して浮遊するようになっている。

【0021】

パルス幅変調された音声信号が、レベル・シフター111を通じてゲート・ドライバー回路103のドライバー入力に供給される。したがって、このパルス幅変調された音声信号の、レベルシフトされたレプリカ信号は、ゲート・ドライバー回路103のドライバー出力104を通じてNMOSパワー・トランジスター107のゲートに供給される。従来技術によるゲート・ドライバー回路103は、D級出力段100が集積化される半導体基板の従来型ウェル構造内に配置される。この従来型ウェル構造は、ウェル構造から半導体基板に結合する寄生ウェル容量(図示せず)を有する。従来型ウェル構造は、以下で説明される従来技術のゲート・ドライバー回路103の最高のDC電圧電位にさらに固定される必要があるが、このゲート・ドライバー回路には、ハイサイド正電源電圧ポート106aにおいて高DC電圧GVDD_FLOATに寄生ウェル容量が結合するようになるという、望ましくない効果がある。寄生ウェル容量の形成により、安定化DC電圧の安定性に関連する問題が生じ、比較的大きな、したがって外部のレギュレーター・キャパシターCextが、寄生ウェル容量の有害な効果を緩和するのに必須となるが、この寄生ウェル容量は、図2A)及び2B)を参照しつつさらに詳細に以下で説明する。

【0022】

図2A)は、図1に示された従来技術によるD級アンプ出力段100の概略回路図であるが、さらなる回路の詳細、例えば、上に考察した寄生ウェル容量213及びNMOSパワー・トランジスター107の、寄生ゲート容量Cgateへの接続を含むものである。ゲート・ドライバー回路103は、PMOS-NMOSトランジスター対を備えたCMOインバーターを備えていてもよく、このトランジスター対は、理想的なスイッチ201及び203それぞれと直列になっているプルアップ(pull-up)及びプルダウン(pull-down)抵抗201a、203aとして概略的に示されている。高DC電圧源

10

20

30

40

50

(図1を参照されたい)は、GVDDとダイオード205によって概略的に例示されている。ゲート・ドライバー回路は、負荷端子OUTの電圧と高DC電圧GVDD_FLOATとの間でドライバー出力104を交互にプル(pull)し、これは、NMOSパワー・トランジスタ107のオン状態及びオフ状態の間での交互の切り替えを生じる、パルス幅変調された音声信号に準拠してなされる。しかしながら当業者は、NMOSパワー・トランジスタ107の寸法によっては、NMOSパワー・トランジスタ107のゲート端子の容量が、D級パワーアンプ用に非常に大きいことがあり、例えば1nF超、例えば1nFと10nFの間となることもあるということを理解するであろう。上に説明したように、従来技術によるゲート・ドライバー回路103を内部に配置した従来型ウェル構造によって、ここまでに考察した寄生ウェル容量213が形成され、この容量は、ノード206において高DC電圧GVDD_FLOATと、D級出力段100全体が形成された又は混載された半導体基板の接地電位との間に接続されるものである。したがって、GVDDとダイオード205を備えた高電圧源は、寄生ウェル容量213に寄生充放電電流を供給する必要がある、この電流は、寄生ウェル電流INBLで示される。さらに、NMOSパワー・トランジスタ107のドレイン・ソース電圧の、パルス幅変調されたその波形に関連した高いスルー・レート、すなわち dv/dt により、大きな寄生充放電電流が寄生ウェル容量213を流れるようになる。大きな寄生充放電電流によって、高DC電圧源から供給された高DC電圧GVDD_FLOAT上に、顕著なリップル電圧が生じる。NMOSパワー・トランジスタ107のドレイン・ソース電圧のスルー・レート、すなわち dv/dt は、例えば20V/nsより大きくてもよい。

【0023】

高DC電圧に生じたリップル電圧によって、ゲート・ドライバーの動作に多数の望ましくない効果、例えば、電圧不足の事象、ゲート・ドライバー状態の消失、及びNMOSパワー・トランジスタ107の制御不能が生じる可能性がある。これらの不必要な効果を除去する、又は少なくとも抑制するために、ノード206の安定化DC電圧GVDD_FLOATとノード212の出力端子OUTとの間に外部キャパシターCextを接続する。外部キャパシターCextは、電圧リップルを減少させ安定化出力電圧を安定させるが、その理由は、今度は寄生ウェル電流INBLを、Cextに蓄えられたエネルギーから取り出すことができるためである。言い換えれば、高DC電圧GVDD_FLOATでの電圧リップルは、Cextと寄生ウェル容量213の間の容量性分圧によって今度はコン

30

40

【0024】

図2B)は、従来技術による典型的なウェル構造220の単純化された断面図であり、この構造は半導体基板内に配置され、上の図2A)と関連させて上に考察した従来技術に

10

20

30

40

50

よる集積化ハイサイド・ゲート・ドライバー構造100を保持するために使用されるものである。従来技術によるウェル構造220では、高DC電圧GVDD_FLOATと接地(GND)との間に、上の考察で問題となった寄生ウェル容量213の結合が生じる。従来技術によるウェル構造220は、P型エピタキシャル半導体基板222内に形成されたN-ウェル拡散層である。P型エピタキシャル半導体基板222は、P+拡散層コンタクト221、及び適切な電気配線を通じて、D級出力段の接地(GND)電位に電氣的に接続される。N-ウェル拡散層は、水平方向のN+型極性の埋め込み層(NBL)226を備え、この埋め込み層は、N-ウェル拡散層の底部部分を形成している。N-ウェル拡散層はまた、N+型極性の半導体材料の鉛直壁部分230を備え、この壁部分は、BNW中間層228を通じてNBL226に電氣的に結合する。DNW中間層228は、NBL226とNW230との間の電氣的な相互接続層として機能する。

10

【0025】

N-ウェル拡散層は、N+拡散層コンタクト232及び適切な電気配線を通じて、高DC電圧GVDD_FLOATに電氣的に接続される。寄生ウェル容量213(NBL-エピCap)の、P型エピタキシャル半導体基板222への結合配置は、キャパシター記号213によって概略的に例示されている。N-ウェル拡散層の内側(すなわち体積236を有するもの)に従来技術による集積化ハイサイド・ゲート・ドライバー構造100を配置することには、集積化ハイサイド・ゲート・ドライバー構造100の最高電位にN-ウェル拡散層を電氣的に接続する、又は固定する必要があるという効果がある。こうしなければならない理由は、ゲート・ドライバー回路103のPMOS-NMOSトランジスター対、すなわちドライバー・トランジスターが、低電圧デバイス、例えば3V、5Vデバイスであって、それらが、高DC電圧GVDD_FLOATとOUTの電圧レベルとの間の電圧レベル差よりはるかに大きな電圧レベルに耐えられないからである。高DC電圧のレベルは、出力ノードOUTのDC電圧と比較して測定され、3Vと6Vの間、例えば約4.5Vとなることがある。その結果、N-ウェル拡散層は、高DC電圧GVDD_FLOATに電氣的に接続される。こうして、寄生ウェル容量213は、高DC電圧GVDD_FLOATと接地(GND)との間に形成され、上記問題が生じる。

20

【0026】

図3A)は、本発明の第1の実施形態に準拠した集積化ハイサイド・ゲート・ドライバー構造を備えたD級アンプ出力段300の概略回路図である。当業者は、代替法における本ハイサイド・ゲート・ドライバー構造を使用して、単相又は多相モーター・ドライバー若しくは多相モーター・ドライバーの出力すなわちパワー・トランジスター、又はスイッチング電源のパワー・トランジスターを動作させてもよいことを理解するであろう。集積化ハイサイド・ゲート・ドライバー構造は、図3B)に示された新規タイプのウェル構造内に配置されており、この図は、新規ウェル構造324の単純化された断面図を示している。図3A)に例示されるとおり、新規タイプのウェル構造では、N-ウェル拡散層326及び330に付随する寄生ウェル容量313を、高DC電圧端子GVDD_FLOATの代わりにD級出力段の出力端子OUTに接続したが、図2A)に例示された従来技術によるゲート・ドライバー回路では、このGVDD_FLOATが、今回の場合に相当していた。この理由から、寄生ウェル容量313は、ノード312の出力端子OUTと、本集積化ハイサイド・ゲート・ドライバー構造内のD級出力段の接地(GND)との間に結合する。出力端子OUTは、D級出力段の低インピーダンスのノードであり、このノードは、低インピーダンス及び大電流供給能力を発揮するLDNMOSパワー・トランジスター307のソース端子により駆動される。このように、LDNMOSパワー・トランジスター307は、寄生ウェル容量313を充放電するための、上に考察した寄生ウェル電流INBLを容易に供給することができる。したがって、ここまで考察した寄生ウェル電流INBLによる、ゲート・ドライバーへの高DC電圧源GVDD_FLOAT上の望ましくないリップル電圧が除去された。したがって、従来技術による集積化ハイサイド・ゲート・ドライバー構造100の高DC電圧に生じるこの電圧リップルを減少させるために必要であった、ここまで考察した外部キャパシターCextが除去された。ゲート・ドラ

30

40

50

イバーへの高DC電圧源GVDD_FLOAT(ノード306)は、ゲート・ドライバーの本実施形態中の浮遊リニア電圧レギュレーター305によって生成されるが、このゲート・ドライバーは、以下でさらに詳細に考察するとおりである。外部キャパシターCextが除去されることは、D級アンプ出力段及び対応するD級音響アンプのソリューションの顕著なコスト削減及びサイズ縮小につながる。当業者は、D級出力段の他の実施形態において、パワー・トランジスター307としてNMOSTランジスター又はPLDMOSTランジスターを使用してもよいことを理解するであろう。

【0027】

集積化ハイサイド・ゲート・ドライバー構造は、PMOS-NMOSTランジスター対を備えたCMOインバーターを備えていてもよく、このトランジスター対は、各理想的なスイッチ301及び303と直列になったプルアップ及びプルダウン抵抗301a、303aとして概略的に示されている。集積化ハイサイド・ゲート・ドライバーすなわち回路は、D級出力段のハイサイドNMOSPワー・トランジスター307のゲート端子に電氣的に結合した又は接続されたドライバー出力304を有している。LDNMOSPワー・トランジスター307のソース端子は、音を発生させるための拡声器負荷に接続可能な負荷ノード又は端子OUTに結合している。LDNMOSPワー・トランジスター307のドレイン端子は、D級出力段の正DC電圧源若しくはレールPVDDに、又は縦積みのパワー・トランジスターに結合していてもよい。D級出力段はさらに、図1の従来技術によるD級出力段と結び付けて考察されたローサイドNMOSPワー・トランジスター(図示せず)を備え、正のDC電圧源及び負のDC電圧源、例えばGNDに交互に拡声器を接続することによりプッシュプル方式で拡声器負荷を駆動するようにしてもよい。集積化ハイサイド・ゲート・ドライバー回路は、上に考察したとおりのLDNMOSPワー・トランジスター307のゲートで表される大容量の負荷を駆動する必要がある。さらに、ゲート・ドライバーは、正のDC電圧源よりも相当高い電圧レベルにまでLDNMOSPワー・トランジスター307のゲート電圧を正確に駆動してLDNMOSPワー・トランジスター307の閾値電圧を調整し、パワー・トランジスター307の低いオン抵抗を保證することができる。これは、リニア電圧レギュレーター305を通してゲート・ドライバーに安定化DC電圧GVDD_FLOATを供給することにより達成され、この電圧レギュレーターは浮遊して、D級アンプのハイサイドDC電圧源PVDD+GVDDへのその接続により、十分に高い安定化DC電圧の高電圧レベルを発生させることができるものである。浮遊したリニア電圧レギュレーター305は、LDMOSPバス・トランジスター305で概略的に例示されており、このバス・トランジスターは、DC基準電圧ジェネレーターVREFによって制御され、ノード306に適切な安定化DC電圧を設定する。適切な平滑キャパシターCrが、VREの両端に接続されてもよい。安定化DC電圧GVDD_FLOATのレベルは、出力ノード312、OUTのDC電圧と比較して測定され、3Vと6Vの間、例えば約4.5Vであることもあり、その理由は、ハイサイド・ゲート・ドライバー回路の従来技術による実施形態と関連させて上に考察したものと同じである。ハイサイドDC電圧源PVDD+GVDDは、例えば、D級出力段の正DC電圧源よりも5~15ボルト高いDC電圧レベルを有していてもよい。浮遊したリニア電圧レギュレーター305によって発生した安定化DC電圧GVDD_FLOATは好ましくは、ゲート・ドライバーのハイサイド正電源電圧ポート(図示せず)を通じてゲート・ドライバーに供給される。ゲート・ドライバーの負電源電圧は、好ましくは、負荷端子OUT12に接続されたハイサイド負電源電圧ポート(図示せず)を通じて供給され、ゲート・ドライバー及びリニア電圧レギュレーター305がともに、D級出力段300の接地GNDに対して浮遊するようになっている。したがって出力端子OUT312は、本集積化ハイサイド・ゲート・ドライバー構造用のハイサイド負電源電圧ポートを形成する。

【0028】

当業者は、図1に例示された方法と同様の方法で適切なレベル・シフターを通じて、パルス幅変調された音声信号をゲート・ドライバーのドライバー入力(図4A)の項目414を参照されたい)に供給してもよいことを認識するであろう。このように、このパルス

10

20

30

40

50

幅変調された音声信号の、レベルシフトされたレプリカ信号が、ゲート・ドライバーのドライバー出力304を通じてNMOSパワー・トランジスター307のゲートに供給される。集積化ハイサイド・ゲート・ドライバー構造の寄生ウェル容量313が、安定化DC電源電圧からD級出力段の出力端子OUTに移動することを、図3B)、4A)、及び4B)を参照しつつ以下で説明する。

【0029】

図3B)に、ゲート・ドライバー回路の形成前の新規ウェル構造324を示す。新規ウェル構造324は、P+型エピタキシャル半導体基板322内に形成される。P+型エピタキシャル半導体基板322は、P+型拡散層コンタクト321及び適切な電気配線を通じて、D級出力段の接地(GND)電位に電氣的に接続される。新規ウェル構造324は、集積化ハイサイド・ゲート・ドライバー構造用に、二重接合分離機構と、さらなるP+型埋め込み層327を有する構造とを備えている。新規ウェル構造324は、水平のN+型極性の埋め込み層(NBL)326とN+型極性の半導体材料の鉛直壁部分330とを備えたN-ウェル拡散層を備えている。鉛直壁部分330は、DNW中間層328を通じてNBL326に電氣的に結合して、完全なN-ウェル構造を形成している。NBL326は、新規ウェル構造324の底部部分を形成しており、したがってこのウェル構造は、P型エピタキシャル半導体基板322に接する又は面する外壁を有している。N-ウェル拡散層は、N+拡散層コンタクト332及び適切な電気配線を通じて、出力端子OUT312に電氣的に接続されている。P+型極性の半導体材料を含む第2のウェル拡散層が、N-ウェル拡散層(326、330、DNW)の内側に配置されていて、第2のウェル拡散層の外周壁が、Nウェル拡散層の内周壁に接する、又は面するようになっている。第2の、すなわちP-拡散層は、埋め込み層327を備えており、この埋め込み層は、P-ウェル拡散層の水平な底壁部分を形成している。P-ウェル拡散層はまた、P+型極性の半導体材料の鉛直壁部分329を備えており、この鉛直壁部分は、水平な底壁部分327に接した又は電氣的に接続された最低部のエッジ面を有している。P-ウェル拡散層は、P+拡散層コンタクト331及び適切な電気配線を通じて出力端子OUT312に電氣的に接続され、P-ウェル拡散層とN-ウェル拡散層が同電位に置かれるようになっている。

【0030】

図4B)に示すように、集積化ハイサイド・ゲート・ドライバー構造420は、新規ウェル構造424の内側に、又はその中に配置されたゲート・ドライバー411を備えている。図4B)には、図4A)に示したD級アンプ出力段400の単純化した断面図を示すが、ハイサイドLDNMOSパワー・トランジスター407が、P+型エピタキシャル半導体基板422中に埋め込まれていることが異なる。D級アンプ出力段400はまた、LDNMOSパス・トランジスター405で概略的に例示される浮遊したりニア電圧レギュレーターを備えており、パス・トランジスターは、DC基準電圧VREFによって制御され、ゲート・ドライバー411のハイサイド正電源電圧ポート(PMOSトランジスター401のソース端子)用に、適切な安定化DC電圧をノード406、GVDD_FLOATに設定する。半導体基板422中のLDNMOSパス・トランジスター405の半導体レイアウトを、図4B)の右側の断面図中に例示する。LDNMOSパス・トランジスター405のソース端子は、ゲート・ドライバー411のハイサイド正電源電圧ポートに結合し、ゲート・ドライバー411用の正確で安定した浮遊DC電圧源を供給する。パス・トランジスター405のドレイン端子のうち一つは、D級アンプのハイサイドDC電圧源PVDD+GVDDに結合している。

【0031】

ゲート・ドライバー411を囲む、又は収容する新規ウェル構造424は、ここまで考察したウェル構造324と同様な構造であり、比較を容易にするために、対応する機能には対応する参照番号が付されている。ゲート・ドライバー411は、インバーターを備えており、このインバーターは、カスケード接続されたPMOS-NMOSトランジスター対401及び403を備え、トランジスター対は、D級出力段のハイサイド上のLDNMOSパワー・トランジスター407のゲート端子に電氣的に結合する又は接続している

10

20

30

40

50

ドライバー出力404を有している。ゲート・ドライバー411のNMOSトランジスタ403のドレイン、ゲート、及びソース拡散層、すなわち端子は、P+型極性の半導体材料の鉛直壁部分429内に配置されており、これは図4Bに例示されるとおりである。この鉛直壁部分429は、新規ウェル構造424の内側のP-ウェル拡散層の一部である。新規ウェル構造424はさらに、N+型極性のトランジスタ・ボディ拡散層435を備え、この拡散層は、鉛直壁部分429の対向する壁区分に接しており、水平のP+埋め込み層427の上に配置されている。ゲート・ドライバー411のPMOSトランジスタ401のドレイン、ゲート、及びソース拡散層、すなわち端子は、N+型極性のトランジスタ・ボディ拡散層435内に配置されており、これは図4B)に例示されるとおりである。PMOS-NMOSトランジスタ対401及び403のゲート端子は、配線又はトレース404を通じて電氣的に接続され、ゲート・ドライバーの入力414を形成している。インバーターすなわちトランジスタ対401、403のPMOSソース端子及びNMOSドレイン端子は、配線又はトレース415を通じて電氣的に接続され、ゲート・ドライバー411の出力ノードすなわち端子425を形成している。後者の出力ノード425は、D級出力段のハイサイド・パワーLDNMOSトランジスタ407のゲートに接続されている。電線又はトレースのパターン412aは、黒い矩形で示したウェルコンタクトを通じて、NMOSドライバー・トランジスタ403のソースと内側のP-ウェル拡散層との間の電氣的接続を確立する。電線又はトレースのパターン412aは、拡散層430内の埋め込みウェルコンタクト(白い矩形符号で例示されたもの)を通じて、NMOSドライバー・トランジスタ403と外側のN-ウェル拡散層430のソースとの間の電氣的接続を同様に確立する。したがって電線又はトレースのパターン412aは、内側のP-ウェル拡散層、外側のN-ウェル拡散層、そしてD級出力段の出力端子OUT412に、ゲート・ドライバー411のハイサイド負電源電圧ポートを接続する。他の電氣的接続、配線又はトレース412bは、それぞれのウェルコンタクトを通じて、内側のP-ウェル拡散層と外側のN-ウェル拡散層との間のさらなる電氣的接続を確立する。P型エピタキシャル半導体基板422への寄生ウェル容量413(NBL-エピCap)の結合を、図4A)及び図4B)のキャパシター符号413によって概略的に例示するが、これらの図は、寄生ウェル容量413が、安定化DC電圧ノード406、GVDD_FLOATからどのように除去されたか例示するものである。寄生ウェル容量413は、D級出力段の低インピーダンスの出力端子OUT412に移動して接続され、この結果、こ

10

20

30

【 図 1 】

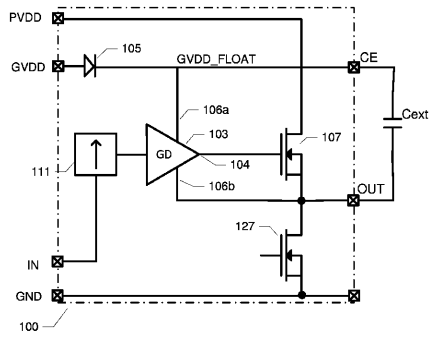
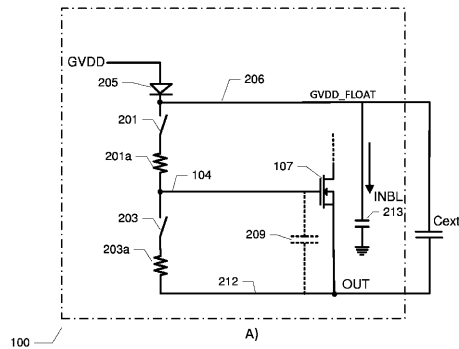


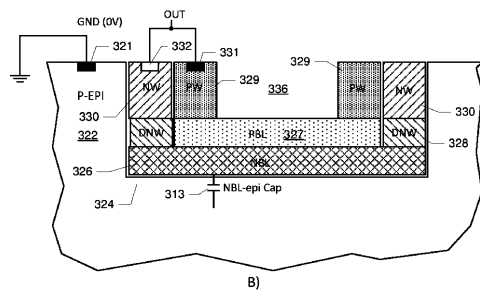
FIG. 1

【 図 2 A) 】



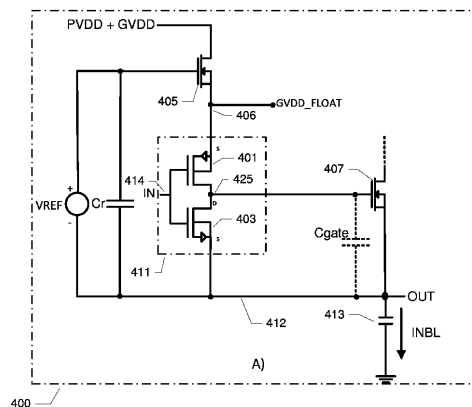
A)

【 図 3 B) 】



B)

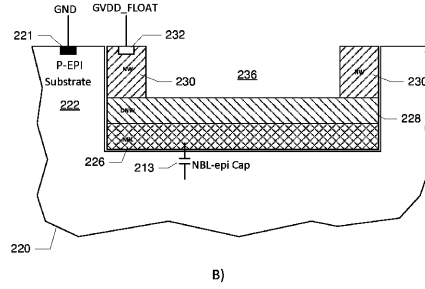
【 図 4 A) 】



A)

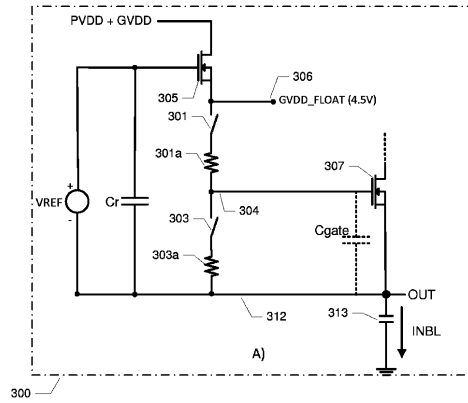
400

【 図 2 B) 】



B)

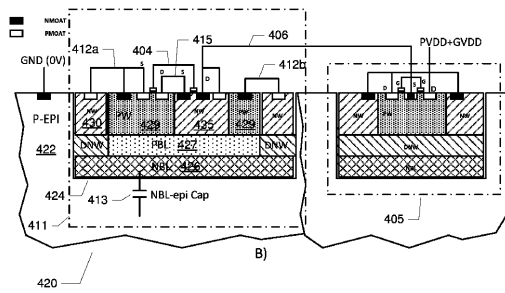
【 図 3 A) 】



A)

300

【 図 4 B) 】



B)

420

フロントページの続き

審査官 棚田 一也

- (56)参考文献 特開2002-252333(JP,A)
米国特許出願公開第2002/0053685(US,A1)
特表2002-525878(JP,A)
米国特許第06288424(US,B1)
特開2006-179864(JP,A)
米国特許出願公開第2008/0252372(US,A1)
特開2012-151838(JP,A)
米国特許出願公開第2012/0182069(US,A1)
特開2001-007286(JP,A)

(58)調査した分野(Int.Cl.,DB名)

H01L 21/8238
H01L 27/088
H01L 27/092