

公告本

90年9月6日 修正
補充

申請日期	88.2.23
案 號	88102620
類 別	H03M 7/16

A4
C4

472465

(以上各欄由本局填註)

中文說明書修正頁(90年9月)

發 明 專 利 說 明 書		
新 型		
一、發明名稱	中 文	用以編碼/解碼N位元源字成相對應M位元通道字和相反過程的裝置
	英 文	DEVICE FOR ENCODING/DECODING N-BIT SOURCE WORDS INTO CORRESPONDING M-BIT CHANNEL WORDS, AND VICE VERSA
二、發明人	姓 名	1.約瑟夫斯 A. H. M. 卡曼 2.中川 俊元 3.新福 吉秀 4.楢原 立也 5.中村 耕介
	國 籍	1.荷蘭 2-5 均日本
	住、居所	1. 荷蘭愛因和文市卜芙荷斯坦街6號 2-4 均日本國東京都品川區北品川6-7-35
三、申請人	姓 名 (名稱)	荷蘭商皇家飛利浦電子股份有限公司
	國 籍	荷蘭
	住、居所 (事務所)	荷蘭愛因和文市格羅尼渥街1號
	代 表 人 姓 名	J. L. 凡德渥

裝 訂 線

(由本局填寫)

承辦人代碼：
大 類：
IPC分類：

A6
B6

本案已向：

國(地區)	申請專利, 申請日期:	案號:	, <input type="checkbox"/> 有 <input type="checkbox"/> 無主張優先權
歐洲	1997年12月22日	97204050.5	<input type="checkbox"/> 有 <input checked="" type="checkbox"/> 無主張優先權
歐洲	1998年02月10日	98200402.0	<input type="checkbox"/> 有 <input checked="" type="checkbox"/> 無主張優先權

有關微生物已寄存於：, 寄存日期：, 寄存號碼：

(請先
背面之注意事項再填寫本頁各欄)

經濟部中央標準局員工消費合作社印製

五、發明說明(1)

本發明係關於一種用以將一二位元源信號之資料位元流編碼成二位元通道信號之資料位元流的裝置，其中源信號之位元流分割成 n 位元源字，該裝置包含轉換裝置適於轉換該源字成對應之 m 位元通道字，該轉換裝置適於轉換一 p 個連續 n 位元源字之區塊成一對應之 p 個連續 m 位元通道字區塊，使 p 個連續 n 位元源字各區塊其轉換基本上為同位元保留，其中 n ， m 與 p 係整數， $m > n \geq 1$ ， $p \geq 1$ ，且其中 p 可變化。本發明同時有關一包含用以將一記錄載波上之通道信號記錄至記錄載波本身的編碼裝置之記錄裝置，一編碼方法，以及一用以解碼藉由編碼裝置所取得之二位元通道信號的資料位元流之裝置，進而取得二位元源信號之資料位元流。

一前述之編碼裝置已知係來自USP5,477,222(PHN 14448)。該文件揭示一種用以編碼一二位元源信號之資料位元流成一二位元通道信號之資料位元流的裝置，其中滿足行進長度(1, 8)之限制。此意味：通道信號之串列資料流於通道信號中兩連續'壹'之間將出現最少一個'零'，而最多為八個'零'。以此考慮時應注意：正常下，一像是1T前置碼之額外的前置碼步驟應用於(1, 8)限制之序列，導致一具有最小行進長度為2而最大行進長度為9之行進長度限制序列。

已知其轉換係同位元保留。'同位元保留'意指欲轉換之 n 位元源字的同位元等於對應轉換之 m 位元通道字的同位元(以2為模數的加法後)。結果，如所主張， n 至 m 之轉換裝置不影響信號極性。

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
表

五、發明說明(2)

由於該轉換係同位元保留，可藉由像是插入DC控制位元至源字資料流而應用一有效之DC控制。

本發明之目的為：提供一用以編碼n位元源字成對應之m位元通道字的改良式裝置。

根據本發明之裝置其特徵為：轉換裝置係適於轉換二位元源信號之位元流中8位元之位元序列'00010001'成二位元通道信號的12位元之位元序列'100010010010'。

申請專利範圍之第2，5，6，7或8項之一同樣為根據本發明該裝置之特徵。

本發明係基於認知：根據已知編碼裝置加以編碼，可能出現僅包含最小異動行進長度之相對較長序列，而導引至當傳送接收器中之通道信號以及後續解碼後，接收器其位元感測器中之位元偵測將惡化。意指一像是(1, 7)或者(1, 8)等滿足一特定行進長度限制之通道信號中，相對較長序列'.....0101010101.....'出現，導致1T前置碼之後，序列中相對較長序列將為'.....001100110011.....'。

根據本發明之裝置限定該等序列之長度，因而可得知一接收器中之改良式位元偵測。

根據本發明之編碼裝置可與一位元加法器單元組合使用，其中一位元係加至一源信號之某長度的代碼字。取得之信號可應用於本發明的編碼裝置。編碼裝置之通道信號應用於一1T前置碼器。位元加法器單元之目的係用以將一'0'或者一'1'加至包含於轉換器其輸入信號中的連續代碼字，因而取得一與DC無關之前置碼器輸出信號，或包括一具有

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
泉

五、發明說明(3)

某頻率之追蹤嚮導信號。前置輸出信號係記錄於一記錄載波。轉換器其輸入信號中一'0'位元上之加法可導致1T前置碼器其輸出信號的極性維持相同。一'1'位元上之加法則導致1T前置碼器其輸出信號的極性反轉。因此轉換器影響1T前置碼器之輸出信號，使1T前置碼器其輸出信號之行進的數位加總值得以控制，因而具有如計時功能之希望的型態。

本發明將進一步描述於以下圖形敘述中，其中：

圖1顯示編碼裝置之第一具體實施例，

圖2顯示編碼裝置之第二具體實施例，

圖3顯示編碼裝置之第三具體實施例，

圖4顯示編碼裝置之第四具體實施例，

圖5顯示該裝置應用於安排將一位元插入串列源信號中等距位置上；

圖6顯示解碼裝置之第一具體實施例，以及

圖7顯示解碼裝置之第二具體實施例。

圖1顯示一能夠將2位元源字轉換成3位元通道字之編碼裝置。此處所述之裝置事實上即USP 5,477,222中揭示之裝置，以進一步之修正了解最小化重覆的最小異動行進長度之目的。

該裝置具有一輸入終端1，用以接收一二位元源信號S之資料位元流。終端1連接至一平移暫存器2之輸入，本發明中具有八個細胞 X_1 至 X_8 ，因而接收八個連續源信號S之源位元。平移暫存器2作為一串列/平行轉換器之功能。細胞之輸出係分別連接至邏輯電路LC的對應輸入 i_1 至 i_8 ，用以

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
泉

五、發明說明(4)

供給細胞中所出現之源位元的邏輯值(x_1, \dots, x_8)。邏輯電路LC形成部分之轉換裝置CM。

該裝置進一步包括第二平移暫存器4，具有十二個細胞 Y_1 至 Y_{12} 。邏輯電路LC具有十二個輸出 o_1 至 o_{12} 。該等邏輯電路LC輸出係分別連接至平移暫存器4之十二個細胞 Y_1 至 Y_{12} 的對應輸入。一平移暫存器4之輸出6係連接至一輸出終端8。平移暫存器4作為一平行／串列轉換器之功能。因而取得二位元通道信號C。

再者，一感測器單元10可用以偵測源信號S其串列資料流中之特定序列。為此目的，平移暫存器2之八個細胞 X_1 至 X_8 其輸出係連接至感測器單元10之對應的輸入，記為12。本具體實施例中，感測器單元10具有三個輸出，記為 o_1 ， o_2 與 o_3 ，分別用以產生第一，第二與第三控制信號。該等輸出分別連接至邏輯電路LC之對應的控制信號輸入。

用以響應應用於邏輯電路LC其輸入 c_1 ， c_2 與 c_3 之控制信號的功用如下。

邏輯電路LC能夠將2位元源字SW轉換成3位元通道字，使2位元源字各位元之轉換為同位元保留。此意味欲轉換之源字中'壹'的數目等於實現之通道字中的'壹'其經過以2為模數之加法後，所得之對應的通道字中'壹'的數目。或者，換言之：如果源字中'壹'之數目為七，那麼通道字中'壹'之數目將為七。而且：如果源字中'壹'之數目為奇數，那麼通道字中'壹'之數目將為奇數。

如一例中，轉換裝置邏輯電路LC係適於根據以下表格，

五、發明說明(5)

將2位元源字SW轉換成3位元通道字CW：

表I

源字(x_1, x_2)		通道字(y_1, y_2, y_3)	
SW ₁	00	CW ₁	101
SW ₂	01	CW ₂	100
SW ₃	10	CW ₃	001
SW ₄	11	CW ₄	000

此處應注意，源字中之第一位元係首先應用於平移暫存器2，且通道字中之第一位元係首先從平移暫存器4之輸出6供給。

此處應進一步注意，邏輯電路LC將儲存於細胞 X_1, X_2 中之2位元源字轉換成3位元通道字，並將該等通道字儲存於平移暫存器4之細胞 Y_1, Y_2, Y_3 中，以響應控制信號輸入 c_1, c_2 與 c_3 未出現任何控制信號。此方式之各個轉換，隨後於平移暫存器2中向左平移兩位置，並於平移暫存器4中向左平移三位置。於平移暫存器2中平移兩位置有其必要，此可使平移暫存器2，進而轉換器，準備後續之轉換。於平移暫存器4中平移三位置有其必要，以便輸出產生之3位元通道字。

圖1之裝置可用以產生一滿足 $d=1$ 限制之 (d, k) 序列形式的通道信號C。此意味至少一'零'出現於通道信號之串列資料流中兩後續'壹'之間。亦即，將不允許通道信號中連續二

(請先閱讀背面之注意事項再填寫本頁)

裝 · 訂 · 泉

五、發明說明(6)

或更多'壹'。

可能出現兩後續2位元源字之組合其未修正之轉換，像是藉由圖1之裝置，將抵觸 $d=1$ 之限制。該等組合係'00 00'，藉由未修正之轉換將導致二3位元通道字，'101 101'；而'00 01'藉由未修正之轉換將導致二3位元通道字'101 100'；'10 00'藉由未修正轉換將導致二3位元通道字'001 101'；以及'10 01'藉由未修正轉換將導致二3位元通道字'001 100'。

由於將偵測這類組合之出現，所以可能發生將二2位元源字之區塊修正編碼成二3位元通道字之區塊。因此，圖1之裝置，除了將2位元源字'正常'編碼成3位元通道字外，亦能偵測以上識別之組合，並了解一修正之編碼，使通道信號中之 $d=1$ 限制仍舊滿足。

因為事實上平移暫存器2之細胞 X_1 至 X_4 輸出係連接至感測器單元10的對應輸入，此感測器單元10能夠偵測源信號之串列位元流中，將位元流中之單一2位元源字經未修正編碼成對應之單一3位元通道字，而導致抵觸通道信號C中之 $d=1$ 限制的位置，且配接用以於其輸出 o_1 供給一控制信號，以響應這類偵測。

尤其，感測器單元10偵測細胞 X_1 至 X_4 是否包含表II中給定的4位元序列之一，並於其輸出 o_1 產生第一控制信號。一旦感測器單元10偵測一出現於四細胞位置 x_1 ， x_2 ， x_3 ， x_4 中二2位元源字之組合，亦即等於表II左邊一欄中給定的組合之一，則邏輯電路LC根據如表II中所給定之修正的編碼轉換該組合：

五、發明說明(7)

表II

源字	未修正之編碼	修正之編碼
00 00	101 101	100 010
00 01	101 100	101 010
10 00	001 101	000 010
10 01	001 100	001 010

如表中所見，當兩個'壹'出現於取得之二通道字間的交界時，單獨二2位元源字之未修正的轉換導致抵觸 $d=1$ 限制。因此邏輯電路LC配接用以於修正之編碼模式中，將以上表中左邊一欄給定之二2位元源字的區塊轉換成以上表II中右邊一欄給定之二3位元通道字的區塊。如所見，不再出現任何抵觸 $d=1$ 之限制。再者，修正之編碼同樣為同位元保留。再者，二2位元源字之一，亦即以上表中之第二者，係編碼成一3位元通道字，不等於表I中四通道字之一。其緣由為：於接收器一端，可能偵測得此3位元通道字不屬於表I之四3位元通道字的集合，因此可了解參照表II定義而編碼之相反的對應解編碼。

藉由與表II一致之編碼所取得的二3位元通道字區塊係由邏輯電路LC供給其輸出 o_1 至 o_6 ，該通道字則供給平移暫存器4之六細胞 Y_1 至 Y_6 。

將進一步澄清：藉由轉換器單位邏輯電路LC將二2位元源字轉換成二3位元通道字之後，接著於平移暫存器2中向

五、發明說明(8)

左平移四位置，並於平移暫存器4中向左平移六位置。於平移暫存器2中平移四位置有其必要，因此可使平移暫存器2，進而轉換器，準備後續之轉換。於平移暫存器4中平移六位置有其必要，以便輸出所產生之二3位元通道字。

一(d, k)序列中之k限制意指通道信號中兩後續'壹'之間允許最多連續k個'零'。

或許出現三個後續2位元源字經未修正之轉換後可能抵觸其k限制。

例如一例：源字'11 11 11'序列將藉由未修正之轉換，導致三3位元通道字'000 000 000'。如果應取得一(d, k)序列，其中k等於6, 7或者8，則將不出現三3位元通道字這類組合。

另一例子為：源字'11 11 10'序列，藉由未修正之轉換將導致三3位元通道字'000 000 001'。此三3位元通道字之組合不滿足k=6或者k=7限制。再者，此三3位元通道字之組合可於一以'0'結束的前面之通道字後，因而可能導致抵觸k=8限制。再者，如果該組合之後為一以'1'開始之3位元通道字，那麼以'1'結束之組合，因而可能導致抵觸d=1限制。一等價之推論對於源字'01 11 11'序列有效。

一進一步之例子為源字'01 11 10'序列，藉由未修正之轉換將導致三3位元通道字'100 000 001'。如以上給定之同樣方式，此組合可能導致抵觸d=1限制。

由於將偵測這類組合之出現，因而可能發生修正之編碼。因此，圖1之裝置，除了將2位元源字'正常'編碼成3

(請先閱讀背面之注意事項再填寫本頁)

裝 · 訂 · 泉

五、發明說明(9)

位元通道字以外，同時根據表II進行修正之編碼，不但可偵測以上所識別之組合，並且能夠了解一修正之編碼，使通道信號中之k限制仍舊滿足。

因為事實上平移暫存器2之細胞 X_1 至 X_6 輸出係連接至感測器單元10的對應之輸入，此感測器單元10能夠偵測源信號之串列位元流中，經未修正之編碼，而導致抵觸通道信號C之k限制的位置，並配接用以於其輸出 o_2 供給一控制信號，以響應這類偵測。

尤其，感測器單元10偵測細胞 X_1 至 X_6 是否包含表III中給定的6位元序列之一，並於其輸出 o_2 產生第二控制信號。

一旦感測器單元10偵測一出現於六細胞位置 $x_1, x_2, x_3, x_4, x_5, x_6$ 中之三2位元源字的組合，亦即表III左邊一欄中給定的組合之一，則邏輯電路LC根據如表III中所給定之修正的編碼轉換該組合。

表III

源字	未修正之編碼	修正之編碼
11 11 11	000 000 000	000 010 010
11 11 10	000 000 001	001 010 010
01 11 10	100 000 001	101 010 010
01 11 11	100 000 000	100 010 010

邏輯電路LC於編碼模式之第二修正，將以上表III左邊一

(請先閱讀背面之注意事項再填寫本頁)

裝 · 訂 · 泉

五、發明說明 (10)

欄中給定之三2位元源字的區塊轉換成以上表III右邊一欄中給定之三3位元通道字的區塊。如藉由表III而了解修正之編碼，可取得一滿足 $k=8$ 限制之通道信號。再者，以相同方式，修正之編碼係同位元保留。此情況意指：如果三2位元源字之組合中'壹'的數目為奇(偶)數，那麼取得之三3位元通道字組合中'壹'的數目將為奇(偶)數。再者，三2位元源字之二，亦即以上表中之第二者與第三者，編碼成一不等於表I中四通道字之一的3位元通道字。其原因為：於接收器一端，可能偵測得這些不屬於表I之四3位元通道字集合的二連續3位元通道字，因而可了解如參照表III定義而編碼之相反的對應解碼。

藉由與表III一致之編碼而取得的三3位元通道字之區塊係由邏輯電路LC供給其輸出 o_1 至 o_9 ，該通道字係供給平移暫存器4之九細胞 Y_1 至 Y_9 。

將進一步澄清，藉由轉換器單元邏輯電路LC將三2位元源字轉換成三3位元通道字之後，接著於平移暫存器2中向左平移六位置，並於平移暫存器4中向左平移九位置。於平移暫存器2中平移六位置有其必要，因可使平移暫存器2，進而轉換器，準備後續之轉換。於平移暫存器4中平移九位置有其必要，以便輸出所產生之三3位元通道字。

一對於源信號編碼之進一步需求為：通道信號中重覆之最小異動行進長度應限制。重覆之最小異動行進長度定義為：'0'與'1'間後續異動之序列長度，或者 d 限制等於1的情況下，序列'..... 01010101010...'之長度。例如，使用表

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
泉

五、發明說明 (11)

II 進行修正之轉換後，位元序列 '00 01 00 01' 導致位元序列 '101 010 101 010'。以相同方式，使用表 II 進行修正之轉換後，位元序列 '10 01 00 01' 導致位元序列 '001 010 101 010'。這類序列使一接收器中之位元偵測惡化。因而需限制 01 序列之長度。

由於事實上平移暫存器 2 之細胞 X_1 至 X_8 的輸出係連接至感測器單元 10 之對應的輸入，感測器單元 10 能夠偵測源信號之串列位元流中未修正之編碼將導致抵觸限制重覆的最小異動行進長度之需求位置，並且配接用以於其輸出 O_3 供給一控制信號，以響應這類偵測。

尤其，感測器單元 10 偵測細胞 X_1 至 X_8 是否包含表 IV 中給定的 8 位元序列之一，並於其輸出 O_3 產生第三控制信號。

一旦感測器單元 10 偵測一出現於八細胞位置 $x_1, x_2, x_3, x_4, x_5, x_6, x_7, x_8$ 中的四 2 位元源字之組合，亦即等於表 IV 左邊一欄中所給定的組合之一，則邏輯電路 LC 根據如表 IV 中所給定之修正的編碼將該組合轉換成一如表 IV 右邊一欄中所給定之 12 位元的位元序列。

表 IV

源信號中之 8 位元之位元序列	通道信號中之 12 位元之位元序列
00 01 00 01	100 010 010 010
10 01 00 01	000 010 010 010

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
泉

五、發明說明 (12)

如藉由表IV之修正轉換亦為同位元保留。

應注意：通道字之位元流係記為NRZI(不歸零之反轉)，意指'壹'導致將通道信號記錄於一磁性記錄載波之寫入電流中的異動。

前文中，需要修正編碼之情況係由感測器單元10從源字偵測。然而應注意：偵測可實現於所產生之通道字上。USP 5,477,222中以此考慮參照圖2b。

圖2顯示編碼裝置之另一具體實施例，其中偵測需修正編碼之情況，係基於由一如藉由表I之未修正的編碼而產生之通道字。

圖2之裝置包括一感測器10'，具有12個輸入，用以於電路LC'中接收藉由一如藉由表I之未修正的編碼而取得之四個後續3位元通道字。感測器10'偵測是否於電路LC'之輸出 0_1 至 0_6 ，使用未修正之編碼而取得的兩後續之3位元通道字等於表II之'未修正的編碼'其中間一欄所給定的四6位元序列之一。果真如此，則感測器10'於其輸出12發出一切換信號，並且於其輸出12'發出一位址信號AD。該切換信號係應用於一平移暫存器4'之切換信號輸入45。位址信號AD係應用於一唯讀記憶體(ROM)47之位址信號輸入46。感測器10'產生四個可能位址信號AD1至AD4之一，以響應偵測一對應之表II中間一欄的四6位元序列之一。例如，位址信號AD1係產生於感測器10'偵測序列'101101'，並於偵測6位元序列'001100'時，產生位址信號AD4。唯讀記憶體(ROM)47儲存有表II右邊一欄中所示之6位元序列。當於

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
泉

五、發明說明 (13)

考慮位址信號AD1時，唯讀記憶體(ROM)於其輸出 o_1 至 o_6 供給6位元序列'100 010'，並且當接收位址信號AD2時，唯讀記憶體(ROM)於該等輸出供給6位元序列'101 010'。當接收位址信號AD3時，唯讀記憶體(ROM)於該等輸出供給6位元序列'000 010'，以及當接收位址信號AD4時，唯讀記憶體(ROM)於該等輸出供給6位元序列'001 010'。現在平移暫存器4'之各記憶體位置具有兩輸入，其一連接至一電路LC'之對應輸出，另一則連接至一唯讀記憶體(ROM)47之對應輸出。為響應應用於輸入45之切換信號，平移暫存器接受供給較低輸入之資訊，並將其內容向左平移六位置。最後，一修正之6位元序列藉由平移暫存器4'供給輸出8。

同時感測器10'偵測是否於電路LC'之輸出 o_1 至 o_9 ，使用未修正之編碼而取得的三後續之3位元通道字等於表III之'未修正的編碼'其中間一欄所給定的四9位元序列之一。果真如此，則感測器10'於其輸出12發出一切換信號，並且於其輸出12'發出一位址信號AD。感測器10'產生四個可能位址信號AD5至AD8之一，以響應偵測一對應之表III中間一欄的四9位元序列之一。例如，位址信號AD5係於感測器10'偵測序列'000 000 000'時產生，並於偵測9位元序列'100 000 000'時，產生位址信號AD8。唯讀記憶體(ROM)47儲存有表III右邊一欄中所示之9位元序列。當接受位址信號AD5時，唯讀記憶體(ROM)於其輸出 o_1 至 o_9 供給9位元序列'000 010 010'，而當接受位址信號AD6時，唯讀記憶體(ROM)於該等輸出供給9位元序列'001 010 010'。當接受位

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
泉

五、發明說明 (14)

址信號AD7時，唯讀記憶體(ROM)於該等輸出供給9位元序列'101 010 010'，以及當接受位址信號AD8時，唯讀記憶體(ROM)於該等輸出供給9位元序列'100 010 010'。

為響應應用於輸入45之切換信號，平移暫存器接受供給較低輸入之資訊，並將其內容向左平移九位置。最後，一修正之9位元序列藉由平移暫存器4'供給輸出8。

感測器10'進一步偵測是否於電路LC'之輸出 o_1 至 o_{12} ，使用未修正之編碼而取得的四後續之3位元通道字等於以下二12位元序列之一：'101 010 101 010'或者'001 010 101 010'。果真如此，則感測器10'於其輸出12發出一切換信號，並且於其輸出12'發出一位址信號AD。感測器10'分別產生兩個可能位址信號AD9與AD10之一，以響應偵測一對應之以上給定的二12位元序列之一。例如，位址信號AD9係於感測器10'偵測序列'101 010 101 010'時產生，並於偵測12位元序列'001 010 010 101'時，產生位址信號AD10。唯讀記憶體(ROM)47存有表IV右邊一欄中所示之12位元序列。當接受位址信號AD9時，唯讀記憶體(ROM)於其輸出 o_1 至 o_{12} 供給12位元序列'100 010 010 010'，而當接受位址信號AD10時，唯讀記憶體(ROM)於該等輸出供給12位元序列'000 010 010 010'。

為響應應用於輸入45之切換信號，平移暫存器接受供給較低輸入之資訊，並將其內容向左平移十二位置。最後，一修正之12位元序列藉由平移暫存器4'供給輸出8。

正常情況下，當不抵觸任何限制時，未修正之轉換根據

(請先閱讀背面之注意事項再填寫本頁)

裝
訂

五、發明說明 (15)

表I而實現，且無切換信號，因此平移暫存器接受由邏輯電路LC'經由平移暫存器4'較上之輸入所供給的位元。

前面已提及可能有其他用以轉換單一2位元源字成單一3位元通道字之轉換規則。該等規則於以下三表格中給定。

表IV

源字 (x_1, x_2)		通道字 (y_1, y_2, y_3)	
SW ₁	00	CW ₁	101
SW ₂	01	CW ₂	001
SW ₃	10	CW ₃	100
SW ₄	11	CW ₄	000

表V

源字 (x_1, x_2)		通道字 (y_1, y_2, y_3)	
SW ₁	00	CW ₁	000
SW ₂	01	CW ₂	100
SW ₃	10	CW ₃	001
SW ₄	11	CW ₄	101

五、發明說明 (16)

表 VI

源字 (x_1, x_2)		通道字 (y_1, y_2, y_3)	
SW ₁	00	CW ₁	000
SW ₂	01	CW ₂	001
SW ₃	10	CW ₃	100
SW ₄	11	CW ₄	101

顯然地，擴充用以將二或者三2位元源字之區塊編碼成二或者三3位元通道字之區塊的該等轉換規則可使用以上給定之技術而取得。

圖3顯示一圖1裝置之修正。圖3之裝置能夠產生一具有一較低之k限制的通道信號，尤其，k=7之k限制。該項修正在於增加進一步之平移暫存器70，具有三儲存位置70.1，70.2與70.3，其中具有一輸入72連接至平移暫存器4之輸出6，且輸出74.1，74.2與74.3分別為儲存位置70.1，70.2與70.3之輸出。再者，感測器76顯示具有輸入78.1，78.2與78.3，分別連接至平移暫存器70之輸出74.1，74.2與74.3，並且具有一輸出82。同時平移暫存器70之輸出74.1連接至一轉換電路LC_m之控制輸入c₅，且感測器76之輸出82連接至一轉換電路LC_m之控制輸入c₄。再者，圖1中之感測器單元10稍微修正成圖3中之感測器80。

就轉換單一2位元源字成3位元通道字而言，考慮將二2位元源字轉換成二3位元通道字，以及將三2位元源字轉換

五、發明說明 (17)

成三3位元通道字，此轉換與以上參照圖1之裝置所解釋相同。

該項修正尤其在於源信號中出現之一特定形式的8位元之位元序列的轉換。感測器80除了偵測表II的4位元之位元序列與表III的6位元之位元序列(如參照圖1具體實施例之解釋)外，亦能夠偵測以下表VII中給定的8位元之位元序列。為響應這類偵測，感測器80於其輸出 o_3 產生一控制信號，該控制信號係應用以控制邏輯電路 LC_m 之輸入 c_3 。

平移暫存器70具有取決於目前於儲存位置70.1，70.2與70.3中所儲存而產生之通道信號的最後三位元，其中儲存位置70.1具有取決於目前儲存其中而產生之通道信號的最後位元。此通道信號之最後位元可為位元'0'或者'1'，其作為一邏輯電路 LC_m 之進一步的控制信號，並經由其控制輸入 c_4 供給邏輯電路 LC_m 。再者，當平移暫存器70具有儲存於其儲存位置70.1，70.2與70.3中的3位元之位元序列'010'時，感測器76能夠於其輸出82產生一控制信號。此控制信號經由其控制輸入 c_5 供給邏輯電路 LC_m 。

根據表VII，邏輯電路 LC_m 將8位元之位元序列'00 01 00 01'轉換成對應的12位元之位元序列'100 010 010 010'，以響應應用於其控制輸入 c_3 之控制信號，與出現於其輸入 c_4 及 c_5 之控制信號無關。再者，邏輯電路 LC_m 將8位元之位元序列'10 01 00 01'轉換成12位元之位元序列'100 000 010 010'，以響應其輸入 c_5 之控制信號等於'0'，而將8位元之位元序列轉換成12位元之位元序列'000 010 010 010'，以響應控制信號等

五、發明說明(18)

於'1'。當8位元之位元序列'11 10 00 00'出現於邏輯電路的輸入 i_1 至 i_8 時，一控制信號由感測器80於其輸出 o_3 產生。再者，當移位暫存器70之內容等於3位元之位元序列'010'時，一控制信號則由檢測器76產生。為響應兩控制信號，邏輯電路 LC_m 將此8位元之位元序列轉換成12位元之位元序列'000 001 010 010'，如表VII中所示。當8位元之位元序列'11 10 00 10'出現於邏輯電路的輸入 i_1 至 i_8 時，一控制信號由檢測器80於其輸出 o_3 產生。再者，當移位暫存器70之內容等於3位元之位元序列'010'時，一控制信號則由感測器76產生。為響應兩控制信號，邏輯電路 LC_m 將此8位元之位元序列轉換成12位元之位元序列'100 001 010 010'，如表VII所示。當8位元之位元序列'11 10 00 01'出現於邏輯電路的輸入 i_1 至 i_8 時，一控制信號由感測器80於其輸出 o_3 產生。再者，當移位暫存器70之內容等於3位元之位元序列'010'時，一控制信號由檢測器76產生。為響應兩控制信號，邏輯電路 LC_m 將此8位元之位元序列轉換成12位元之位元序列'001 010 010 010'，如表VII所示。當8位元之位元序列'11 10 00 11'出現於邏輯電路之輸入 i_1 至 i_8 時，一控制信號由感測器80於其輸出 o_3 產生。再者，當移位暫存器70之內容等於3位元資料之位元序列'010'時，一控制信號則由檢測器76產生。為響應兩控制信號，邏輯電路 LC_m 將此8位元之位元序列轉換成12位元之位元序列'101 010 010 010'，如表VII所示。

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
頁

五、發明說明(20)

換的編碼安排中。這類編碼安排概要顯示於圖5中，其中編碼器40之後為根據本發明的編碼裝置41，以及一技藝中著名之1T前置碼器42。1T前置碼器42之輸出信號係應用於一控制信號產生器43，其產生轉換器40之控制信號，以控制係將'0'或者'1'插入一應用於轉換器40之串列資料流。當編碼器41不影響由轉換器40產生之信號之極性時，編碼裝置41無需任何修正，可插入轉換器40與1T前置碼器42之間。藉由圖5中所示之安排，也許能夠將某頻率之追蹤音調嵌入串列資料流中，或者將資料流之DC內容保持為零。再者，當編碼裝置41配接用以產生一如以上所解釋之(d, k)序列時，其造成圖4安排之輸出信號成為一(d, k)RLL輸出信號。轉換器40之具體實施例係貝爾系統科技雜誌，第53卷，第6號，第1103-1106頁中所給定。

將1T前置碼器42之輸出信號供給一寫入單元21，該寫入單元係用以將信號寫入一記錄載波23上一軌道中。該記錄載波23可為一縱向或者圓盤形式之磁性記錄載波。該記錄載波同時可為一光學記錄載波，當信號記錄於一磁性記錄載波或者一光學寫入頭時，當將信號記錄於一光學記錄載波時，像是一光碟23'。寫入單元21包含一寫入頭25，係一磁性寫入頭。

圖6顯示一解碼裝置之具體實施例，該解碼裝置用以將藉由圖1或者2之編碼器所取得之串列資料流解碼，因而取得一二位元源信號。該解碼裝置具有一輸入終端50，用以接收通道信號，其中輸入終端50連接至一包含十二個細胞 Y_1

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

泉

五、發明說明(21)

至 Y_{12} 之平移暫存器51的輸入56。平移暫存器51作為一串列/平行轉換器之功能，因而四3位元通道字之區塊係應用於邏輯電路52之輸入 i_1 至 i_{12} 。邏輯電路52包含四個表格I，II，III與IV。邏輯52之輸出 o_1 至 o_8 係連接至平移暫存器54之細胞 X_1 至 X_8 的輸入，而平移暫存器54具有一輸出57連接至一輸出終端55。一感測器電路53顯示具有輸入 i_1 至 i_9 ，以參照數字60概要指示，分別連接至平移暫存器51之細胞 Y_4 至 Y_{12} 的輸出，而輸出 o_1 ， o_2 與 o_3 分別連接至邏輯電路52之控制輸入 c_1 ， c_2 與 c_3 。感測器電路53能夠(a)偵測平移暫存器51之細胞 Y_4 至 Y_{12} 中一'010 010 010'位元型態，(b)然而細胞 Y_{10} ， Y_{11} 與 Y_{12} 中之位元不等於'010'時，偵測平移暫存器51之細胞 Y_4 至 Y_9 中一位元型態'010 010'，以及(c)當位元細胞 Y_7 ， Y_8 與 Y_9 中位元不等於'010'時，偵測細胞 Y_4 ， Y_5 與 Y_6 中一'010'位元型態。

當偵測得'010 010 010'位元型態時，感測器電路53於其輸出 o_1 產生一控制信號，當於細胞 Y_4 至 Y_9 偵測得'010 010'位元型態時，感測器電路53於其輸出 o_2 產生一控制信號，當於細胞 Y_4 至 Y_6 偵測得'010'位元型態時，感測器電路53於其輸出 o_3 產生一控制信號，然而，當於細胞 Y_4 至 Y_{12} 中沒有'010'位元型態時，於其輸出不產生任何控制信號。

未出現控制信號時，邏輯電路52如轉換表I將儲存於細胞 Y_1 ， Y_2 與 Y_3 中之3位元通道字轉換成其對應之2位元源字，並將2位元源字供給細胞 X_1 與 X_2 。當於輸入 c_3 出現控制信號時，邏輯電路52如轉換表II將儲存於細胞 Y_1 至 Y_6 中之

五、發明說明 (22)

二3位元通道字的區塊轉換成一22位元源字之區塊，並將二2位元源字供給細胞 X_1 至 X_4 。當於輸入 c_2 出現控制信號時，邏輯電路52如轉換表III將儲存於細胞 Y_1 至 Y_9 中之三3位元通道字的區塊轉換成一三2位元源字之區塊，並將三2位元源字供給細胞 X_1 至 X_6 。當於輸入 c_1 出現控制信號時，邏輯電路52如轉換表III將儲存於細胞 Y_1 至 Y_{12} 中之四3位元通道字的區塊轉換成一四2位元源字之區塊，並將三2位元源字供給細胞 X_1 至 X_8 。

以此方式，將通道信號之串列資料流轉換成源信號之串列資料流。

供給輸入50之編碼資訊可從重新製造一記錄載波成為資訊而取得，像是一磁性記錄載波23或者一光學記錄載波23'。圖6中之裝置其包含一讀取單元62，用以從一記錄載波上之軌道讀取資訊，其中單元62包含一讀取頭64，用以從該軌道讀取資訊。

圖7顯示一用以將由圖3或者4的編碼器所產生之通道信號解碼的解碼器之具體實施例。從表VII中，顯然地，須根據表VII而解碼之通道信號中特定的12位元之位元序列無法全部藉由序列'010 010 010'偵測。因此感測器53'需輸入12位元之位元序列，以識別全部包含於表VII中的七個12位元之位元序列。

然而，本發明此處已參照較佳具體實施例加以描述，可了解：這些並非限制之例子。因此，各種修正可呈現予熟知此項技藝人士，而未超出如主張中所定義的本發明之範

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

泉

五、發明說明 (23)

圍。例如，圖6之解碼裝置可修正成一種裝置，其中解碼器53從解碼資訊而非編碼資訊偵測各種修正之解碼情況，正如圖6中所揭示。

再者，本發明係關於各種以及每一新奇特性和或者特性之組合。

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
泉

四、中文發明摘要(發明之名稱： 用以編碼/解碼N位元源字成相對應M位元
通道字和相反過程的裝置)

揭示一種用以將一二位元源信號(S)資料位元流編碼成一
二位元通道(C)資料位元流之裝置，其中該源信號之位元流
分割成n位元源字(x_1, x_2)，該裝置包含適於轉換該源字成
對應之m位元通道字(y_1, y_2, y_3)的轉換裝置。該轉換裝置
(CM)進一步適於以轉換n位元源字成對應之m位元通道字
，使n位元源字各位元之轉換為同位元保留(表I)(圖1)。其
關係保持 $m > n \geq 1$ ， $p \geq 1$ ，且p可變化。較佳者， $m = n + 1$ 。

該裝置適於以轉換源信號中的8位元之位元序列
'00010001'成12位元之位元序列'100010010010'，以及轉換8
位元之位元序列'10010001'成12位元之位元序列
'000010010010'，以便限定通道信號中重覆之最小異動的行

英文發明摘要(發明之名稱： DEVICE FOR ENCODING/DECODING N-BIT SOURCE
WORDS INTO CORRESPONDING M-BIT CHANNEL
WORDS, AND VICE VERSA)

A device is disclosed for encoding a stream of databits of a binary source
signal (S) into a stream of databits of a binary channel signal (C), wherein the bitstream of
the source signal is divided into n-bit source words (x_1, x_2), which device comprises
converting means (CM) adapted to convert said source words into corresponding m-bit
channel words (y_1, y_2, y_3). The converting means (CM) are further adapted to convert n-bit
source words into corresponding m-bit channel words, such that the conversion for each n-bit
source word is parity preserving (table I) (Fig. 1). The relations hold that $m > n \geq 1$, $p \geq$
1, and that p can vary. Preferably, $m = n + 1$.

The device is adapted to convert the 8-bit bit sequence '00010001' in the
source signal into the 12-bit bitsequence '100010010010' and to convert the 8-bit bitsequence
'10010001' into the 12-bit bitsequence '000010010010', in order to limit the repeated
minimum transition runlength in the channel signal. Also other 8-bit sequences require a
specific encoding into 12-bit bitsequences in order to limit the k-constraint of the channel
signal to 7.

Further, a decoding device is disclosed for decoding the channel signal
obtained by means of the encoding device.

四、中文發明摘要(發明之名稱：)

進長度。其他8位元序列同樣要求特別編碼成12位元之位元序列，以便將限制k個通道信號限定為7。

再者，揭示一種用以解碼藉由編碼裝置而取得之通道信號的解碼裝置。

英文發明摘要(發明之名稱：)

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

六、申請專利範圍

1. 一種用以將一二位元源信號之資料位元流編碼成一二位元通道信號之資料位元流的裝置，其中源信號之位元流係分割成n位元源字，該裝置包含轉換裝置，適於將該源字轉換成對應之m位元通道字，該轉換裝置係適於將一p個連續n位元源字之區塊轉換成一p個連續m位元通道字之對應區塊，使p個連續n位元源字之各區塊基本上為同位元保留，其中n，m及p係整數， $m > n \geq 1$ ， $p \geq 1$ ，且其中p可變化，其特徵為：轉換裝置係適於將二位元源信號之位元流中8位元之位元序列'00010001'轉換成二位元通道信號的12位元之位元序列'100010010010'。
2. 一種用以將一二位元源信號之資料位元流編碼成一二位元通道信號之資料位元流的裝置，其中源信號之位元流係分割成n位元源字，該裝置包含轉換裝置，適於將該源字轉換成對應之m位元通道字，該轉換裝置係適於將一p個連續n位元源字之區塊轉換成一p個連續m位元通道字之對應區塊，使p個連續n位元源字之各區塊基本上為同位元保留，其中n，m及p係整數， $m > n \geq 1$ ， $p \geq 1$ ，且其中p可變化，其特徵為：轉換裝置係適於將二位元源信號之位元流中8位元之位元序列'10010001'轉換成二位元通道信號的12位元之位元序列'000010010010'。
3. 如申請專利範圍第2項之裝置，其特徵為：轉換裝置係適於當取決於此位元序列而產生之通道信號的最後位元

(請先閱讀背面之注意事項再填寫本頁)

訂

始

六、申請專利範圍

為'1'位元之情況下，將一位元源信號之位元流中的8位元之位元序列'10010001'轉換成二位元通道信號的12位元之位元序列'000010010010'。

4. 如申請專利範圍第3項之裝置，其特徵為：轉換裝置係適於當取決於此位元序列而產生之通道信號的最後位元為'0'位元之情況下，將一位元源信號之位元流中的8位元之位元序列'10010001'轉換成二位元通道信號的12位元之位元序列'100000010010'。

5. 一種用以將一二位元源信號之資料位元流編碼成一二位元通道信號之資料位元流的裝置，其中源信號之位元流係分割成n位元源字，該裝置包含轉換裝置，適於將該源字轉換成對應之m位元通道字，該轉換裝置係適於將一p個連續n位元源字之區塊轉換成一p個連續m位元通道字之對應區塊，使p個連續n位元源字之各區塊基本上為同位元保留，其中n，m及p係整數， $m > n \geq 1$ ， $p \geq 1$ ，且其中p可變化，其特徵為：轉換裝置係適於當取決於此位元序列而產生之通道信號的最後三位元為'010'之情況下，將二位元源信號之位元流中8位元之位元序列'11100000'轉換成二位元通道信號的12位元之位元序列'000001010010'。

6. 一種用以將一二位元源信號之資料位元流編碼成一二位元通道信號之資料位元流的裝置，其中源信號之位元流係分割成n位元源字，該裝置包含轉換裝置，適於將該源字轉換成對應之m位元通道字，該轉換裝置係適於將

(請先閱讀背面之注意事項再填寫本頁)

訂

始

六、申請專利範圍

一 p 個連續 n 位元源字之區塊轉換成一 p 個連續 m 位元通道字之對應區塊，使 p 個連續 n 位元源字之各區塊基本上為同位元保留，其中 n，m 及 p 係整數， $m > n \geq 1$ ， $p \geq 1$ ，且其中 p 可變化，其特徵為：轉換裝置係適於當取決於此位元序列而產生之通道信號的最後三位元為 '010' 之情況下，將二位元源信號之位元流中 8 位元之位元序列 '11100010' 轉換成二位元通道信號的 12 位元之位元序列 '100001010010'。

7. 一種用以將一二位元源信號之資料位元流編碼成一二位元通道信號之資料位元流的裝置，其中源信號之位元流係分割成 n 位元源字，該裝置包含轉換裝置，適於將該源字轉換成對應之 m 位元通道字，該轉換裝置係適於將一 p 個連續 n 位元源字之區塊轉換成一 p 個連續 m 位元通道字之對應區塊，使 p 個連續 n 位元源字之各區塊基本上為同位元保留，其中 n，m 及 p 係整數， $m > n \geq 1$ ， $p \geq 1$ ，且其中 p 可變化，其特徵為：轉換裝置係適於當取決於此位元序列而產生之通道信號的最後三位元為 '010' 之情況下，將二位元源信號之位元流中 8 位元之位元序列 '11100001' 轉換成二位元通道信號的 12 位元之位元序列 '001010010010'。

8. 一種用以將一二位元源信號之資料位元流編碼成一二位元通道信號之資料位元流的裝置，其中源信號之位元流係分割成 n 位元源字，該裝置包含轉換裝置，適於將該源字轉換成對應之 m 位元通道字，該轉換裝置係適於將

(請先閱讀背面之注意事項再填寫本頁)

訂

六、申請專利範圍

一 p 個連續 n 位元源字之區塊轉換成一 p 個連續 m 位元通道字之對應區塊，使 p 個連續 n 位元源字之各區塊基本上為同位元保留，其中 n, m 及 p 係整數， $m > n \geq 1$ ， $p \geq 1$ ，且其中 p 可變化，其特徵為：轉換裝置係適於當取決於此位元序列而產生之通道信號的最後三位元為 '010' 之情況下，將二位元源信號之位元流中 8 位元之位元序列 '11100011' 轉換成二位元通道信號的 12 位元之位元序列 '101010010010'。

9. 如申請專利範圍第 1, 2, 3, 4, 5, 6, 7 或 8 項之裝置，其特徵為： $m = n + 1$ 。
10. 如申請專利範圍第 9 項之裝置，其特徵為： $n = 2$ 。
11. 如申請專利範圍第 10 項之裝置，其特徵為：該裝置係適於將信號源字根據以下表格轉換成對應之單一通道字：

源字		通道字	
SW ₁	00	CW ₁	101
SW ₂	01	CW ₂	100
SW ₃	10	CW ₃	001
SW ₄	11	CW ₄	000

12. 如申請專利範圍第 10 項之裝置，其中該轉換裝置係適於將 2 位元源字轉換成對應之 3 位元通道字，因而取得一 (d, k) 序列形式之通道信號，其中 $d = 1$ ，該裝置進一

(請先閱讀背面之注意事項再填寫本頁)

訂

六、申請專利範圍

步包括一裝置，用以偵測源信號之位元流中，將單一2位元源字編碼成對應之單一通道字而導致抵觸通道字邊界之d限制的位置，以及用以供給一控制信號，以響應該偵測，該控制信號之特徵為：當未出現控制信號時，該轉換裝置係適於將單一2位元源字轉換成對應之單一3位元通道字，使各2位元源字之轉換為同位元保留。

13. 如申請專利範圍第12項之裝置，其中當控制信號出現於兩連續源字轉換期間，該轉換裝置係適於將該兩連續2位元源字之區塊轉換成一兩連續3位元通道字之區塊，使源字區塊中的兩源字之一轉換成一不與四通道字 CW_1 至 CW_4 之一相同的3位元通道字，以便保留 $d=1$ 限制，其特徵為：為響應該控制信號，該轉換裝置進一步適於將該兩連續2位元源字之區塊轉換成一兩連續3位元通道字之對應區塊，使該兩連續2位元源字區塊之轉換為同位元保留。
14. 如申請專利範圍第13項之裝置，其特徵為：轉換裝置係適於根據以下表格中給定之編碼，將兩連續2位元源字之區塊轉換成兩連續3位元通道字之區塊：

2源字之區塊	2通道字之區塊
00 00	100 010
00 01	101 010
10 00	000 010
10 01	001 010

(請先閱讀背面之注意事項再填寫本頁)

訂

六、申請專利範圍

15. 如申請專利範圍第13項之裝置，其中k具有一大於5之值，該裝置進一步提供裝置，用以偵測源字信號之位元流中，將單一2位元源字編碼成單一3位元通道字而導致抵觸k限制的位置，以及用以供給第二控制信號，以響應該偵測，其特徵為：當第二控制信號出現於轉換三連續2位元源字期間，轉換裝置係適於將該三連續2位元源字之區塊轉換成一三連續3位元通道字之對應區塊，使該三2位元源字區塊之轉換為具體實施例的位元保留，該轉換裝置進一步適於將區塊中三源字之二轉換成對應的不與四通道字 CW_1 至 CW_4 相同之3位元通道字，以便保留k限制。

✓ 16. 如申請專利範圍第15項之裝置，其特徵為：轉換裝置係適於根據以下表格中給定之編碼，將三連續2位元源字之區塊轉換成三連續3位元通道字之區塊：

3源字之區塊	3通道字之區塊
11 11 11	000 010 010
11 11 10	001 010 010
01 11 10	101 010 010
01 11 11	100 010 010

17. 如申請專利範圍第16項之裝置，其特徵為：該裝置進一步包含用以偵測源信號之位元流中的8位元之位元序列'00010001'與'10010001'的裝置，以及用以偵測取決於8

(請先閱讀背面之注意事項再填寫本頁)

訂

六、申請專利範圍

位元之位元序列，而從二位元源信號產生的通道信號其最後位元之值的裝置，該轉換裝置係適於根據以下表格中給定之編碼，相關於該最後通道位元之值，將8位元之位元序列轉換成通道信號中的12位元之位元序列：

源信號中 8位元之位元序列	通道信號中 12位元之位元序列
00 01 00 01	100 010 010 010
10 01 00 01(最後通道位元='0')	100 000 010 010
10 01 00 01(最後通道位元='1')	000 010 010 010

因而限制通道信號中一重覆之最小異動行進長度。

- ✓ 18. 如申請專利範圍第17項之裝置，其特徵為：該裝置進一步包含用以偵測二位元源信號之位元流中的8位元之位元序列的裝置，以及用以偵測取決於該8位元之位元序列等於'010'，而從二位元源信號產生的通道信號其最後三位元之值的裝置，該轉換裝置適於當於通道信號中偵測得該三位元序列為'010'時，則依以下表格中所給定，即根據以下該表所給定之編碼，將8位元之位元序列轉換成通道信號中的12位元之位元序列：

(請先閱讀背面之注意事項再填寫本頁)

訂

六、申請專利範圍

源信號中 8位元之位元序列	通道信號中 12位元之位元序列
11 10 00 00	000 001 010 010
11 10 00 10	100 001 010 010
11 10 00 01	001 010 010 010
11 10 00 11	101 010 010 010

19. 如申請專利範圍第18項之裝置，該轉換裝置係適於根據該表轉換8位元序列，因而將k限制限定為7。
20. 如申請專利範圍第1、2、5、6、7或8項之裝置，其特徵在於：該裝置更包括寫入裝置，其用以將該二進位通道信號記錄在一記錄載體上。
21. 如申請專利範圍第20項之裝置，其特徵為：該寫入裝置包含用以在記錄於記錄載體的軌道之前，實現一通道信號之前置碼步驟的記錄裝置。
22. 一種記錄載體，其包括一軌道，該軌道用以記錄一二進位通道信號，而該二進位通道信號是以如申請專利範圍第1、2、3、4、5、6、7、8、9、10、11、12、13、14、15、16、17、18或19項之編碼裝置來編碼，該二進位通道是以n位元源字所轉換分割成m位元通道字，該二進位通道信號包括下列一個或多個位元序列：該12-位元之位元序列'100010010010'是從該8-位元之位元序列'0001001'所轉換而來；該12-位元之位元序列'000010010010'是從該8-位元之位

(請先閱讀背面之注意事項再填寫本頁)

訂

六、申請專利範圍

元序列'10010001'所轉換而來；

該12-位元之位元序列'000001010010'是從該8-位元之位元序列'11100000'所轉換而來，在此情況中，最高產生至該位元序列之該通道信號之最後三個位元是'010'；

該12-位元之位元序列'100001010010'是從該8-位元之位元序列'11100010'所轉換而來，在此情況中，最高產生至該位元序列之該通道信號之最後三個位元是'010'；

該12-位元之位元序列'001010010010'是從該8-位元之位元序列'11100001'所轉換而來，在此情況中，最高產生至該位元序列之該通道信號之最後三個位元是'010'；

該12-位元之位元序列'101010010010'是從該8-位元之位元序列'11100011'所轉換而來，在此情況中，最高產生至該位元序列之該通道信號之最後三個位元是'010'。

23. 如申請專利範圍第22項之記錄載體，該記錄載體係一光學記錄載波。

24. 一種用以將一二位元通道信號之資料位元流解碼成一二位元源信號之資料位元流的裝置，其中通道信號之位元流係分割成m位元通道字，該裝置包含解轉換裝置，適於將m位元通道字解轉換成對應之n位元源字，該解轉換裝置適於將一p個連續m位元通道字之區塊解轉換成一對應的p個連續n位元源字之區塊，使p個連續m位元通道字各區塊之轉換為同位元保留，其中n，m與p為整數， $m > n$ ， $p \geq 1$ ，且其中p可變化，其特徵為：轉換裝置係適於將出現於二位元通道信號的位元流中，如以

(請先閱讀背面之注意事項再填寫本頁)

訂

六、申請專利範圍

下表格之至少12位元之位元序列之一，根據該表，轉換成一對應之二位元源信號的8位元之位元序列：

通道信號中 12位元之位元序列	二位元源信號中 對應的8位元之位元序列
100 010 010 010	00 01 00 01
100 000 010 010	10 01 00 01
000 010 010 010	10 01 00 01
000 001 010 010	11 10 00 00
100 001 010 010	11 10 00 10
001 010 010 010	11 10 00 01
101 010 010 010	11 10 00 11

25. 如申請專利範圍第24項之裝置，其特徵為：該裝置進一步包含用以偵測如表格中所給定的該12位元之位元序列的裝置。

26. 一種用以將一二位元源信號之資料位元流編碼成一二位元通道信號之資料位元流的方法，其中源信號之位元流係分割成n位元源字，該方法包含轉換步驟，用以將該源字轉換成對應之m位元通道字，使將一p個連續n位元源字之區塊轉換成一p個連續m位元通道字之對應區塊時，p個連續n位元源字之各區塊基本上為同位元保留，其中n，m及p係整數， $m > n \geq 1$ ， $p \geq 1$ ，且其中p可變化，其特徵為：轉換步驟包含用以將二位元源信號之

(請先閱讀背面之注意事項再填寫本頁)

訂

六、申請專利範圍

位元流中8位元之位元序列'00010001'轉換成二位元通道信號的12位元之位元序列'100010010010'的子步驟。

27. 一種用以將一二位元源信號之資料位元流編碼成一二位元通道信號之資料位元流的方法，其中源信號之位元流係分割成n位元源字，該方法包含轉換步驟，用以將該源字轉換成對應之m位元通道字，使將一p個連續n位元源字之區塊轉換成一p個連續m位元通道字之對應區塊時，p個連續n位元源字之各區塊基本上為同位元保留，其中n，m及p係整數， $m > n \geq 1$ ， $p \geq 1$ ，且其中p可變化，其特徵為：轉換步驟包含用以將二位元源信號之位元流中8位元之位元序列'10010001'轉換成二位元通道信號的12位元之位元序列'000010010010'的子步驟。
28. 如申請專利範圍第27項之方法，其特徵為：用以將二位元源信號之位元流中8位元之位元序列'10010001'轉換成二位元通道信號的12位元之位元序列'000010010010'的子步驟係實現於：取決於此位元序列而產生之通道信號的最後位元為'1'位元之情況。
29. 如申請專利範圍第28項之方法，其特徵為：用以將二位元源信號之位元流中8位元之位元序列'10010001'轉換成二位元通道信號的12位元之位元序列'100000010010'的子步驟係實現於：取決於此位元序列而產生之通道信號的最後位元為'0'位元之情況。
30. 一種用以將一二位元源信號之資料位元流編碼成一二位元通道信號之資料位元流的方法，其中源信號之位元流

(請先閱讀背面之注意事項再填寫本頁)

訂

六、申請專利範圍

係分割成n位元源字，該方法包含轉換步驟，用以將該源字轉換成對應之m位元通道字，使將一p個連續n位元源字之區塊轉換成一p個連續m位元通道字之對應區塊時，p個連續n位元源字之各區塊基本上為同位元保留，其中n，m及p係整數， $m > n \geq 1$ ， $p \geq 1$ ，且其中p可變化，其特徵為：轉換步驟包含取決於此位元序列而產生之通道信號的最後三位元為'010'之情況下，用以將二位元源信號之位元流中8位元之位元序列'11100000'轉換成二位元通道信號的12位元之位元序列'000001010010'的子步驟。

31. 一種用以將一二位元源信號之資料位元流編碼成一二位元通道信號之資料位元流的方法，其中源信號之位元流係分割成n位元源字，該方法包含轉換步驟，用以將該源字轉換成對應之m位元通道字，使將一p個連續n位元源字之區塊轉換成一p個連續m位元通道字之對應區塊時，p個連續n位元源字之各區塊基本上為同位元保留，其中n，m及p係整數， $m > n \geq 1$ ， $p \geq 1$ ，且其中p可變化，其特徵為：轉換步驟包含取決於此位元序列而產生之通道信號的最後三位元為'010'之情況下，用以將二位元源信號之位元流中8位元之位元序列'11100010'轉換成二位元通道信號的12位元之位元序列'100001010010'的子步驟。
32. 一種用以將一二位元源信號之資料位元流編碼成一二位元通道信號之資料位元流的方法，其中源信號之位元流

(請先閱讀背面之注意事項再填寫本頁)

訂

均

六、申請專利範圍

係分割成n位元源字，該方法包含轉換步驟，用以將該源字轉換成對應之m位元通道字，使將一p個連續n位元源字之區塊轉換成一p個連續m位元通道字之對應區塊時，p個連續n位元源字之各區塊基本上為同位元保留，其中n，m及p係整數， $m > n \geq 1$ ， $p \geq 1$ ，且其中p可變化，其特徵為：轉換步驟包含取決於此位元序列而產生之通道信號的最後三位元為'010'之情況下，用以將二位元源信號之位元流中8位元之位元序列'11100001'轉換成二位元通道信號的12位元之位元序列'001010010010'的子步驟。

33. 一種用以將一二位元源信號之資料位元流編碼成一二位元通道信號之資料位元流的方法，其中源信號之位元流係分割成n位元源字，該方法包含轉換步驟，用以將該源字轉換成對應之m位元通道字，使將一p個連續n位元源字之區塊轉換成一p個連續m位元通道字之對應區塊時，p個連續n位元源字之各區塊基本上為同位元保留，其中n，m及p係整數， $m > n \geq 1$ ， $p \geq 1$ ，且其中p可變化，其特徵為：轉換步驟包含取決於此位元序列而產生之通道信號的最後三位元為'010'之情況下，用以將二位元源信號之位元流中8位元之位元序列'11100011'轉換成二位元通道信號的12位元之位元序列'101010010010'的子步驟。

34. 如申請專利範圍第26、27、28、29、30、31、32或33項之方法，進一步包含將通道信號記錄於一記錄載

(請先閱讀背面之注意事項再填寫本頁)

訂

14

六、申請專利範圍

波上一軌道中之步驟。

35. 如申請專利範圍第34項之方法，其特徵為：該記錄載波係一光學記錄載波。

36. 如申請專利範圍第34項之方法，其特徵為：該方法進一步包含將通道信號記錄於記錄載波之前，一通道信號之前置碼的步驟。

(請先閱讀背面之注意事項再填寫本頁)

訂

88/02620

57305

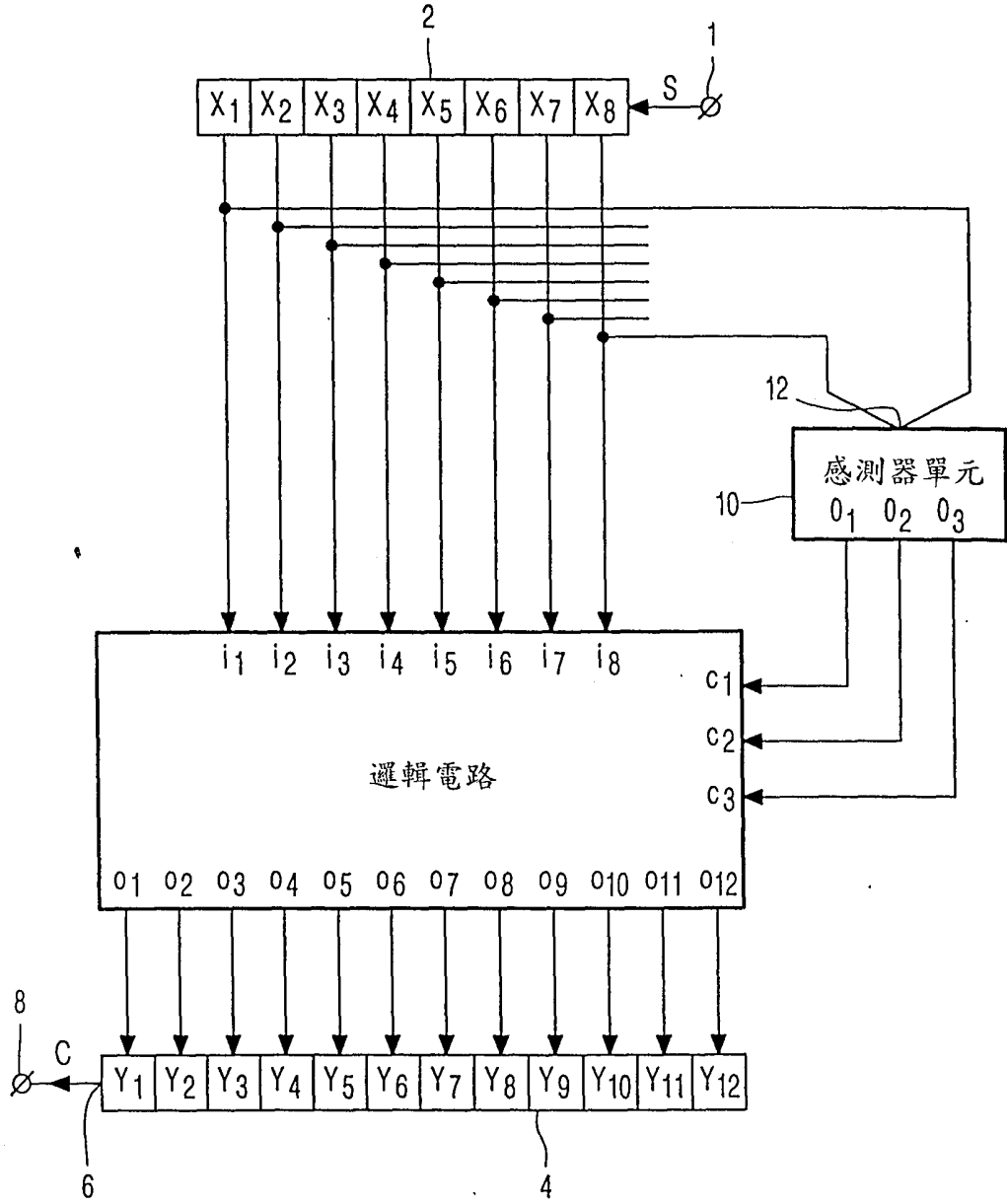


圖 1

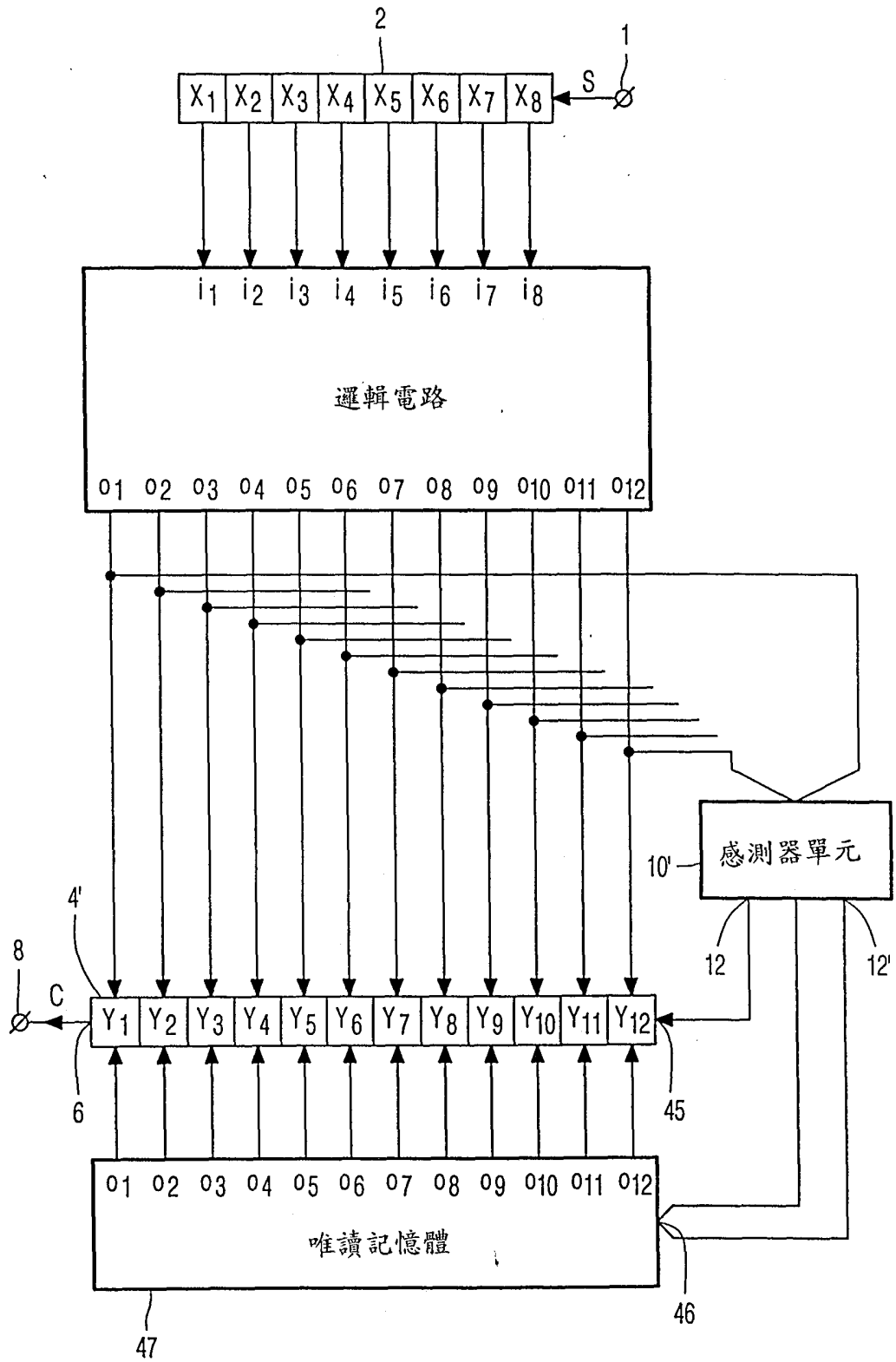


圖 2

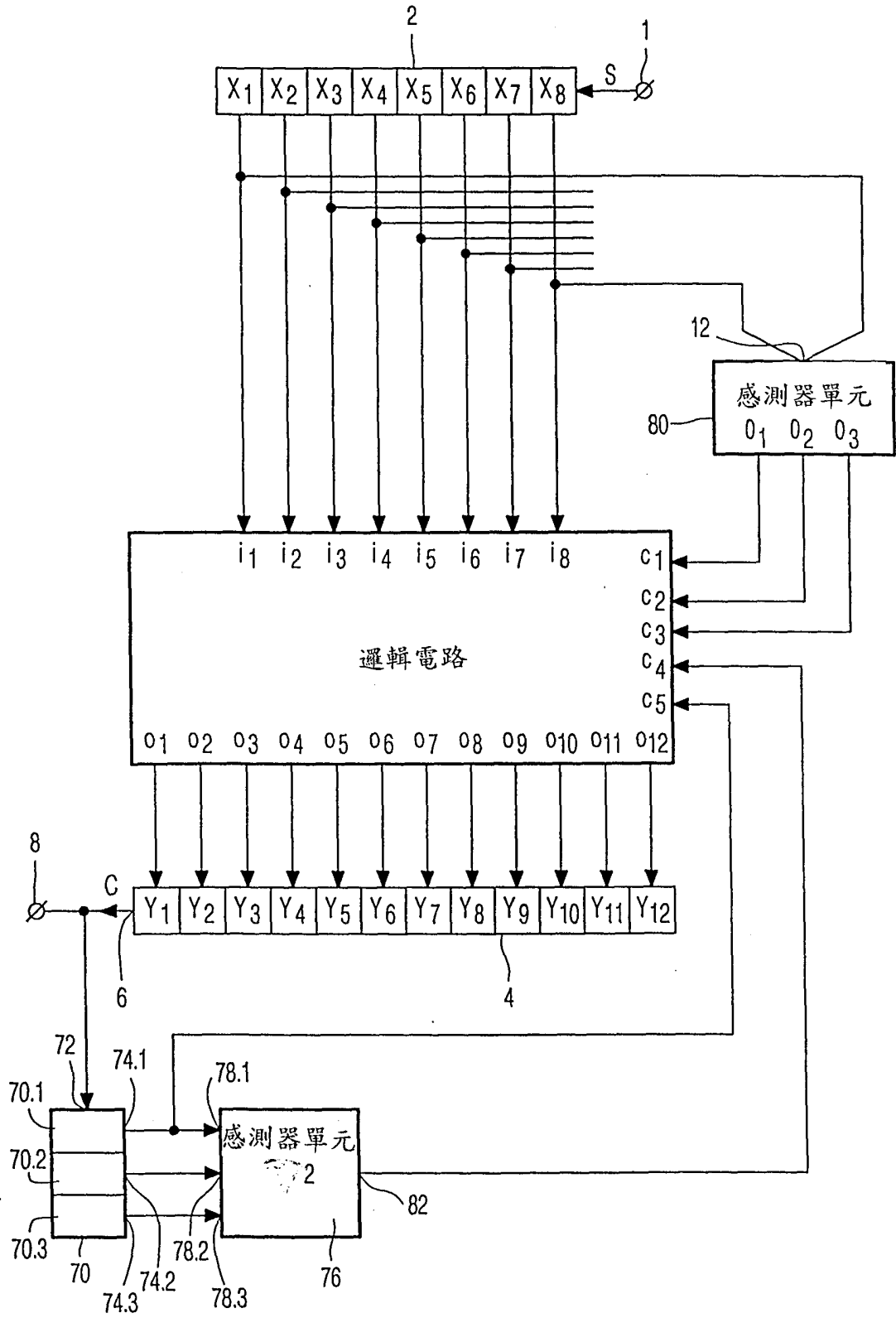


圖 3

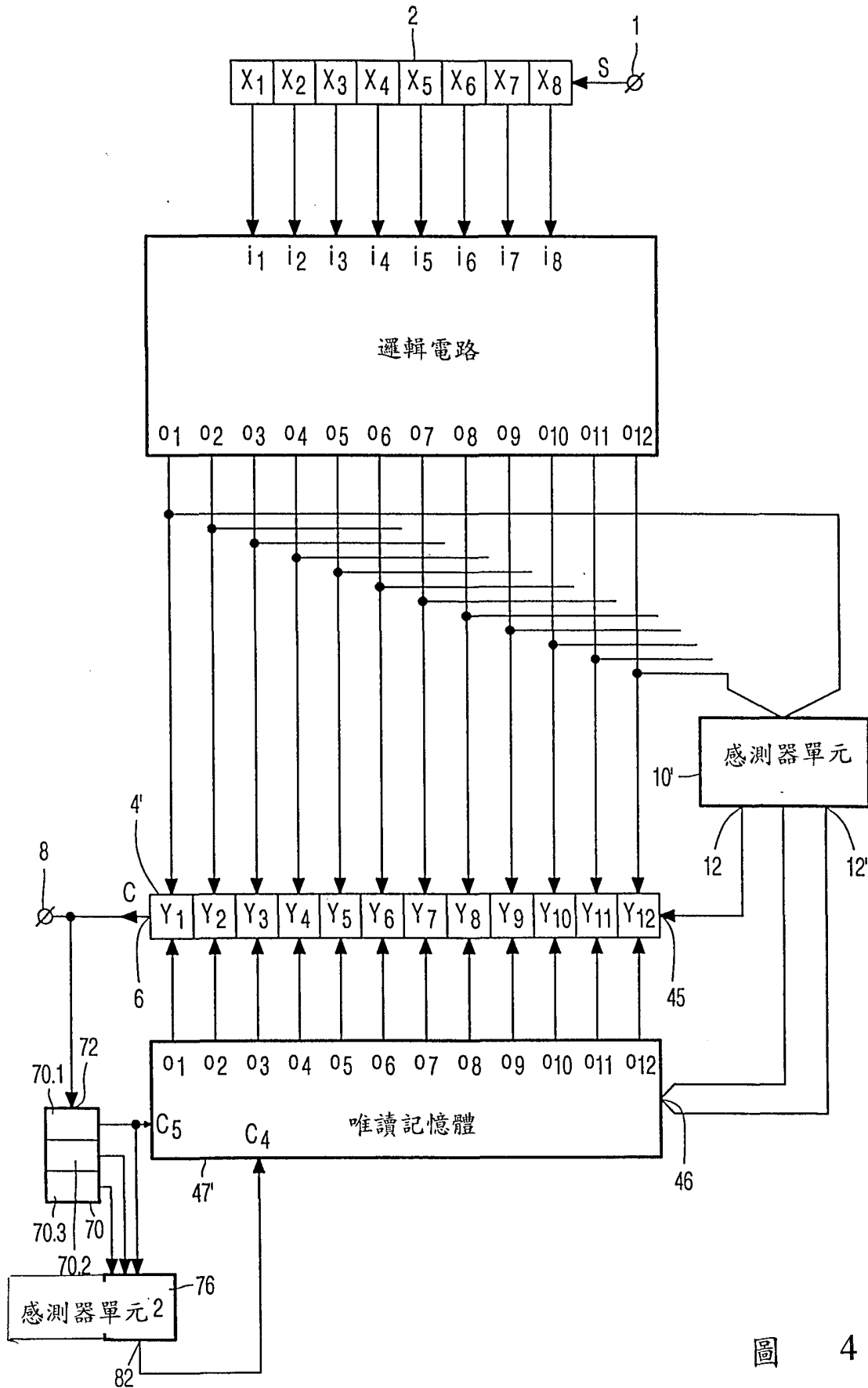


圖 4

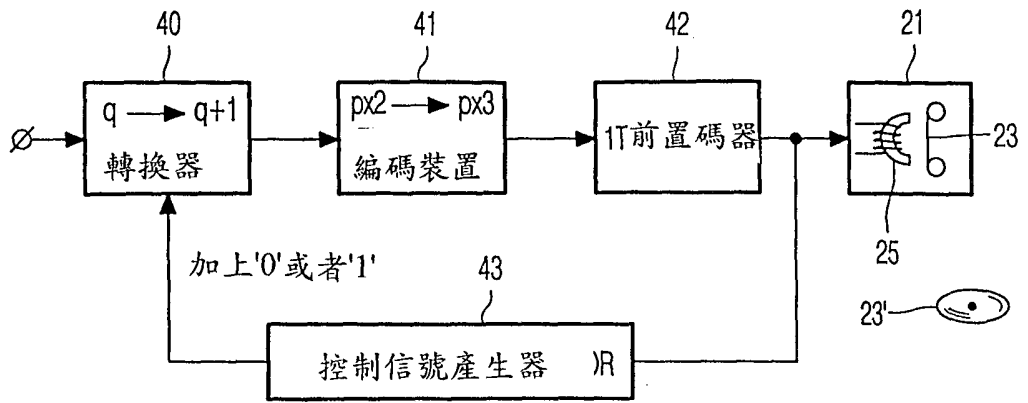


圖 5

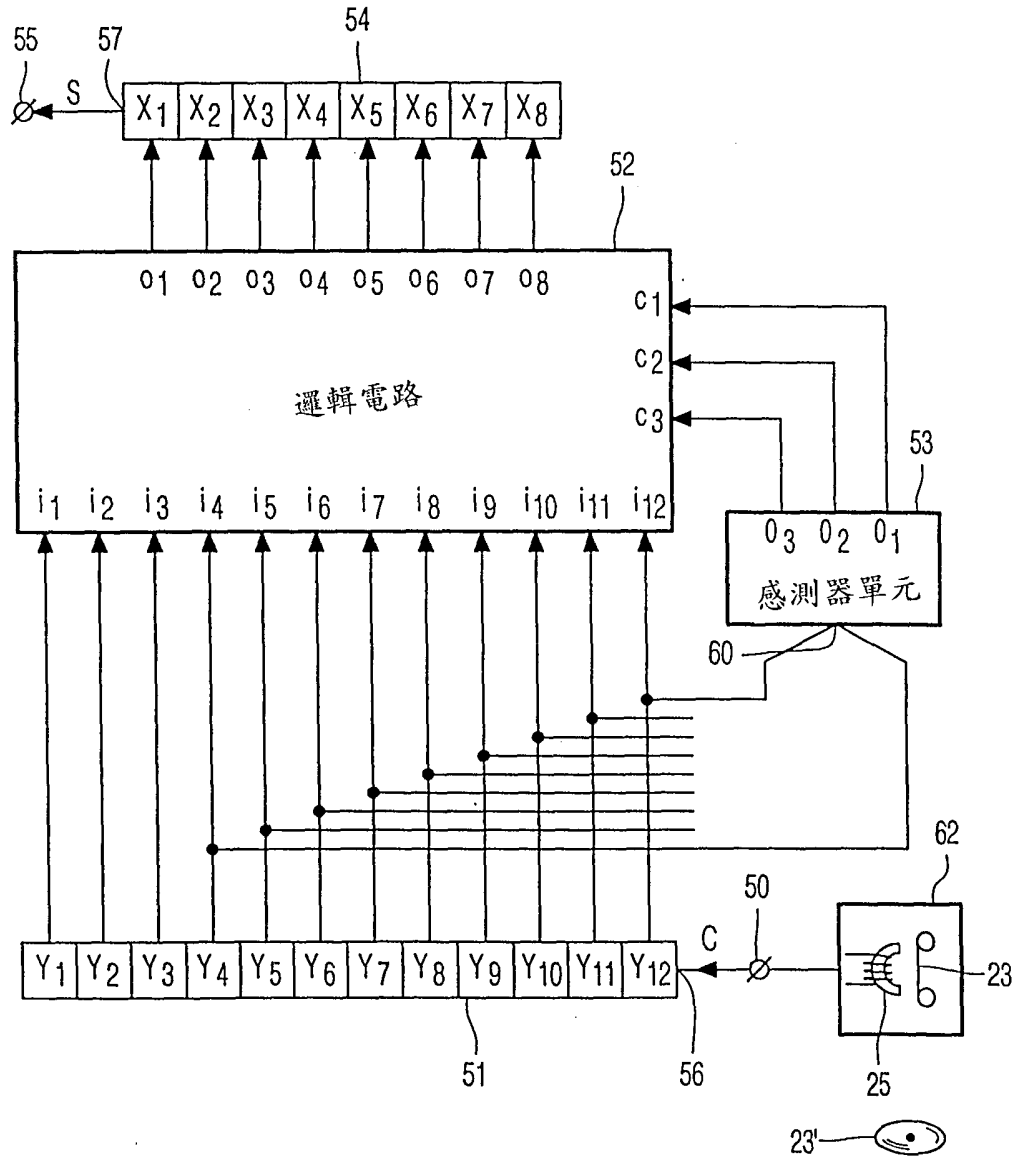


圖 6

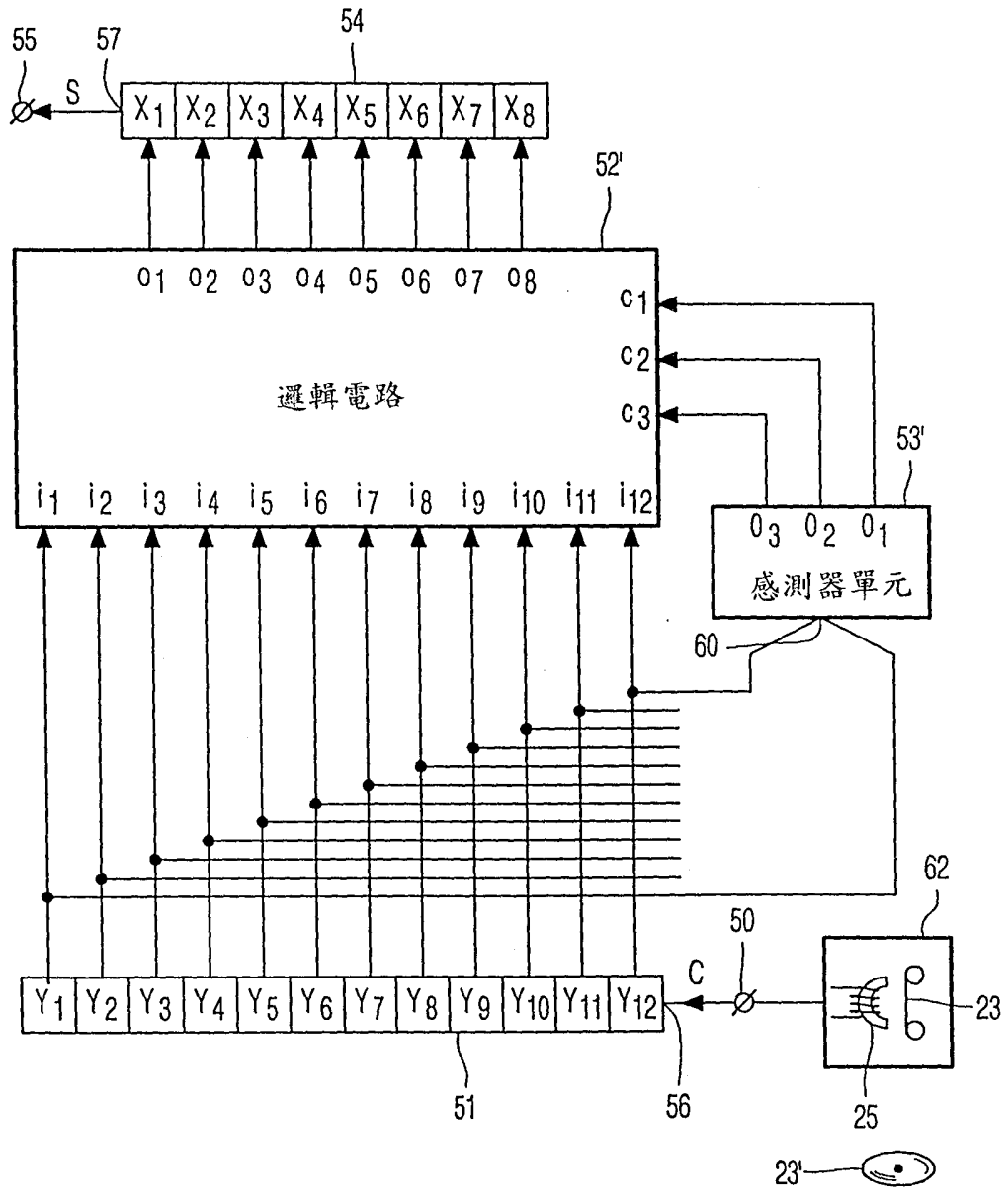


圖 7