

(21)申請案號：101112920

(22)申請日：中華民國 101 (2012) 年 04 月 12 日

(51)Int. Cl.：

H01L21/304 (2006.01)

H01L23/28 (2006.01)

(30)優先權：2011/04/13

中國大陸

201110092927.9

(71)申請人：精材科技股份有限公司 (中華民國) XINTEC INC. (TW)

桃園縣中壢市中壢工業區吉林路 23 號 9 樓

(72)發明人：顏裕林 YEN, YU LIN (TW)；劉國華 LIU, KUO HUA (TW)；黃玉龍 HUANG, YU LUNG (TW)；劉滄宇 LIU, TSANG YU (TW)；何彥仕 HO, YEN SHIH (TW)

(74)代理人：洪澄文；顏錦順

申請實體審查：有 申請專利範圍項數：24 項 圖式數：18 共 50 頁

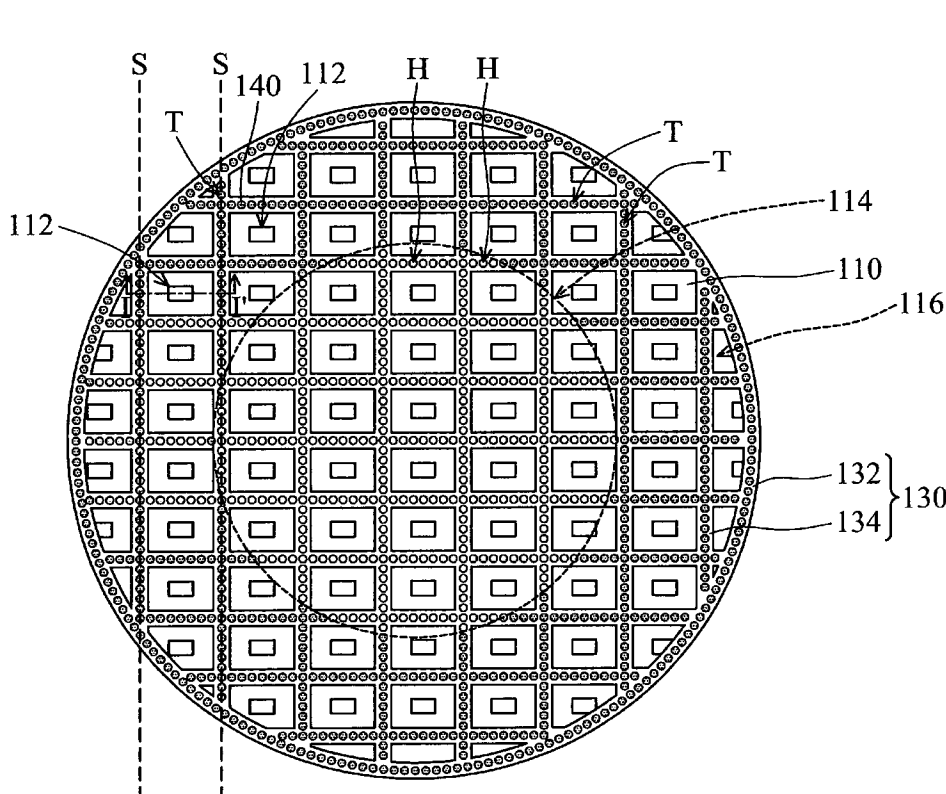
(54)名稱

晶片封裝體及其製作方法

CHIP PACKAGE AND MANUFACTURING METHOD THEREOF

(57)摘要

本發明一實施例提供一種晶片封裝體的製作方法，包括提供一半導體晶圓，其具有多個元件區，且元件區之間間隔有多個切割道；將一封裝基板接合至半導體晶圓，其中封裝基板與半導體晶圓之間具有一間隔層，間隔層定義出多個空腔，空腔分別露出元件區，且間隔層具有多個貫穿孔，貫穿孔鄰近半導體晶圓之外緣；於貫穿孔中填入一黏著材料，其中間隔層具有黏性且材質不同於黏著材料；以及沿著切割道切割半導體晶圓、封裝基板與間隔層，以形成多個彼此分離的晶片封裝體。



110：半導體晶圓

112：元件區

114：中心區

116：周邊區

130：間隔層

132：外環部

134：分隔部

140：黏著材料

H：空心貫穿孔

S：切割道

T：貫穿孔

(21)申請案號：101112920

(22)申請日：中華民國 101 (2012) 年 04 月 12 日

(51)Int. Cl.：

H01L21/304 (2006.01)

H01L23/28 (2006.01)

(30)優先權：2011/04/13

中國大陸

201110092927.9

(71)申請人：精材科技股份有限公司 (中華民國) XINTEC INC. (TW)

桃園縣中壢市中壢工業區吉林路 23 號 9 樓

(72)發明人：顏裕林 YEN, YU LIN (TW)；劉國華 LIU, KUO HUA (TW)；黃玉龍 HUANG, YU LUNG (TW)；劉滄宇 LIU, TSANG YU (TW)；何彥仕 HO, YEN SHIH (TW)

(74)代理人：洪澄文；顏錦順

申請實體審查：有 申請專利範圍項數：24 項 圖式數：18 共 50 頁

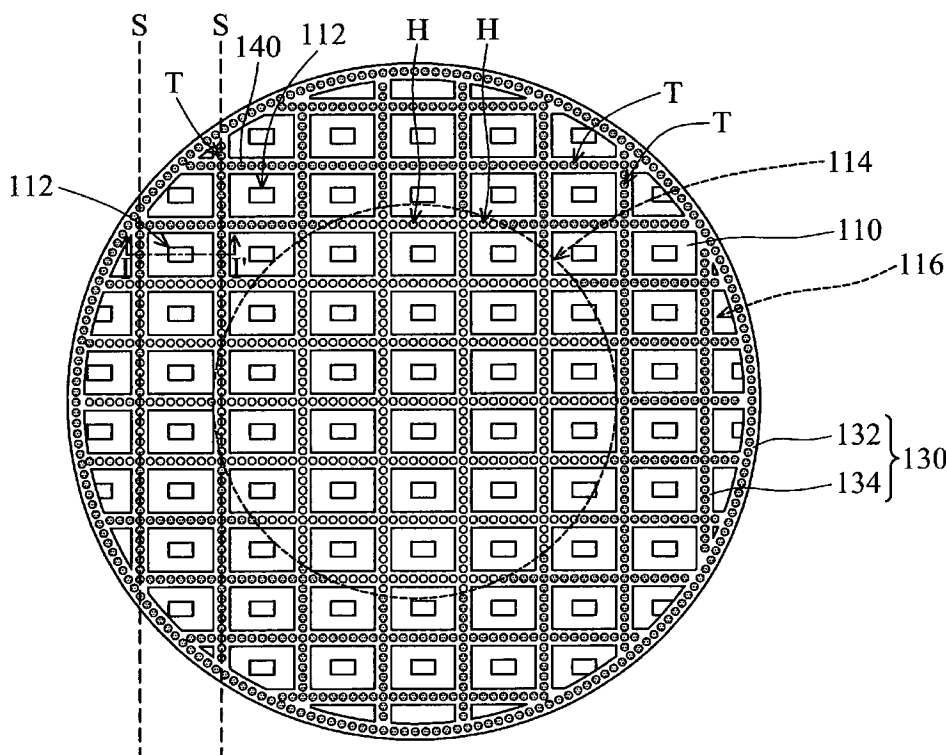
(54)名稱

晶片封裝體及其製作方法

CHIP PACKAGE AND MANUFACTURING METHOD THEREOF

(57)摘要

本發明一實施例提供一種晶片封裝體的製作方法，包括提供一半導體晶圓，其具有多個元件區，且元件區之間間隔有多個切割道；將一封裝基板接合至半導體晶圓，其中封裝基板與半導體晶圓之間具有一間隔層，間隔層定義出多個空腔，空腔分別露出元件區，且間隔層具有多個貫穿孔，貫穿孔鄰近半導體晶圓之外緣；於貫穿孔中填入一黏著材料，其中間隔層具有黏性且材質不同於黏著材料；以及沿著切割道切割半導體晶圓、封裝基板與間隔層，以形成多個彼此分離的晶片封裝體。



110：半導體晶圓

112：元件區

114：中心區

116：周邊區

130：間隔層

132：外環部

134：分隔部

140：黏著材料

H：空心貫穿孔

S：切割道

T：貫穿孔

六、發明說明：

【發明所屬之技術領域】

本發明有關於晶片封裝體，且特別是有關於晶圓級封裝之晶片封裝體及其製作方法。

【先前技術】

晶片封裝體用以保護封裝於其中之晶片，並提供晶片與外部電子元件之間的導電通路。在現行晶圓級封裝製程中，位於晶圓外圍的晶片封裝體可能有接合度不佳及/或易受水氣入侵之問題，其影響所封裝之晶片的效能甚鉅。

因此，業界亟需提升晶片封裝體的可靠度。

【發明內容】

本發明一實施例提供一種晶片封裝體的製作方法，包括提供一半導體晶圓，其具有多個元件區，且元件區之間間隔有多個切割道；將一封裝基板接合至半導體晶圓，其中封裝基板與半導體晶圓之間具有一間隔層，間隔層定義出多個空腔，空腔分別露出元件區，且間隔層具有多個貫穿孔，貫穿孔鄰近半導體晶圓之外緣；於貫穿孔中填入一黏著材料，其中間隔層具有黏性且材質不同於黏著材料；以及沿著切割道切割半導體晶圓、封裝基板與間隔層，以形成多個彼此分離的晶片封裝體。

本發明另一實施例提供一種晶片封裝體，包括一半導體基板，具有一元件區；一封裝基板，配置於半導體基板上；一間隔層，配置於半導體基板與封裝基板之間，且間

隔層定義出一空腔，空腔露出元件區；以及多個彼此獨立的黏結結構，鑲嵌於間隔層中並位於空腔外，其中間隔層的材質不同於黏結結構的材質。

【實施方式】

以下將詳細說明本發明實施例之製作與使用方式。然應注意的是，本發明提供許多可供應用的發明概念，其可以多種特定型式實施。文中所舉例討論之特定實施例僅為製造與使用本發明之特定方式，非用以限制本發明之範圍。此外，在不同實施例中可能使用重複的標號或標示。這些重複僅為了簡單清楚地敘述本發明，不代表所討論之不同實施例及/或結構之間具有任何關連性。再者，當述及一第一材料層位於一第二材料層上或之上時，包括第一材料層與第二材料層直接接觸或間隔有一或更多其他材料層之情形。在圖式中，實施例之形狀或是厚度可擴大，以簡化或是方便標示。再者，圖中未繪示或描述之元件，為所屬技術領域中具有通常知識者所知的形式。

本發明一實施例之晶片封裝體可用以封裝光感測元件或發光元件。然其應用不限於此，例如在本發明之晶片封裝體的實施例中，其可應用於各種包含主動元件或被動元件(active or passive elements)、數位電路或類比電路(digital or analog circuits)等積體電路的電子元件(electronic components)，例如有關於光電元件(opto electronic devices)、微機電系統(Micro Electro Mechanical System; MEMS)、微流體系統(micro fluidic systems)、或利用熱、

光線及壓力等物理量變化來測量的物理感測器(Physical Sensor)。特別是可選擇使用晶圓級封裝(wafer scale package; WSP)製程對影像感測元件、發光二極體(light-emitting diodes; LEDs)、太陽能電池(solar cells)、射頻元件(RF circuits)、加速計(accelerators)、陀螺儀(gyroscopes)、微制動器(micro actuators)、表面聲波元件(surface acoustic wave devices)、壓力感測器(process sensors)或噴墨頭(ink printer heads)等半導體晶片進行封裝。

其中上述晶圓級封裝製程主要係指在晶圓階段完成封裝步驟後，再予以切割成獨立的封裝體，然而，在一特定實施例中，例如將已分離之半導體晶片重新分布在一承載晶圓上，再進行封裝製程，亦可稱之為晶圓級封裝製程。另外，上述晶圓級封裝製程亦適用於藉堆疊(stack)方式安排具有積體電路之多片晶圓，以形成多層積體電路(multi-layer integrated circuit devices)之晶片封裝體。

本發明係藉由在半導體晶圓與封裝基板之間的間隔層上形成多個鄰近半導體晶圓之外緣的貫穿孔，並於這些貫穿孔中填入黏著材料的方式增加間隔層與半導體晶圓及/或封裝基板之間的接著性。

第 1A 圖至第 1C 圖繪示本發明一實施例之晶片封裝體的製程剖面圖，第 2 圖繪示第 1B 圖的上視圖。第 1B 圖為沿第 2 圖之 I-I' 線段的剖面圖，並且為簡化起見，第 2 圖省略繪示封裝基板。

首先，請參照第 1A 圖，提供一半導體晶圓 110 與一封裝基板 120，其中半導體晶圓 110 具有多個元件區 112，

且元件區 112 之間間隔有多個切割道 S。

接著，請參照第 1B 圖與第 2 圖，將封裝基板 120 接合至半導體晶圓 110，其中封裝基板 120 與半導體晶圓 110 之間具有一間隔層 130。間隔層 130 定義出多個空腔 C，空腔 C 分別露出元件區 112。間隔層 130 具有多個貫穿孔 T，貫穿孔 T 鄰近半導體晶圓 110 之外緣 P。

在本實施例中，間隔層 130 具有一外環部 132 與一分隔部 134，外環部 132 鄰近半導體晶圓 110 之外緣 P，分隔部 134 位於元件區 112 之間的切割道 S 上，且貫穿孔 T 位於外環部 132。並且，可於貫穿孔 T 中填入一黏著材料 140，其中填入黏著材料 140 的方法例如為網版印刷。

黏著材料 140 可以填滿或是未填滿貫穿孔 T，當黏著材料 140 填滿貫穿孔 T 時可有助於黏結半導體晶圓 110、封裝基板 120 與間隔層 130；即使黏著材料 140 未填滿貫穿孔 T，只要其有助於黏結間隔層 130 與半導體晶圓 110 或封裝基板 120 兩者其一即可提升封裝製程的良率。

間隔層 130 可具有黏性且材質不同於黏著材料 140。舉例來說，間隔層 130 的材質可為感光材料（如光阻）或是環氧樹脂（epoxy），黏著材料 140 的材質可為其它種類之高分子材料（例如聚亞醞胺，polyimide）。在本實施例中，所選用的材質使得黏著材料 140 的黏性大於間隔層 130 的黏性，且黏著材料 140 的硬度小於間隔層 130 的硬度。如此一來，在接合封裝基板 120 與半導體晶圓 110 時，間隔層 130 可提供一定的支撐力，而黏著材料 140 可提供比間隔層 130 更大的接著力。

詳細而言，如第 1A 圖所示，在本實施例中，將封裝基板 120 接合至半導體晶圓 110 的方法是先將間隔層 130 形成在封裝基板 120 上，並於貫穿孔 T 中填入黏著材料 140，之後，才使封裝基板 120 經由具有黏性的間隔層 130 與黏著材料 140 接合至半導體晶圓 110。

此外，在其他實施例中，將封裝基板 120 接合至半導體晶圓 110 的方法也可以是先將間隔層 130 形成在半導體晶圓 110 上，並於貫穿孔 T 中填入黏著材料 140，之後，才使半導體晶圓 110 經由具有黏性的間隔層 130 與黏著材料 140 接合至封裝基板 120。

另外，如第 2 圖所示，間隔層 130 可額外具有多個位於分隔部 134 的空心貫穿孔 H，黏著材料 140 並未填入空心貫穿孔 H 中。

值得注意的是，由於本實施例在外環部 132 的貫穿孔 T 中填入黏著材料 140，因此，黏著材料 140 可增加外環部 132 與半導體晶圓 110 及/或封裝基板 120 之間的接著性，故可避免在後續的加工製程(例如化學氣相沉積等熱製程)中由間隔層 130 與半導體晶圓 110 及封裝基板 120 所構成的疊層結構發生分層(delamination)現象，進而可改善晶圓切割製程的可靠度以及提升晶片封裝製程的製程良率。

之後，可選擇性地對間隔層 130 與黏著材料 140 進行一固化製程，以使間隔層 130 與黏著材料 140 同時或分開固化，其中固化製程例如為加熱固化製程、光固化製程、或是其他適合的固化製程。

然後，請參照第 1B 圖與第 1C 圖，沿著切割道 S 切割

半導體晶圓 110、封裝基板 120 與間隔層 130，以形成多個彼此分離的晶片封裝體 100。晶片封裝體 100 包括一半導體基板 110a、一(切割後的)封裝基板 120a 以及一(切割後的)間隔層 130a，其中半導體基板 110a 具有一元件區 112。封裝基板 120a 配置於半導體基板 110a 上，且間隔層 130a 位於封裝基板 120a 與半導體基板 110a 之間並定義出一空腔 C。

當晶片封裝體 100 為感光元件或是發光元件時，封裝基板 120 的材質可為透光材料，例如玻璃、石英、塑膠、或蛋白石(opal)。

第 3A 圖至第 3B 圖繪示本發明另一實施例之晶片封裝體的製程剖面圖。

值得注意的是，本實施例之晶片封裝體的製程相似於第 1A 圖至第 1C 圖的製程，兩者的差異之處在於本實施例之貫穿孔 T 與黏著材料 140 更位於分隔部 134。

第 5 圖繪示第 3A 圖的上視圖，第 3A 圖為沿第 5 圖之 I-I' 線段的剖面圖，並且為簡化起見，第 5 圖省略繪示封裝基板。詳細而言，請參照第 3A 圖，貫穿孔 T 可位於分隔部 134。舉例來說，如第 5 圖所示，半導體晶圓 110 可具有一中心區 114 與一圍繞中心區 114 的周邊區 116，貫穿孔 T 可位於分隔部 134 之位於周邊區 116 的部份，並位於切割道 S 上，且黏著材料 140 可填入位於周邊區 116 的貫穿孔 T 中。此外，在本實施例中，間隔層 130 的空心貫穿孔 H 係分布於中心區 114 的分隔部 134。

在本實施例中，由於貫穿分隔部 134 的黏著材料 140

已於周邊區 116 中圍成一圈，因此，已強化分隔部 134 之位於周邊區 116 的部份與半導體晶圓 110 及/或封裝基板 120 之間的接著性，而具有避免疊層結構在後續的加工製程中發生分層現象的功效，因此，在該實施例中間隔層 130 亦可不具有填充黏著材料 140 的外環部 132。

第 6 圖繪示第 5 圖之實施例的另一種變化。在另一實施例中，如第 6 圖所示，貫穿孔 T 可位於整個分隔部 134 中(亦即，位於半導體晶圓 110 的中心區與周邊區中)，且黏著材料 140 可填入這些貫穿孔 T 中，此時，分隔部 134 不具有空心貫穿孔。

值得注意的是，由於本實施例在分隔部 134 的貫穿孔 T 中填入黏著材料 140，因此，黏著材料 140 可增加分隔部 134 與半導體晶圓 110 及/或封裝基板 120 之間的接著性，進而可提升晶片封裝製程的製程良率。

之後，請同時參照第 3A 圖與第 3B 圖，可沿著切割道 S 切割半導體晶圓 110、封裝基板 120、間隔層 130 以及位於貫穿孔 T 中的黏著材料 140，以形成多個彼此分離的晶片封裝體 300。

第 4 圖繪示第 3B 圖的晶片封裝體的立體示意圖，並且為簡化起見，第 4 圖省略繪示封裝基板。請同時參照第 3B 圖與第 4 圖，晶片封裝體 300 包括一半導體基板 110a、一(切割後的)封裝基板 120a、一(切割後的)間隔層 130a 以及多個彼此獨立的黏結結構 140a，其中半導體基板 110a 具有一元件區 112。

封裝基板 120a 配置於半導體基板 110a 上。間隔層 130a

配置於半導體基板 110a 與封裝基板 120a 之間，且間隔層 130a 定義出一空腔 C，空腔 C 露出元件區 112。黏結結構 140a 鑲嵌於間隔層 130a 中並位於空腔 C 外，且部分的間隔層 130a 分隔於這些黏結結構 140a 之間，其中間隔層 130a 的材質不同於黏結結構 140a 的材質。

值得注意的是，在此，『黏結結構 140a 鑲嵌於間隔層 130a 中』是代表黏結結構 140a 位於間隔層 130a 中，且間隔層 130a 暴露出黏結結構 140a 的部份表面。舉例來說，間隔層 130a 具有一側壁 138，側壁 138 朝向遠離空腔 C 的方向，且黏結結構 140a 鑲嵌於側壁 138 上。詳細而言，側壁 138 可具有多個自半導體基板 110a 延伸至封裝基板 120a 的凹槽 R，且黏結結構 140a 填充於凹槽 R 中。由於黏結結構 140a 係鑲嵌於間隔層 130a 中，因此，兩者之間的接著性良好。

在本實施例中，黏結結構 140a 具有一側壁 F，側壁 F 朝向遠離空腔 C 的方向，且側壁 F 與側壁 138 平齊。在本實施例中，間隔層 130a 直接接觸半導體基板 110a 與封裝基板 120a，且各黏結結構 140a 自半導體基板 110a 延伸至封裝基板 120a。

雖然第 4 圖是繪示黏結結構 140a 完全填滿凹槽 R 的情形，但在其他實施例中，黏結結構 140a 亦可未完全填滿凹槽 R。舉例來說，黏結結構 140a 可以僅位於凹槽 R 之鄰近半導體基板 110a 的一端而連接半導體基板 110a 與間隔層 130a。或者是，黏結結構 140a 可以僅位於凹槽 R 之鄰近封裝基板 120a 的一端而連接封裝基板 120a 與間隔層 130a。

第 7A 圖至第 7B 圖繪示本發明又一實施例之晶片封裝體的製程剖面圖。

值得注意的是，本實施例之晶片封裝體的製程相似於第 3A 圖至第 3B 圖的製程，兩者的差異之處在於本實施例之間隔層 130 更具有多個內環結構 136。

第 8 圖繪示第 7A 圖的上視圖，第 7A 圖為沿第 8 圖之 I-I' 線段的剖面圖，並且為簡化起見，第 8 圖省略繪示封裝基板。詳細而言，請參照第 7A 圖與第 8 圖，內環結構 136 位於空腔 C 中並環繞元件區 112，且貫穿孔 T 貫穿內環結構 136，黏著材料 140 填於貫穿孔 T 中。

值得注意的是，第 8 圖繪示的是位於周邊區 116 中的內環結構 136 被貫穿孔 T 貫穿且貫穿孔 T 中填有黏著材料 140，位於中心區 114 中的內環結構 136 是被空心貫穿孔 H 貫穿。當然，在其他的實施例中，也可以是所有的內環結構 136 都被填有黏著材料 140 的貫穿孔 T 貫穿。

接著，請同時參照第 7A 圖與第 7B 圖，可沿著切割道 S 切割半導體晶圓 110、封裝基板 120、間隔層 130 以及位於貫穿孔 T 中的黏著材料 140，以形成多個彼此分離的晶片封裝體 700。

本實施例之晶片封裝體 700 相似於第 3B 圖的晶片封裝體 300，兩者的差異之處在於晶片封裝體 700 的間隔層 130a 更具有內環結構 136。內環結構 136 位於空腔 C 中並具有多個貫穿孔 T，且多個彼此獨立的黏結結構 140a，分別填入貫穿孔 T 中。

第 9A 圖至第 9B 圖繪示本發明再一實施例之晶片封裝

體的製程剖面圖。

值得注意的是，本實施例之晶片封裝體的製程相似於第 3A 圖至第 3B 圖的製程，兩者的差異之處在於貫穿孔 T 的排列方式不同。

第 11 圖繪示第 9A 圖的上視圖，第 9A 圖為沿第 11 圖之 I-I' 線段的剖面圖，並且為簡化起見，第 11 圖省略繪示封裝基板。詳細而言，請同時參照第 9A 圖與第 11 圖，對各切割道 S 而言，貫穿孔 T 包括二排彼此平行的貫穿孔 T，二排貫穿孔 T 分別位於切割道 S 的相對二側。在其他實施例中，貫穿孔 T 可包括其他偶數排的貫穿孔 T（例如 4、6、8 排），且分別位於切割道 S 的相對二側。

接著，請同時參照第 9A 圖與第 9B 圖，可沿著切割道 S 切割半導體晶圓 110、封裝基板 120 與間隔層 130 之位於二排貫穿孔 T 之間的部份，以形成多個彼此分離的晶片封裝體 900。

第 10 圖繪示第 9B 圖的晶片封裝體的立體示意圖，並且為簡化起見，第 10 圖省略繪示封裝基板。請同時參照第 9B 圖與第 10 圖，本實施例之晶片封裝體 900 相似於第 3B 圖的晶片封裝體 300，兩者的差異之處在於晶片封裝體 900 的間隔層 130b 具有多個貫穿孔 T，且黏結結構 140a 係分別填於貫穿孔 T 中。

第 12A 圖至第 12B 圖繪示本發明一實施例之晶片封裝體的製程剖面圖。

值得注意的是，本實施例之晶片封裝體的製程相似於第 9A 圖至第 9B 圖的製程，兩者的差異之處在於貫穿孔 T

的排列方式不同。

第 14 圖繪示第 12A 圖的上視圖，第 12A 圖為沿第 14 圖之 I-I' 線段的剖面圖，並且為簡化起見，第 14 圖省略繪示封裝基板。詳細而言，請同時參照第 12A 圖與第 14 圖，對各切割道 S 而言，貫穿孔 T 包括三排彼此平行的貫穿孔 T，且其中一排貫穿孔 T 位於切割道 S 上(以下稱為中間排)，其中二排貫穿孔 T 分別位於切割道 S 的相對二側。

接著，請同時參照第 12A 圖與第 12B 圖，可沿著切割道 S 切割半導體晶圓 110、封裝基板 120、間隔層 130 之位於二排貫穿孔 T 之間的部份以及中間排之貫穿孔 T 中的黏著材料 140，以形成多個彼此分離的晶片封裝體 1200。

第 13 圖繪示第 12B 圖的晶片封裝體的立體示意圖，並且為簡化起見，第 13 圖省略繪示封裝基板。請同時參照第 12B 圖與第 13 圖，晶片封裝體 1200 相似於第 3B 圖的晶片封裝體 300 與第 9B 圖的晶片封裝體 900，其差異之處在於晶片封裝體 1200 的間隔層 130c 同時具有第 3B 圖的晶片封裝體 300 的凹槽 R 與第 9B 圖的晶片封裝體 900 的貫穿孔 T，且黏結結構 140a 係分別填於貫穿孔 T 與凹槽 R 中。

第 15~16 圖繪示本發明一實施例之晶片封裝體的製程剖面圖，並且為簡化起見，第 16 圖省略繪示封裝基板。值得注意的是，本實施例之晶片封裝體的製程相似於第 12A 圖至第 12B 圖與第 14 圖的製程，如第 15 圖所示，兩者的差異之處在於本實施例是以一貫穿間隔層 130 的連續溝槽 A 取代原本位於切割道 S 上的多個貫穿孔 T(請參照第 14 圖)。詳細來說，在本實施例中，對各切割道 S 而言，貫

穿孔 T 可選擇性地包括二排彼此平行的貫穿孔 T，且溝槽 A(或切割道 S)分隔於這二排彼此平行的貫穿孔 T 之間。

此外，在本實施例中，亦可選擇性地在間隔層 130 的外環部 132 上形成一呈環狀的外環溝槽 B，外環溝槽 B 貫穿外環部 132。在一實施例中，貫穿孔 T 還可選擇性地包括二排位於外環部 132 的貫穿孔 T，且這二排貫穿孔 T 分別位於外環溝槽 B 的相對二側。

值得注意的是，本實施例僅是以二排貫穿孔 T 為例作說明，並非用以限定貫穿孔 T 與溝槽 A(或外環溝槽 B)的相對位置，亦即，在其他實施例中，可依照實際使用需求而調整貫穿孔 T 與溝槽 A(或外環溝槽 B)的相對位置。

當在半導體晶圓 110 上形成間隔層 130 之後，可將黏著材料 140 填入溝槽 A、外環溝槽 B 與貫穿孔 T 中，之後，可沿著切割道 S 切割半導體晶圓 110、封裝基板、以及位於溝槽 A 中的黏著材料 140，以形成多個彼此分離的晶片封裝體 1600(如第 16 圖所示)。

請參照第 16 圖，晶片封裝體 1600 相似於第 13 圖的晶片封裝體，其差異之處在於晶片封裝體 1600 的間隔層 130d 不具有凹槽，且一連續的環狀黏結結構 140b 係環繞包覆間隔層 130d 的側壁，且位於空腔 C 外。此外，黏結結構 140a 係分別填於貫穿孔 T 中。

第 17~18 圖繪示本發明一實施例之晶片封裝體的製程剖面圖，並且為簡化起見，第 18 圖省略繪示封裝基板。值得注意的是，本實施例之晶片封裝體的製程相似於第 12A 圖至第 12B 圖與第 14 圖的製程，兩者的差異之處在於

本實施例是以多個貫穿間隔層 130 的環狀溝槽 D 取代原本位於切割道 S 之外的多個貫穿孔 T(請參照第 14 圖)。詳細來說，請參照第 17 圖，各環狀溝槽 D 圍繞對應的空腔 C(或元件區 112)，且貫穿孔 T 位於兩相鄰的環狀溝槽 D 之間。

值得注意的是，本實施例僅是以貫穿孔 T 係位於兩相鄰的環狀溝槽 D 之間為例作說明，並非用以限定貫穿孔 T 與環狀溝槽 D 的相對位置，亦即，在其他實施例中，可依照實際使用需求而調整貫穿孔 T 與環狀溝槽 D 的相對位置。

當在半導體晶圓 110 上形成間隔層 130 之後，可將黏著材料 140 填入環狀溝槽 D 與貫穿孔 T 中，之後，可沿著切割道 S 切割半導體晶圓 110、封裝基板、間隔層 130 之位於相鄰二環狀溝槽 D 之間的部份以及位於貫穿孔 T 中的黏著材料 140，以形成多個彼此分離的晶片封裝體 1800(如第 18 圖所示)。

請參照第 18 圖，晶片封裝體 1800 相似於第 13 圖的晶片封裝體，其差異之處在於晶片封裝體 1800 的間隔層 130e 具有一連續的環狀溝槽 D，而不具有貫穿孔 T。環狀溝槽 D 貫穿間隔層 130e 且環繞空腔 C(或元件區)，且一連續的環狀黏結結構 140c 填入環狀溝槽 D 中。此外，黏結結構 140a 係分別填於凹槽 R 中。

綜上所述，由於本發明使黏著材料貫穿鄰近半導體晶圓之外緣的間隔層，故可有效增加間隔層與半導體晶圓及/或封裝基板的外緣之間的接著性，以避免在後續的加工製程(例如熱製程)中疊層結構發生分層現象，並可提升晶片

封裝製程的製程良率。

此外，本發明使黏著材料貫穿間隔層之分隔部可增加分隔部與半導體晶圓及/或封裝基板之間的接著性，進而可提升晶片封裝製程的製程良率。

本發明雖以較佳實施例揭露如上，然其並非用以限定本發明的範圍，任何所屬技術領域中具有通常知識者，在不脫離本發明之精神和範圍內，當可做些許的更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。

【圖式簡單說明】

第 1A 圖至第 1C 圖繪示本發明一實施例之晶片封裝體的製程剖面圖。

第 2 圖繪示第 1B 圖的上視圖。

第 3A 圖至第 3B 圖繪示本發明一實施例之晶片封裝體的製程剖面圖。

第 4 圖繪示第 3B 圖的晶片封裝體的立體示意圖。

第 5 圖繪示第 3A 圖的上視圖。

第 6 圖繪示第 5 圖之實施例的另一種變化。

第 7A 圖至第 7B 圖繪示本發明一實施例之晶片封裝體的製程剖面圖。

第 8 圖繪示第 7A 圖的上視圖。

第 9A 圖至第 9B 圖繪示本發明一實施例之晶片封裝體的製程剖面圖。

第 10 圖繪示第 9B 圖的晶片封裝體的立體示意圖。

第 11 圖繪示第 9A 圖的上視圖。

第 12A 圖至第 12B 圖繪示本發明一實施例之晶片封裝體的製程剖面圖。

第 13 圖繪示第 12B 圖的晶片封裝體的立體示意圖。

第 14 圖繪示第 12A 圖的上視圖。

第 15～16 圖繪示本發明一實施例之晶片封裝體的製程剖面圖。

第 17～18 圖繪示本發明一實施例之晶片封裝體的製程剖面圖。

【主要元件符號說明】

100、300、700、900、1200、1600、1800~晶片封裝體；

110~半導體晶圓；

110a~半導體基板；

112~元件區；

114~中心區；

116~周邊區；

120~封裝基板；

120a~(切割後的)封裝基板；

130~間隔層；

130a、130b、130c、130d、130e~(切割後的)間隔層；

132~外環部；

134~分隔部；

136~內環結構；

138、F~側壁；

140~黏著材料；

140a~黏結結構；

140b、140c~環狀黏結結構；

A~溝槽；

B~外環溝槽；

C~空腔；

D~環狀溝槽；

H~空心貫穿孔；

P~外緣；

R~凹槽；

S~切割道；

T~貫穿孔。

發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：101112920

※ 申請日：101. 4. 12

※IPC 分類：

H01L 23/30 2006.01

一、發明名稱：(中文/英文)

晶片封裝體及其製作方法

H01L 23/28 2006.01

Chip package and manufacturing method thereof

二、中文發明摘要：

本發明一實施例提供一種晶片封裝體的製作方法，包括提供一半導體晶圓，其具有多個元件區，且元件區之間間隔有多個切割道；將一封裝基板接合至半導體晶圓，其中封裝基板與半導體晶圓之間具有一間隔層，間隔層定義出多個空腔，空腔分別露出元件區，且間隔層具有多個貫穿孔，貫穿孔鄰近半導體晶圓之外緣；於貫穿孔中填入一黏著材料，其中間隔層具有黏性且材質不同於黏著材料；以及沿著切割道切割半導體晶圓、封裝基板與間隔層，以形成多個彼此分離的晶片封裝體。

三、英文發明摘要：

An embodiment of the invention provides a manufacturing method of a chip package including: providing a semiconductor wafer having a plurality of device regions separated by a plurality of scribe lines; bonding a package substrate to the semiconductor wafer wherein a spacer layer

is disposed therebetween and defines a plurality of cavities respectively exposing the device regions and the spacer layer has a plurality of through holes neighboring the periphery of the semiconductor wafer; filling an adhesive material in the through holes wherein the material of the spacer layer is adhesive and different from the adhesive material; and dicing the semiconductor wafer, the package substrate and the spacer layer along the scribe lines to form a plurality of chip packages separated from each other.

四、指定代表圖：

(一)本案指定代表圖為：第(5)圖。

(二)本代表圖之元件符號簡單說明：

110~半導體晶圓；	112~元件區；
114~中心區；	116~周邊區；
130~間隔層；	132~外環部；
134~分隔部；	140~黏著材料；
H~空心貫穿孔；	S~切割道；
T~貫穿孔。	

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

七、申請專利範圍：

1. 一種晶片封裝體的製作方法，包括：

提供一半導體晶圓，其具有多個元件區，且該些元件區之間間隔有多個切割道；

將一封裝基板接合至該半導體晶圓，其中該封裝基板與該半導體晶圓之間具有一間隔層，該間隔層定義出多個空腔，該些空腔分別露出該些元件區，且該間隔層具有多個貫穿孔，該些貫穿孔鄰近該半導體晶圓之外緣，且該些貫穿孔中填入一黏著材料，該間隔層具有黏性且該間隔層的材質不同於該黏著材料；以及

沿著該些切割道切割該半導體晶圓、該封裝基板與該間隔層，以形成多個彼此分離的晶片封裝體。

2. 如申請專利範圍第 1 項所述之晶片封裝體的製作方法，其中該些貫穿孔位於任兩相鄰的元件區之間。

3. 如申請專利範圍第 2 項所述之晶片封裝體的製作方法，其中該些貫穿孔位於該些切割道上，且切割該半導體晶圓、該封裝基板與該間隔層的步驟包括：

沿著該些切割道切割位於該些貫穿孔中的該黏著材料。

4. 如申請專利範圍第 2 項所述之晶片封裝體的製作方法，其中該些貫穿孔包括至少二排彼此平行的貫穿孔，該二排貫穿孔分別位於該些切割道其中之一的相對二側，且切割該半導體晶圓、該封裝基板與該間隔層的步驟包括：

沿著該切割道切割該間隔層之位於該二排貫穿孔之間的部份。

5. 如申請專利範圍第 1 項所述之晶片封裝體的製作方法，其中該間隔層包括一外環部，該外環部鄰近該半導體晶圓之外緣，且該些貫穿孔位於該外環部。

6. 如申請專利範圍第 1 項所述之晶片封裝體的製作方法，其中該間隔層更包括多個內環結構，該些內環結構分別位於該些空腔中，並分別圍繞該些空腔所露出的該些元件區，且該些貫穿孔貫穿該些內環結構。

7. 如申請專利範圍第 1 項所述之晶片封裝體的製作方法，其中該間隔層更具有多個第二貫穿孔，該些第二貫穿孔鄰近該半導體晶圓之中心，該晶片封裝體的製作方法更包括：

於該些第二貫穿孔中填入該黏著材料。

8. 如申請專利範圍第 1 項所述之晶片封裝體的製作方法，其中該黏著材料的黏性大於該間隔層的黏性。

9. 如申請專利範圍第 1 項所述之晶片封裝體的製作方法，其中該黏著材料的硬度小於該間隔層的硬度。

10. 如申請專利範圍第 1 項所述之晶片封裝體的製作方法，更包括：

在該些貫穿孔中填入該黏著材料並接合該半導體晶圓與該封裝基板之後，對該間隔層與該黏著材料進行一加熱固化製程，以固化該間隔層與該黏著材料。

11. 如申請專利範圍第 1 項所述之晶片封裝體的製作方法，其中該間隔層更具有一溝槽，該溝槽貫穿該間隔層並位於該些切割道上，該晶片封裝體的製作方法更包括：

於該溝槽中填入該黏著材料；

其中，切割該半導體晶圓、該封裝基板與該間隔層的步驟包括：

沿著該些切割道切割位於該溝槽中的該黏著材料。

12. 如申請專利範圍第 11 項所述之晶片封裝體的製作方法，其中該些貫穿孔包括至少二排彼此平行的貫穿孔，且該溝槽分隔於該二排貫穿孔之間。

13. 如申請專利範圍第 1 項所述之晶片封裝體的製作方法，其中該間隔層更具有多個環狀溝槽，各該環狀溝槽貫穿該間隔層並圍繞對應的該空腔，該晶片封裝體的製作方法更包括：

於該些環狀溝槽中填入該黏著材料。

14. 如申請專利範圍第 13 項所述之晶片封裝體的製作方法，其中該些貫穿孔位於該些切割道上，並位於任兩相鄰的環狀溝槽之間，且切割該半導體晶圓、該封裝基板與該間隔層的步驟包括：

沿著該些切割道切割位於該些貫穿孔中的該黏著材料。

15. 如申請專利範圍第 1 項所述之晶片封裝體的製作方法，其中該間隔層包括一外環部，該外環部鄰近該半導體晶圓之外緣，且該間隔層更具有有一外環溝槽，該外環溝槽呈環狀，該外環溝槽貫穿該間隔層且位於該外環部。

16. 一種晶片封裝體，包括：

一半導體基板，具有一元件區；

一封裝基板，配置於該半導體基板上；

一間隔層，配置於該半導體基板與該封裝基板之間，

且該間隔層定義出一空腔，該空腔露出該元件區；以及

多個彼此獨立的黏結結構，鑲嵌於該間隔層中並位於該空腔外，其中該間隔層的材質不同於該些黏結結構的材質。

17. 如申請專利範圍第 16 項所述之晶片封裝體，其中該間隔層具有一側壁，該側壁朝向遠離該空腔的方向，該側壁具有多個自該半導體基板延伸至該封裝基板的凹槽，且該些黏結結構分別填充於該些凹槽中。

18. 如申請專利範圍第 17 項所述之晶片封裝體，其中各該黏結結構具有一第二側壁，該第二側壁朝向遠離該空腔的方向並與該間隔層的該側壁平齊。

19. 如申請專利範圍第 16 項所述之晶片封裝體，其中該間隔層具有多個貫穿孔，且該些黏結結構分別填入該些貫穿孔中。

20. 如申請專利範圍第 16 項所述之晶片封裝體，其中該間隔層更包括一內環結構，該內環結構位於該空腔中並具有多個貫穿孔，該晶片封裝體更包括：

多個彼此獨立的第二黏結結構，分別填入該些貫穿孔中，其中該間隔層的材質不同於該些第二黏結結構的材質。

21. 如申請專利範圍第 16 項所述之晶片封裝體，其中該間隔層接觸該半導體基板與該封裝基板。

22. 如申請專利範圍第 16 項所述之晶片封裝體，其中各該黏結結構自該半導體基板延伸至該封裝基板。

23. 如申請專利範圍第 16 項所述之晶片封裝體，更包括：

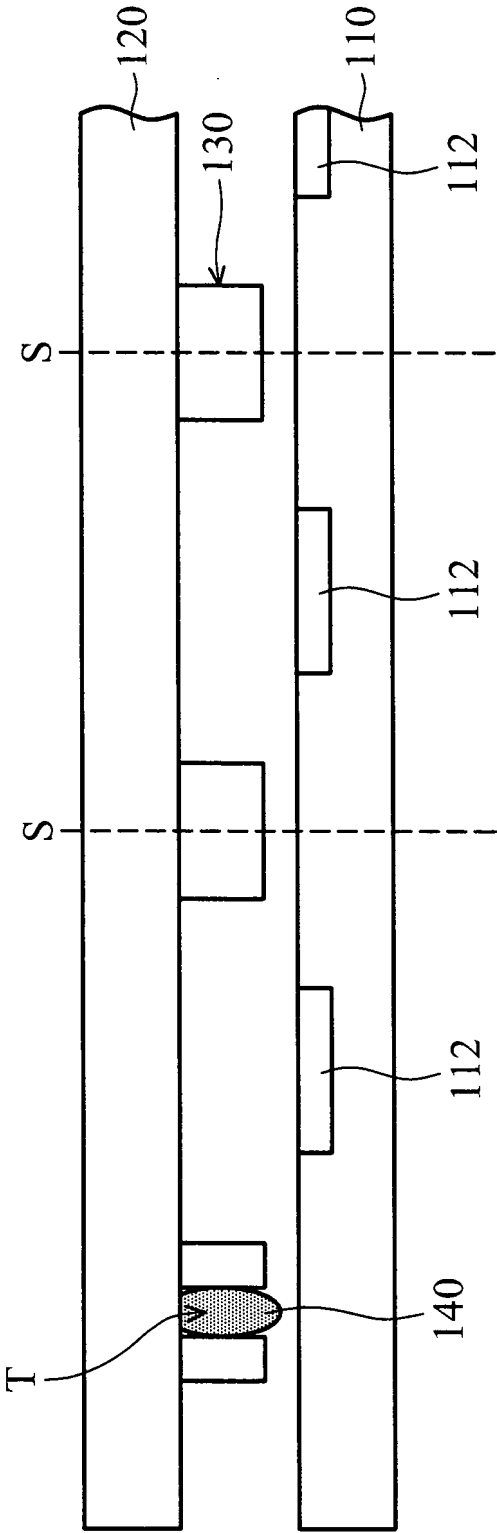
一連續的環狀黏結結構，環繞包覆該間隔層的側壁，且位於該空腔外。

24. 如申請專利範圍第 16 項所述之晶片封裝體，其中該間隔層具有一環狀溝槽，該環狀溝槽貫穿該間隔層且環繞該空腔，該晶片封裝體更包括：

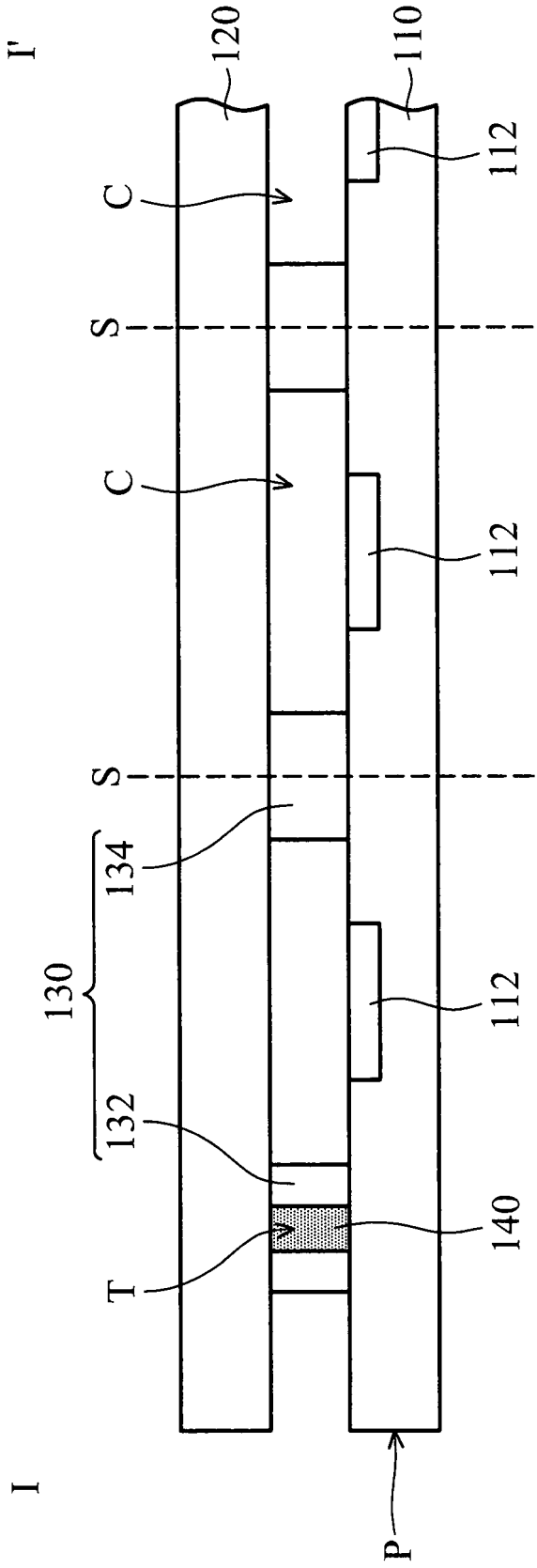
一連續的環狀黏結結構，填充於該環狀溝槽中。

201241908

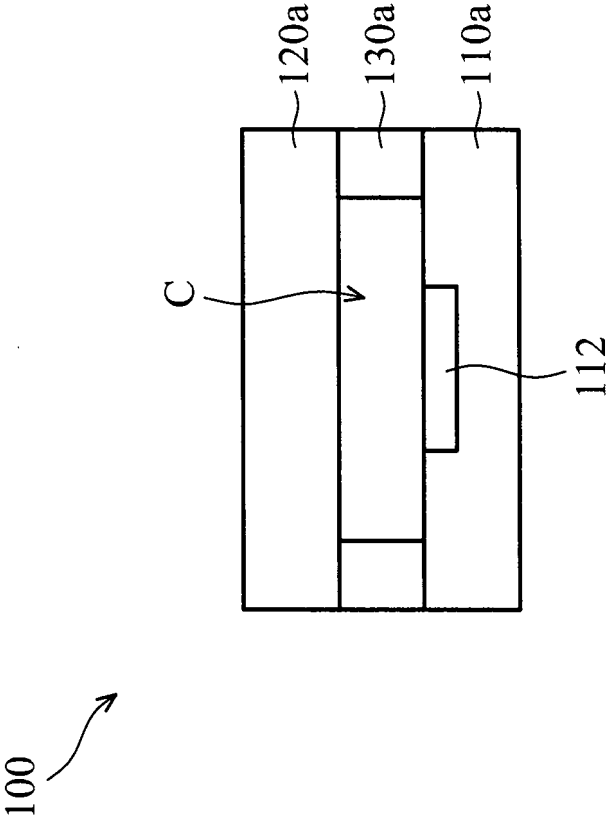
八、圖式：



第 1A 圖



第1B圖



第 1C 圖

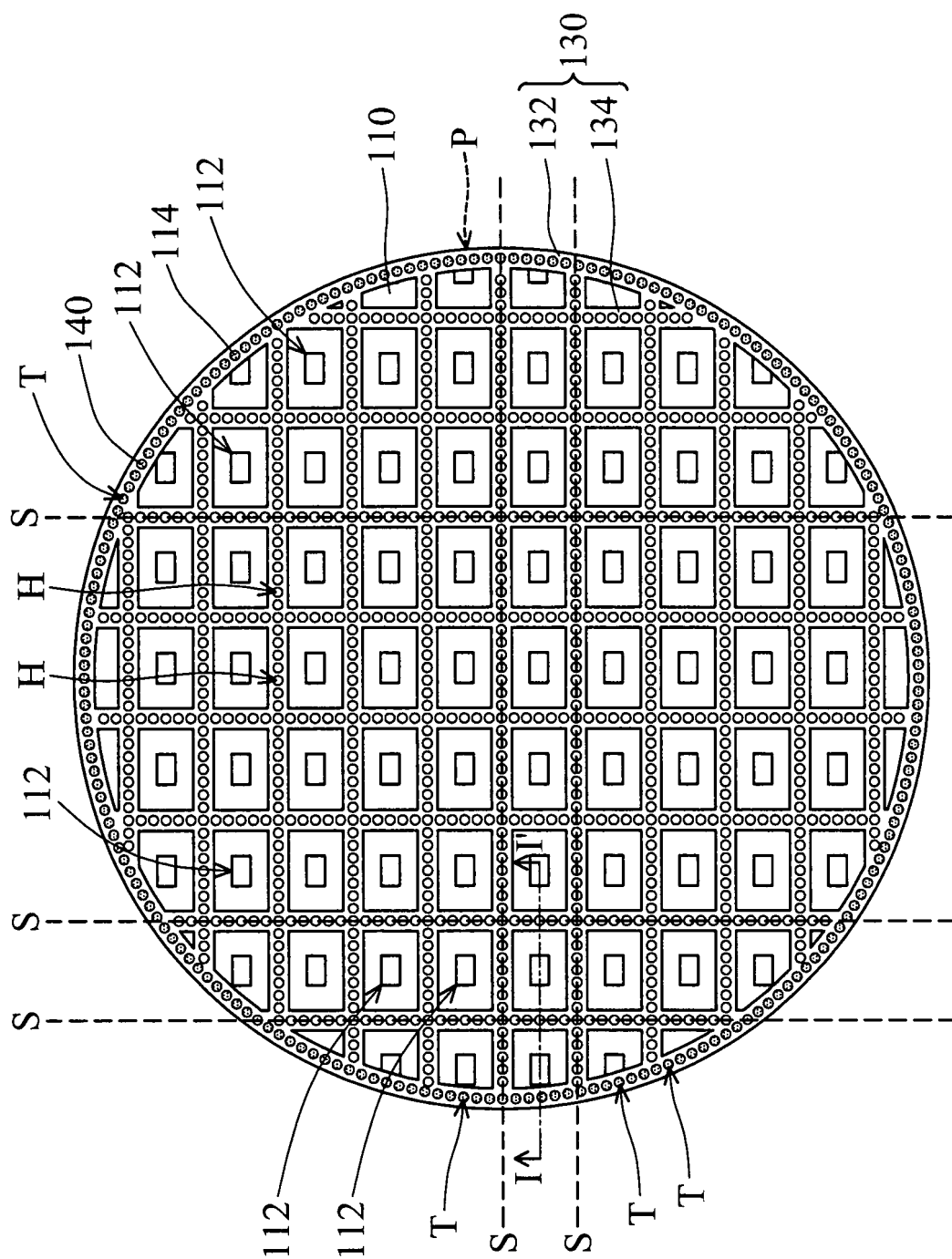
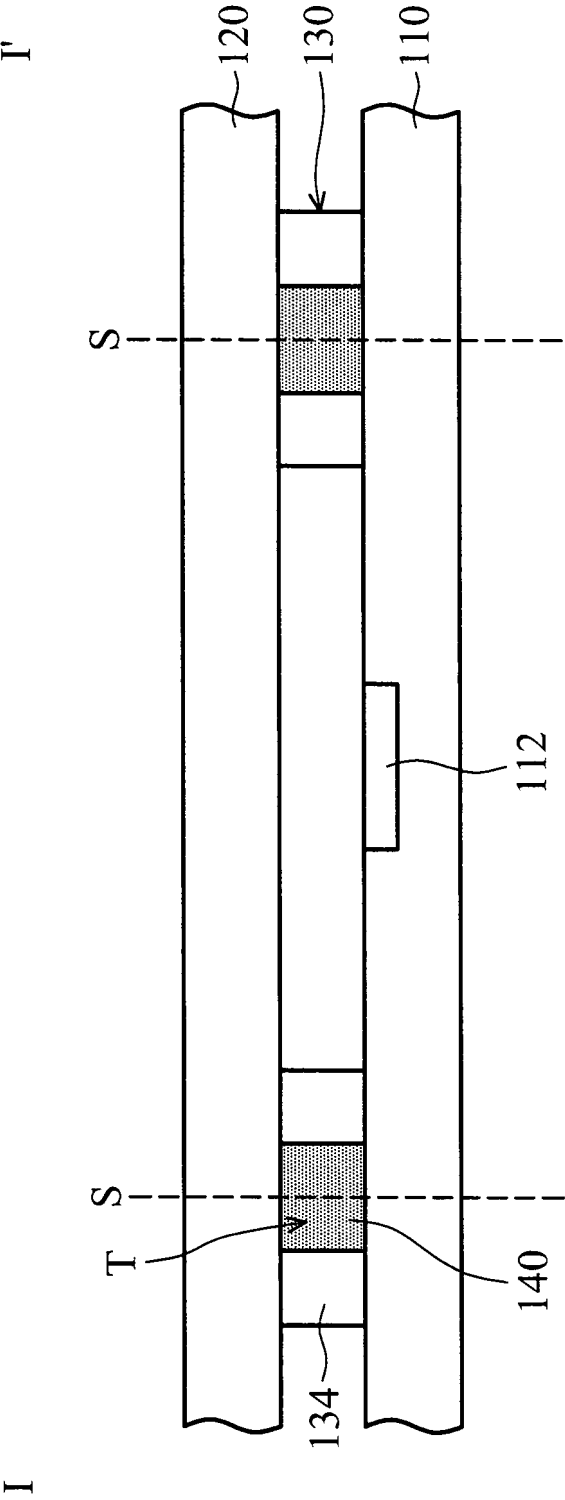
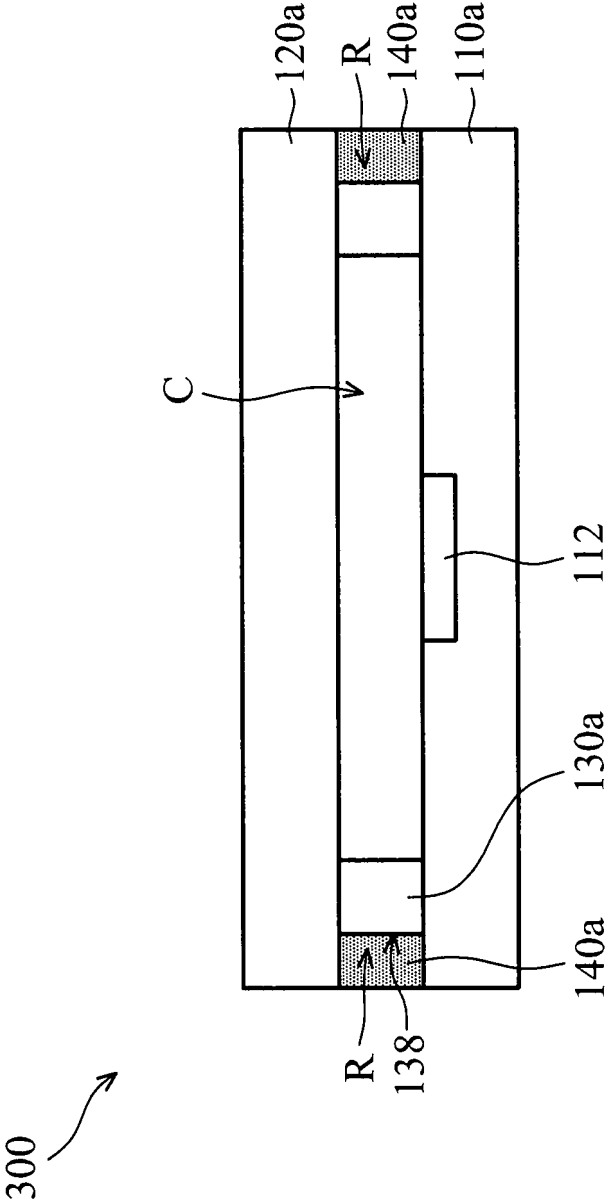


圖 2

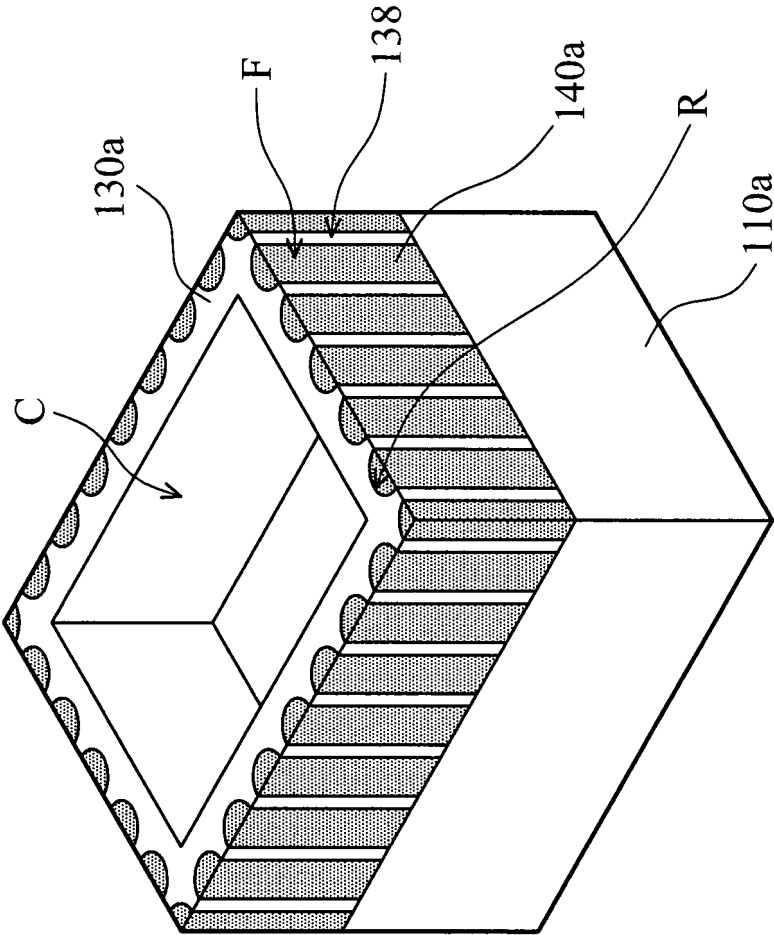
.



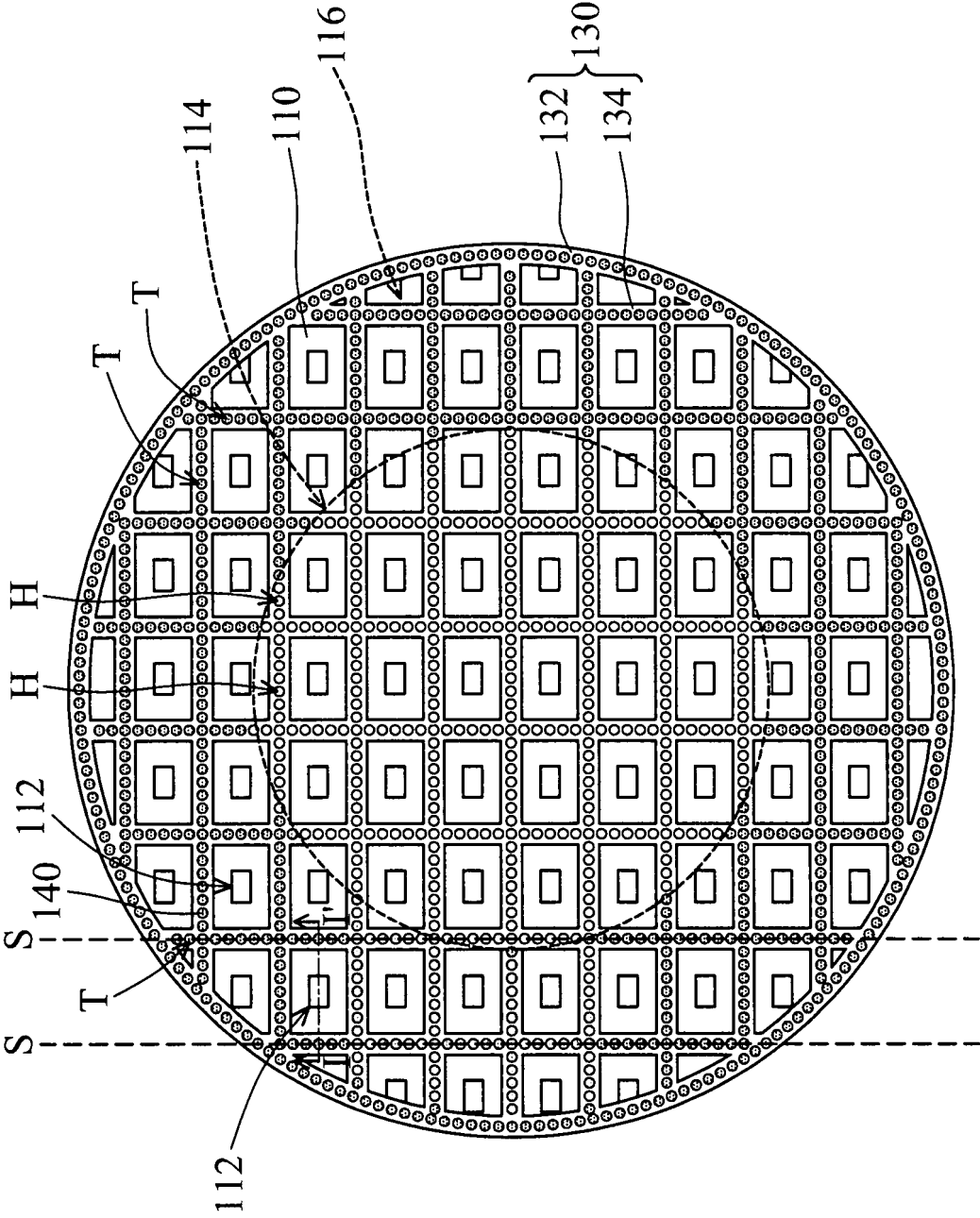
第3A圖



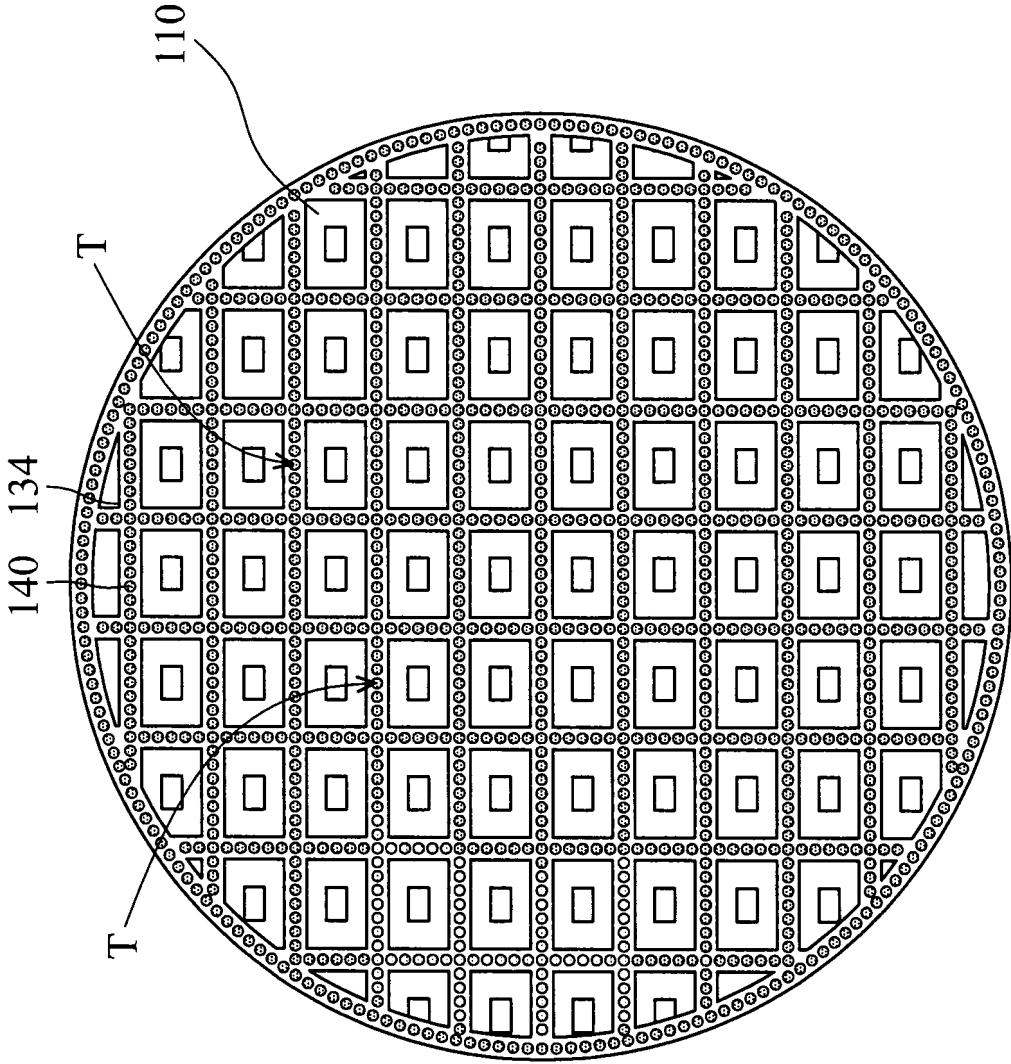
第 3B 圖



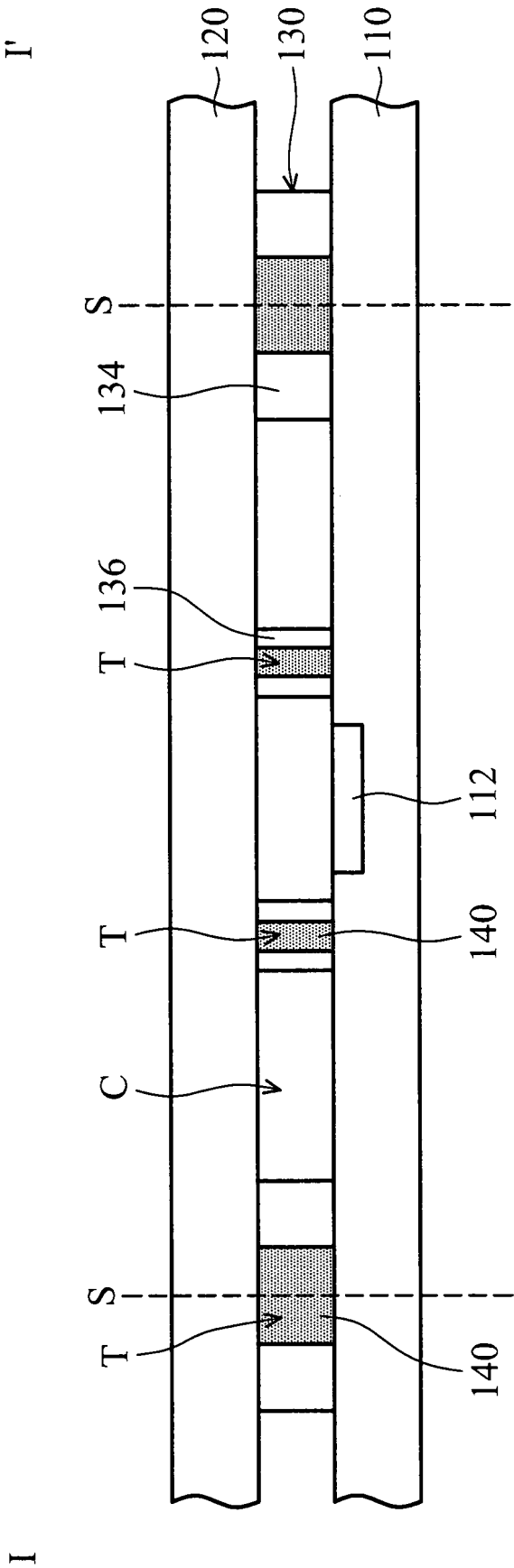
第 4 圖



第 5 圖

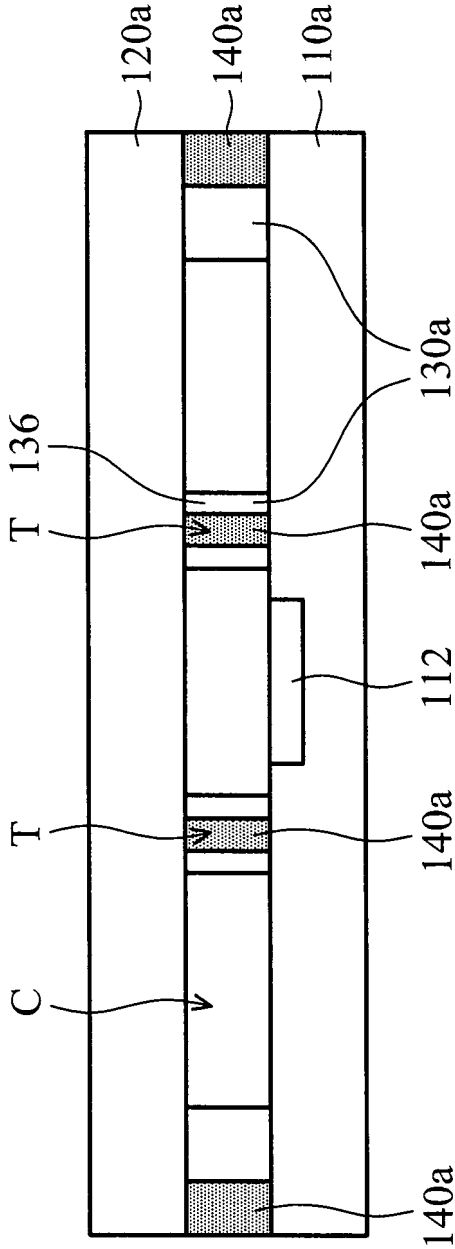


第 6 圖

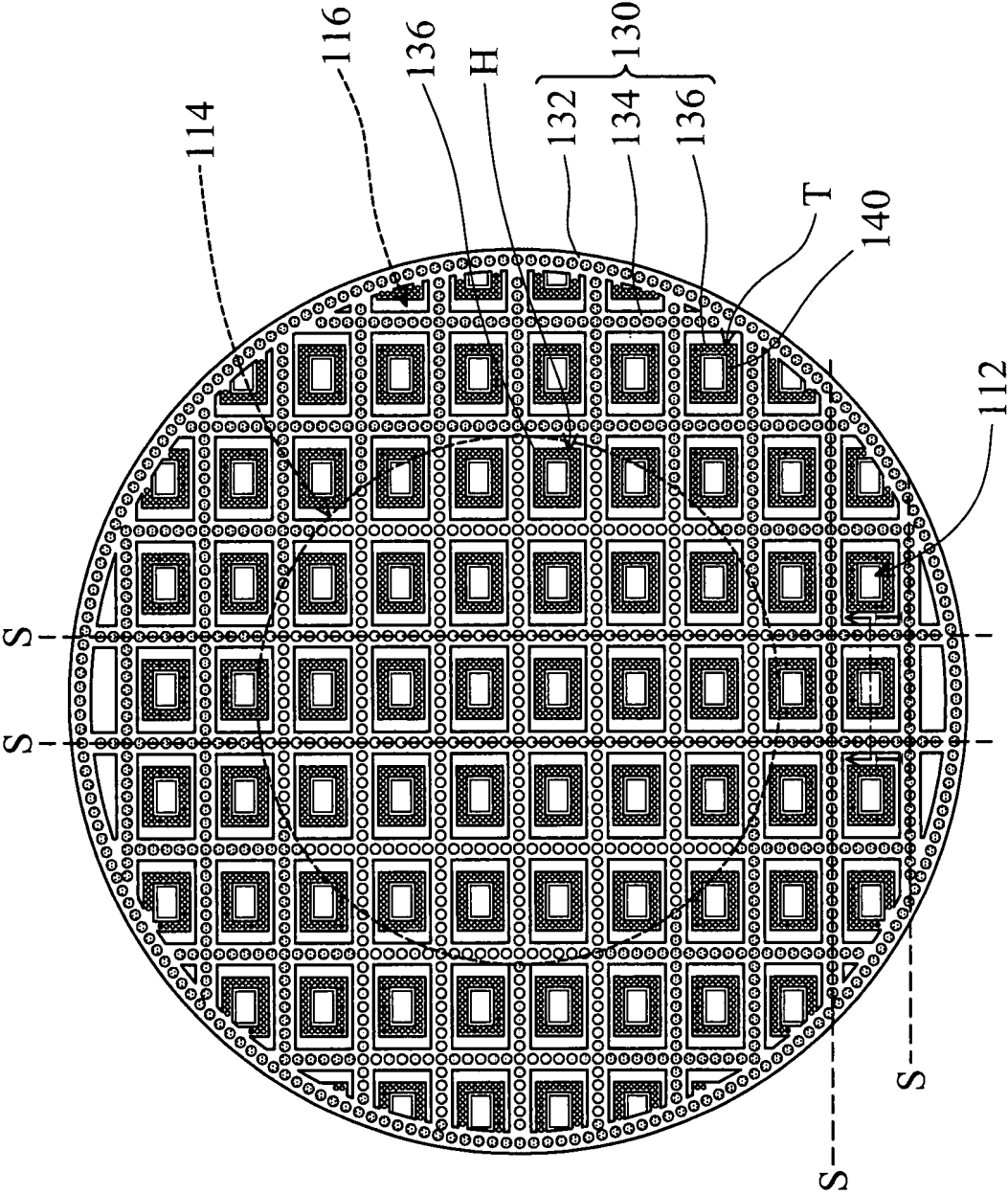


第7A圖

700

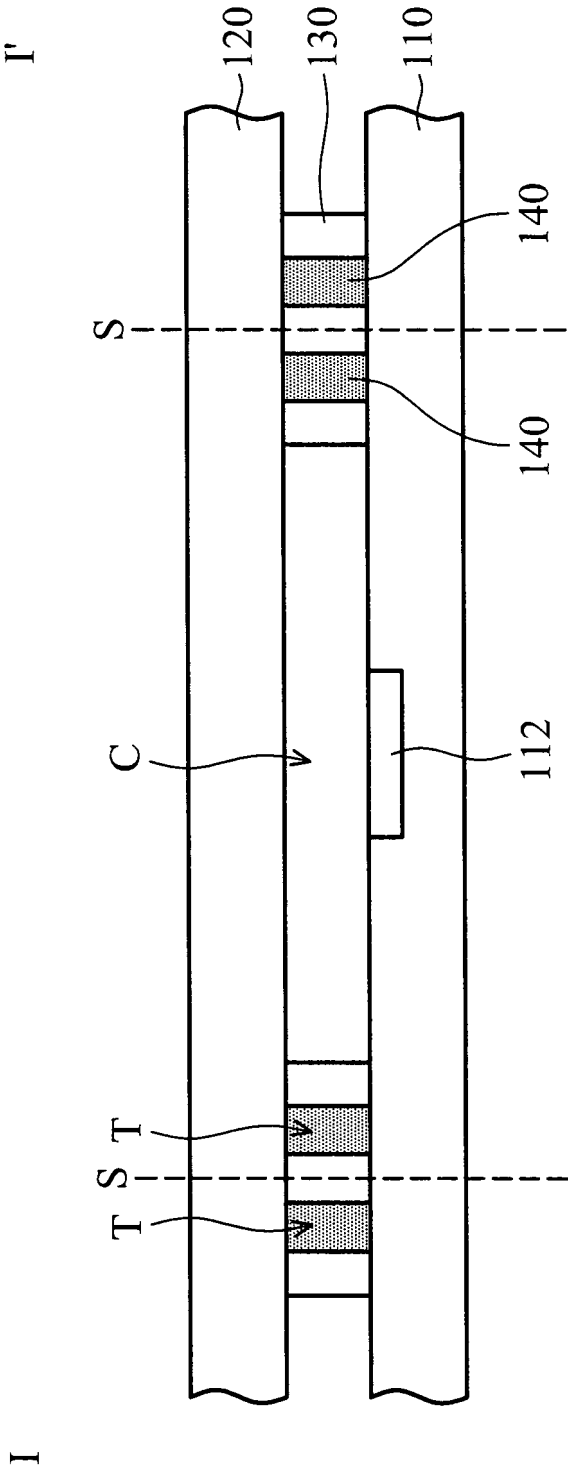


第 7B 圖

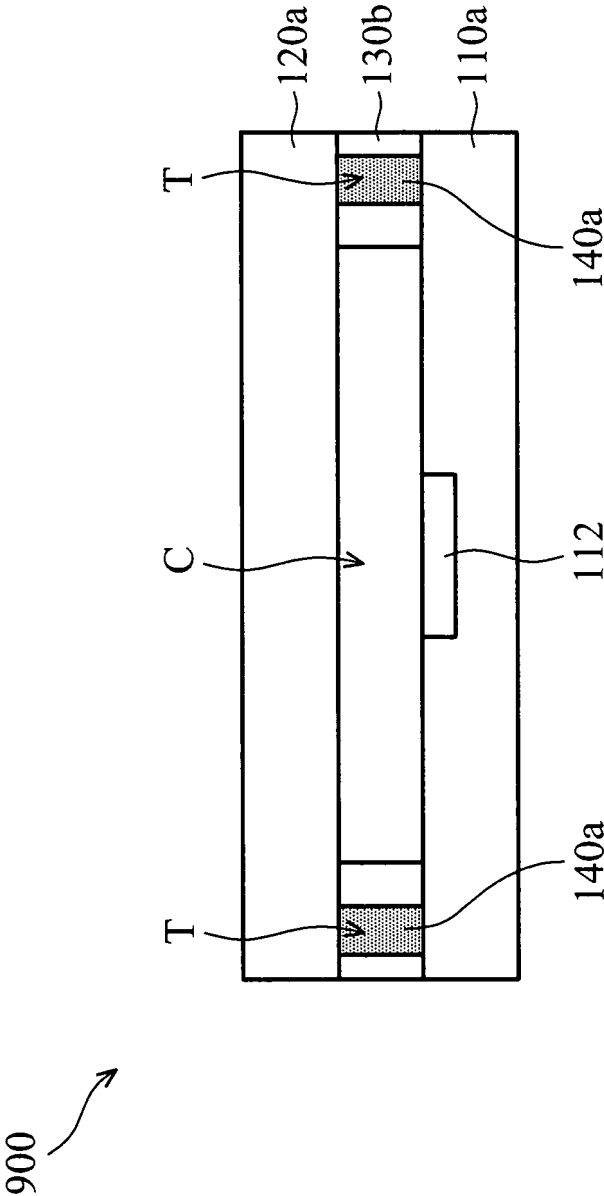


第 8 圖

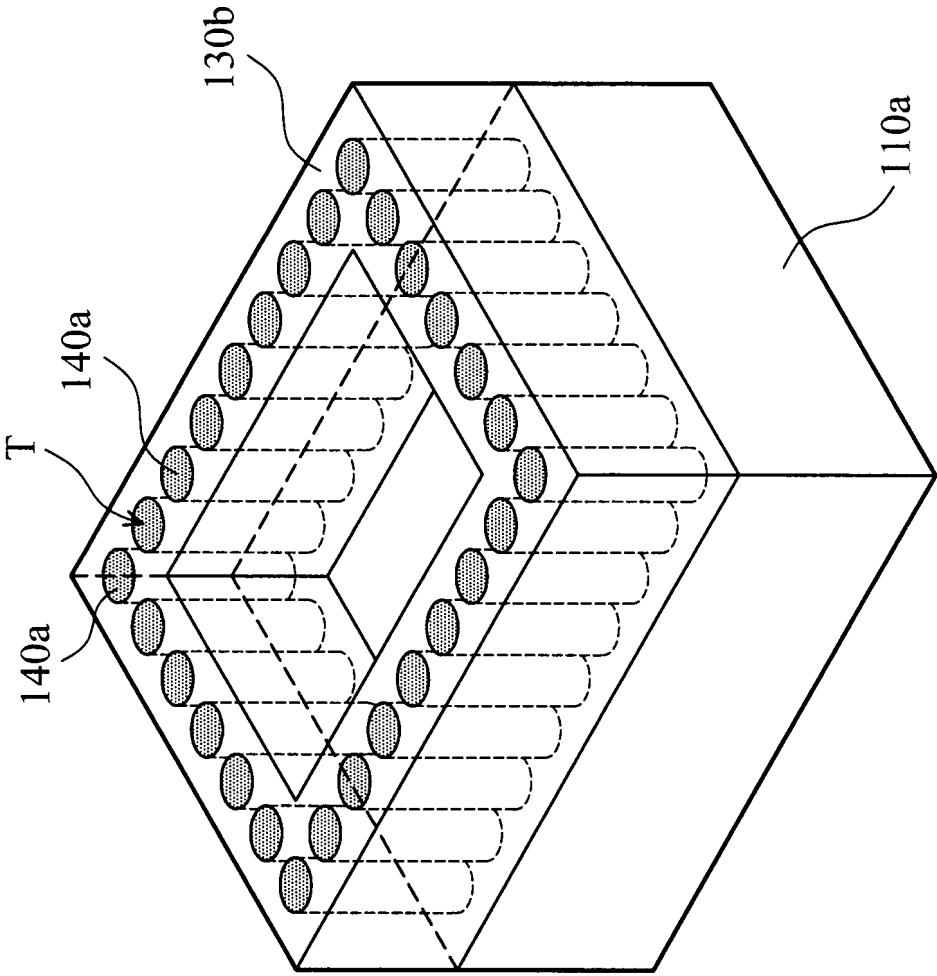
.



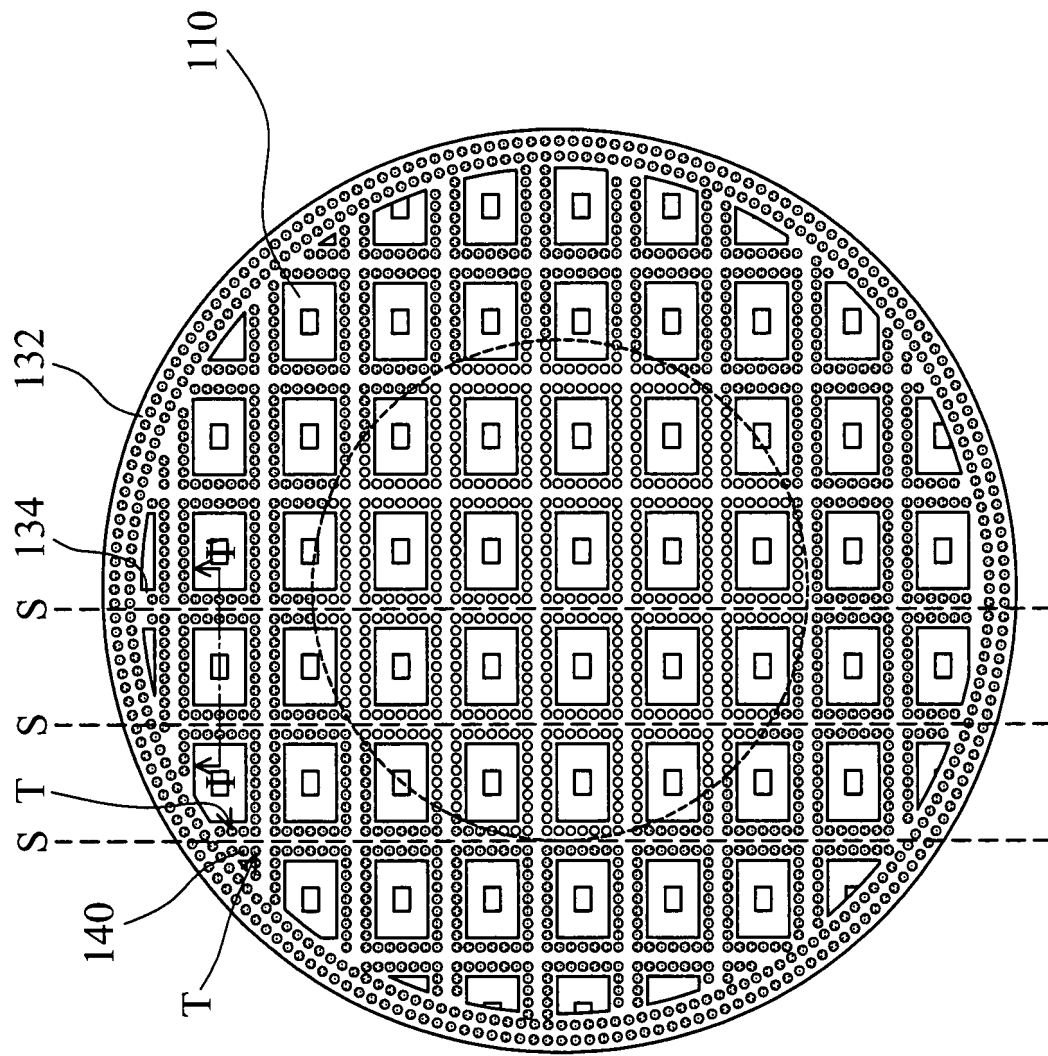
第9A圖



第9B圖

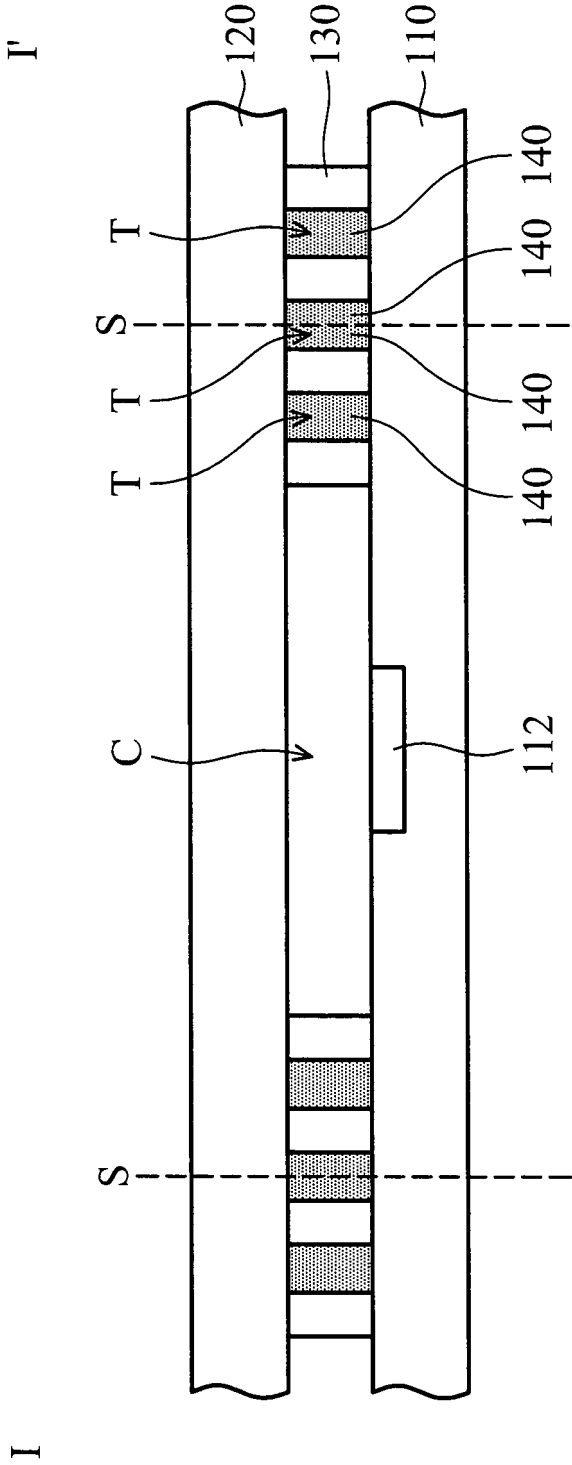


第 10 圖

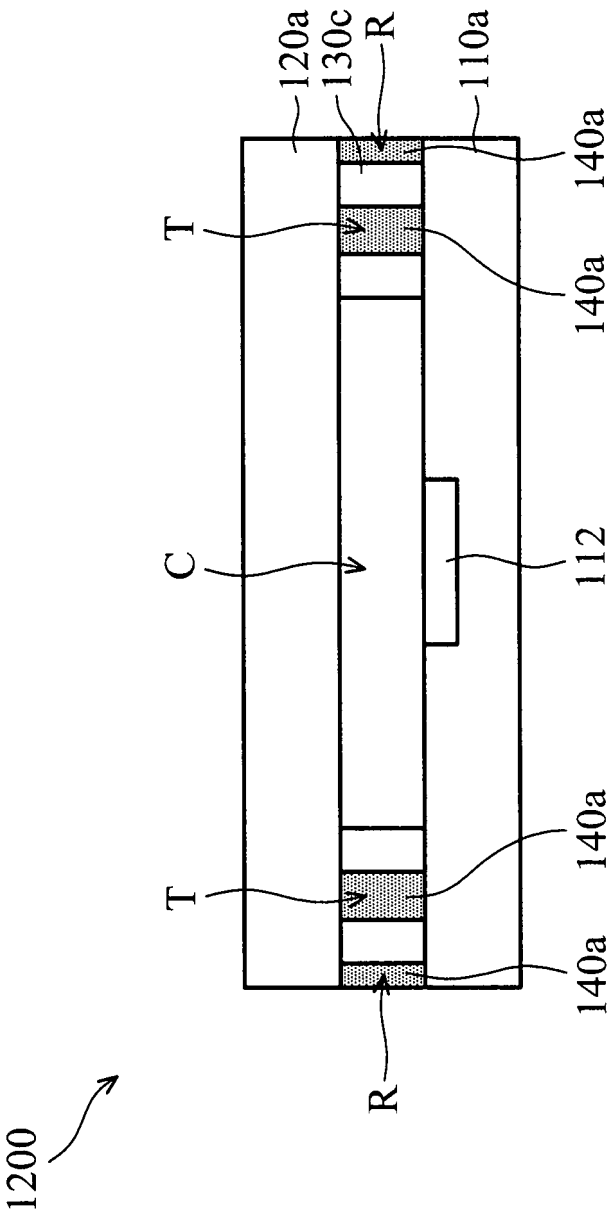


第 11 圖

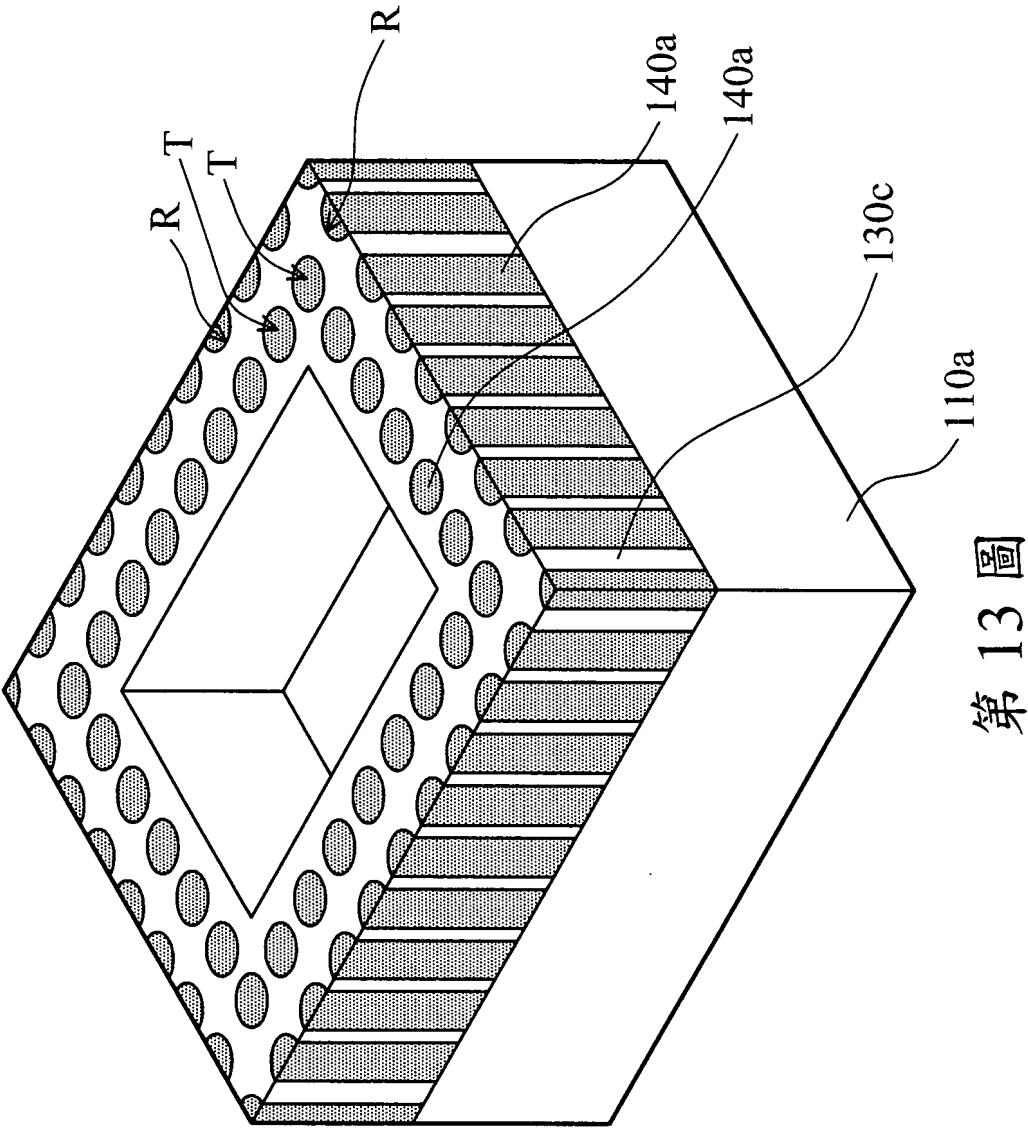
.



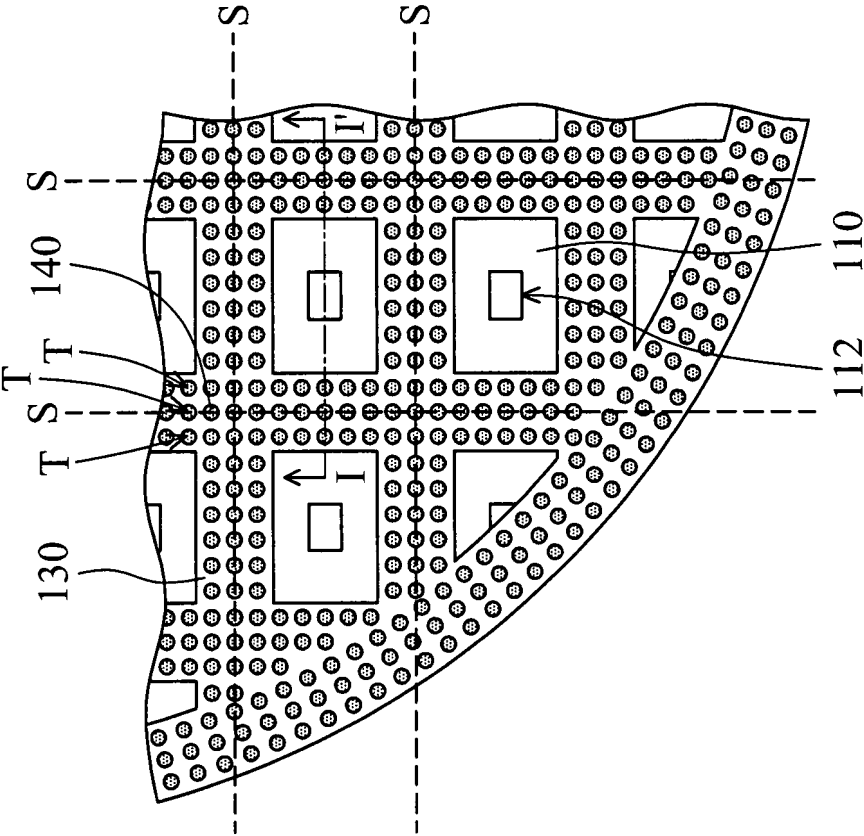
第12A圖



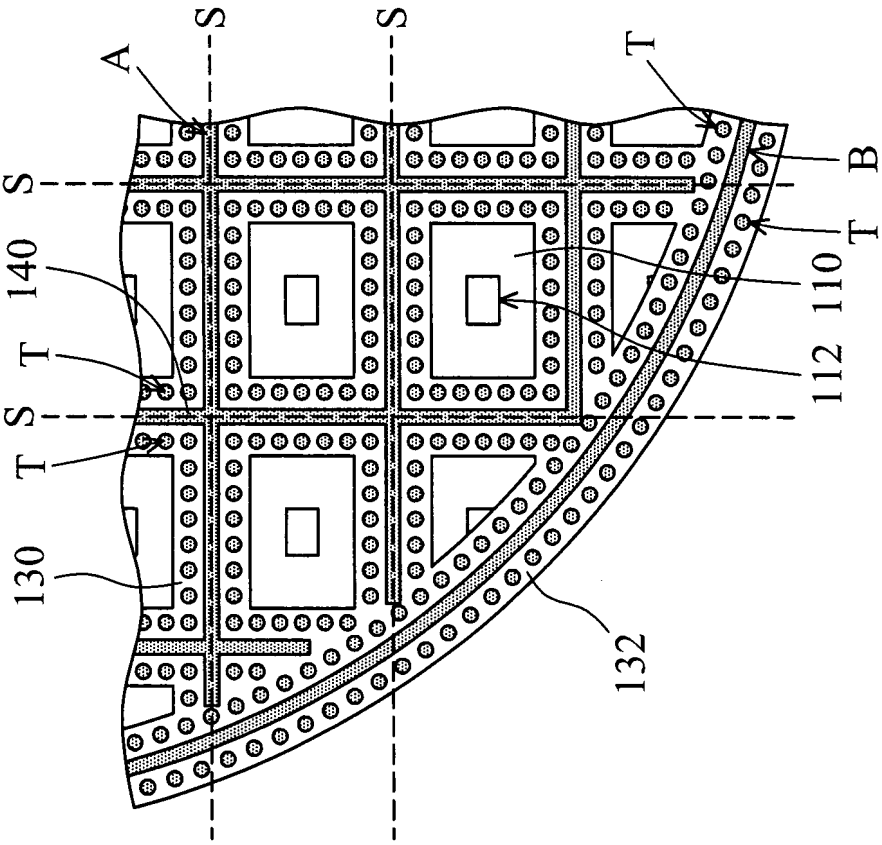
第12B圖



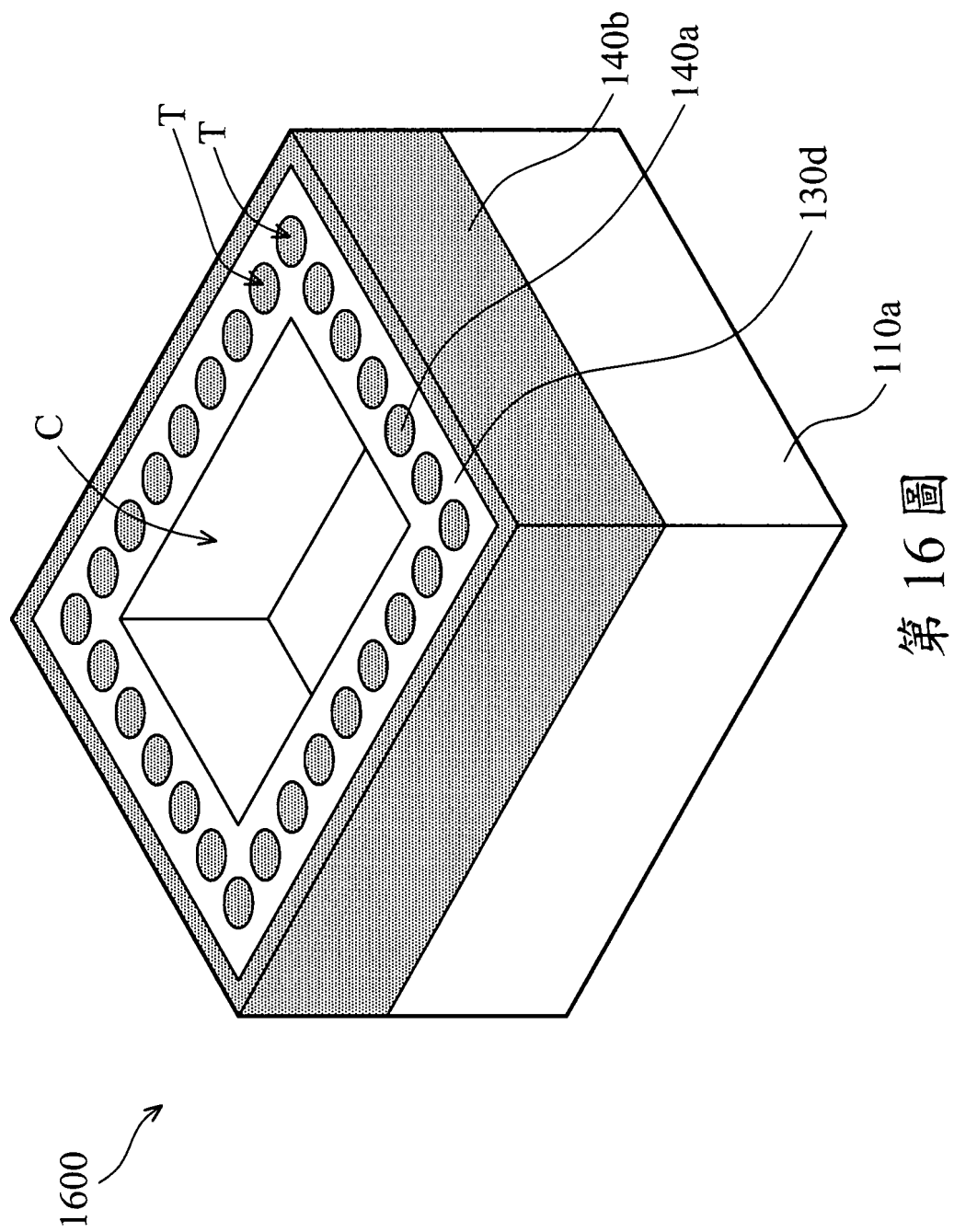
第 13 圖

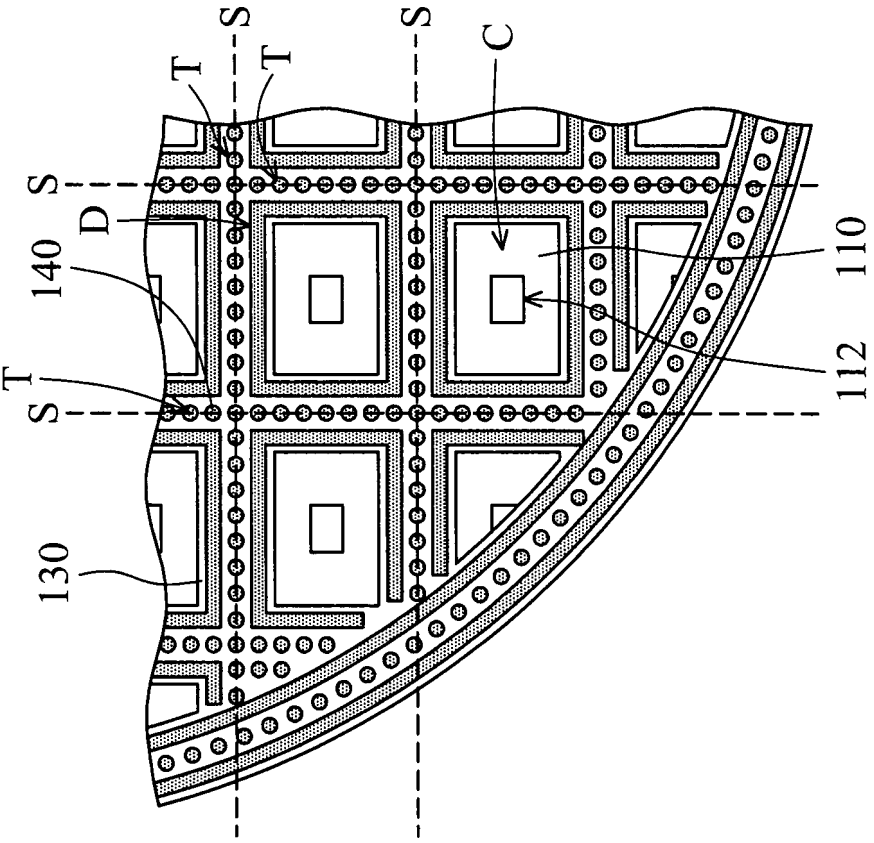


第 14 圖

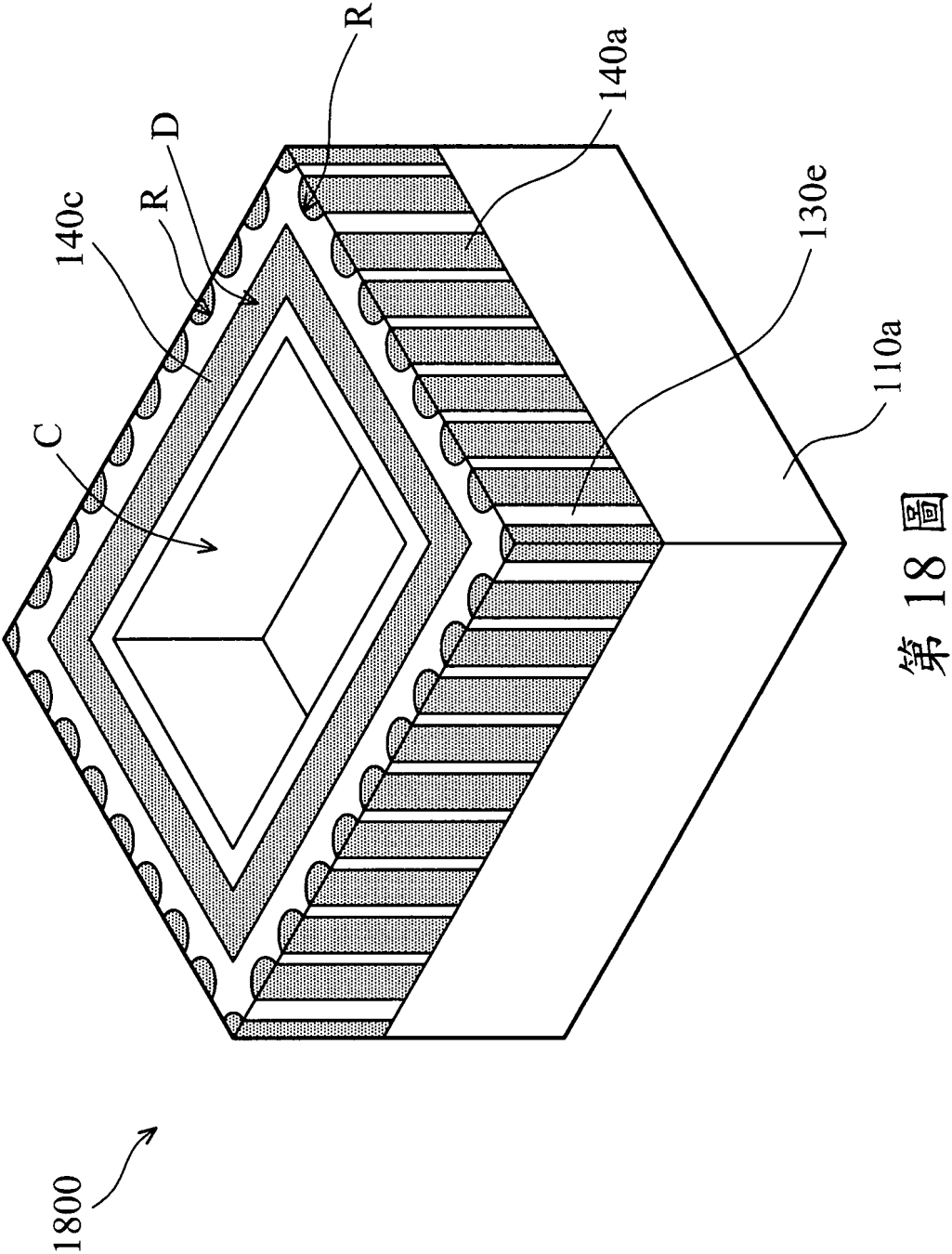


第 15 圖





第 17 圖



is disposed therebetween and defines a plurality of cavities respectively exposing the device regions and the spacer layer has a plurality of through holes neighboring the periphery of the semiconductor wafer; filling an adhesive material in the through holes wherein the material of the spacer layer is adhesive and different from the adhesive material; and dicing the semiconductor wafer, the package substrate and the spacer layer along the scribe lines to form a plurality of chip packages separated from each other.

四、指定代表圖：

(一)本案指定代表圖為：第(5)圖。

(二)本代表圖之元件符號簡單說明：

110~半導體晶圓；	112~元件區；
114~中心區；	116~周邊區；
130~間隔層；	132~外環部；
134~分隔部；	140~黏著材料；
H~空心貫穿孔；	S~切割道；
T~貫穿孔。	

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：