



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2014년04월22일
(11) 등록번호 10-1387370
(24) 등록일자 2014년04월15일

- (51) 국제특허분류(Int. Cl.)
H01L 31/10 (2006.01)
- (21) 출원번호 10-2008-0025695
(22) 출원일자 2008년03월20일
심사청구일자 2013년03월20일
- (65) 공개번호 10-2008-0087678
(43) 공개일자 2008년10월01일
- (30) 우선권주장
JP-P-2007-00079763 2007년03월26일 일본(JP)
- (56) 선행기술조사문현
KR1020060093041 A
JP1999150257 A
JP2005129909 A
JP2003140181 A
- 전체 청구항 수 : 총 15 항

- (73) 특허권자
가부시키가이샤 한도오따이 에네루기 켄큐쇼
일본국 가나가와Ken 아쓰기시 하세 398
- (72) 발명자
시시도 히데아키
일본, 가나가와Ken 243-0036, 아쓰기시, 하세 398,
가부시키가이사한도오따이 에네루기 켄큐쇼 내
- (74) 대리인
장훈

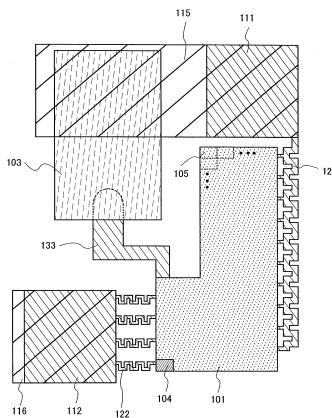
(54) 발명의 명칭 반도체 장치

심사관 : 천대식

(57) 요약

본 발명은 광전 변환 장치의 크기를 바꾸지 않고서, 정전 파괴를 억제하고, 반도체 장치의 신뢰성을 향상시킨다.

광전 변환층과, 광전 변환층의 출력 전류를 증폭하는, 적어도 2개의 박막 트랜지스터로 이루어지는 증폭회로와, 고전위 전원을 주는 제 1 단자 및 저전위 전원을 주는 제 2 단자와, 상기 2개의 박막 트랜지스터와 상기 광전 변환층을 전기적으로 접속하는 전극과, 상기 2개의 박막 트랜지스터의 한쪽인 제 1 박막 트랜지스터와 상기 제 1 단자를 전기적으로 접속하는 제 1 배선과, 상기 제 1 박막 트랜지스터, 상기 2개의 박막 트랜지스터의 다른쪽인 제 2 박막 트랜지스터, 및, 상기 제 2 단자를 전기적으로 접속하는 제 2 배선을 갖고, 상기 제 1 배선 및 제 2 배선을 굽곡시킴으로써, 상기 제 1 배선 및 제 2 배선의 전압 강하량을 크게 하는 반도체 장치에 관한 것이다.

대 표 도 - 도1

특허청구의 범위

청구항 1

반도체 장치에 있어서,

제 1 전원에 전기적으로 접속되고, 제 1 전위를 공급하는 제 1 단자;

상기 제 1 단자에 전기적으로 접속되고, 제 1 전압을 출력하는 광전 변환 소자;

제 1 게이트 전극, 제 1 드레인 전극 및 제 1 소스 전극을 포함하는 제 1 트랜지스터로서, 상기 제 1 게이트 전극 및 상기 제 1 드레인 전극은 상기 광전 변환 소자에 전기적으로 접속되고, 상기 제 1 트랜지스터는 상기 제 1 게이트 전극에 상기 제 1 전압이 인가됨으로써 상기 제 1 소스 전극으로부터 제 1 전류를 출력하는, 상기 제 1 트랜지스터;

상기 제 1 단자에 전기적으로 접속되고 상기 광전 변환 소자와 병렬로 전기적으로 접속되는 제 1 배선;

제 2 게이트 전극, 제 2 드레인 전극 및 제 2 소스 전극을 포함하는 제 2 트랜지스터로서, 상기 제 2 게이트 전극은 상기 광전 변환 소자에 전기적으로 접속되고, 상기 제 2 드레인 전극은 상기 제 1 배선에 전기적으로 접속되고, 상기 제 2 트랜지스터는 상기 제 2 게이트 전극에 상기 제 1 전압이 인가됨으로써 상기 제 2 소스 전극으로부터 제 2 전류를 출력하는, 상기 제 2 트랜지스터;

상기 제 1 소스 전극 및 상기 제 2 소스 전극이 서로 전기적으로 접속되는 지점에 전기적으로 접속되는 제 2 배선; 및

상기 제 2 배선에 전기적으로 접속되고, 상기 제 1 전위보다 낮은 제 2 전위를 공급하는 제 2 단자를 포함하고,

상기 제 1 전류 및 상기 제 2 전류는 상기 제 2 배선에 흐르고,

상기 제 1 배선 및 상기 제 2 배선은 굴곡한 형상으로 제공되는, 반도체 장치.

청구항 2

반도체 장치에 있어서,

제 1 전원에 전기적으로 접속되고, 제 1 전위를 공급하는 제 1 단자;

상기 제 1 단자에 전기적으로 접속되고, 제 1 전압을 출력하는 광전 변환 소자;

제 1 게이트 전극, 제 1 드레인 전극 및 제 1 소스 전극을 포함하는 제 1 트랜지스터로서, 상기 제 1 게이트 전극 및 상기 제 1 드레인 전극은 상기 광전 변환 소자에 전기적으로 접속되고, 상기 제 1 트랜지스터는 상기 제 1 게이트 전극에 상기 제 1 전압이 인가됨으로써 상기 제 1 소스 전극으로부터 제 1 전류를 출력하는, 상기 제 1 트랜지스터;

상기 제 1 단자에 전기적으로 접속되고 상기 광전 변환 소자와 병렬로 전기적으로 접속되는 제 1 배선;

제 2 게이트 전극, 제 2 드레인 전극 및 제 2 소스 전극을 포함하는 제 2 트랜지스터로서, 상기 제 2 게이트 전극은 상기 광전 변환 소자에 전기적으로 접속되고, 상기 제 2 드레인 전극은 상기 제 1 배선에 전기적으로 접속되고, 상기 제 2 트랜지스터는 상기 제 2 게이트 전극에 상기 제 1 전압이 인가됨으로써 상기 제 2 소스 전극으로부터 제 2 전류를 출력하는, 상기 제 2 트랜지스터;

상기 제 1 소스 전극 및 상기 제 2 소스 전극이 서로 전기적으로 접속되는 지점에 전기적으로 접속되는 제 2 배선; 및

상기 제 2 배선에 전기적으로 접속되고, 상기 제 1 전위보다 낮은 제 2 전위를 공급하는 제 2 단자를 포함하고,

상기 제 1 전류 및 상기 제 2 전류는 상기 제 2 배선에 흐르고,

상기 제 1 배선 및 상기 제 2 배선은 굴곡한 형상으로 제공되고,

상기 제 1 배선은 복수의 섬형상의 제 1 도전체들 및 복수의 섬형상의 제 2 도전체들을 포함하는, 반도체 장치.

청구항 3

제 1 항에 있어서,

상기 제 1 배선 및 상기 제 2 배선은 단일층으로 제공되는, 반도체 장치.

청구항 4

제 1 항 또는 제 2 항에 있어서,

상기 반도체 장치는 기판 위에 제공되고,

상기 제 1 배선 및 상기 제 2 배선은 상기 기판에 평행한 방향으로 사행(蛇行)하는, 반도체 장치.

청구항 5

제 1 항 또는 제 2 항에 있어서,

상기 제 1 트랜지스터 및 상기 제 2 트랜지스터로 커런트 미러 회로가 구성되는, 반도체 장치.

청구항 6

제 1 항 또는 제 2 항에 있어서,

상기 제 2 트랜지스터는 병렬로 전기적으로 접속되는 복수의 박막 트랜지스터들을 포함하는, 반도체 장치.

청구항 7

제 1 항 또는 제 2 항에 있어서,

상기 광전 변환 소자는 p 형 반도체, i 형 반도체, 및 n 형 반도체를 포함하는 적층된 층인, 반도체 장치.

청구항 8

제 1 항 또는 제 2 항에 있어서,

상기 제 1 배선 및 상기 제 2 배선의 각각은 제 1 층 및 제 2 층을 포함하는, 반도체 장치.

청구항 9

전자 기기에 있어서,

디스플레이 유닛;

상기 디스플레이 유닛을 구동하는 구동 회로; 및

상기 구동 회로에 전기적으로 접속되는 광센서 유닛을 포함하고,

상기 광센서 유닛은,

제 1 전원에 전기적으로 접속되고, 제 1 전위를 공급하는 제 1 단자;

상기 제 1 단자에 전기적으로 접속되고, 제 1 전압을 출력하는 광전 변환 소자;

제 1 게이트 전극, 제 1 드레인 전극 및 제 1 소스 전극을 포함하는 제 1 트랜지스터로서, 상기 제 1 게이트 전극 및 상기 제 1 드레인 전극은 상기 광전 변환 소자에 전기적으로 접속되고, 상기 제 1 트랜지스터는 상기 제 1 게이트 전극에 상기 제 1 전압이 인가됨으로써 상기 제 1 소스 전극으로부터 제 1 전류를 출력하는, 상기 제 1 트랜지스터;

상기 제 1 단자에 전기적으로 접속되고 상기 광전 변환 소자와 병렬로 전기적으로 접속되는 제 1 배선;

제 2 게이트 전극, 제 2 드레인 전극 및 제 2 소스 전극을 포함하는 제 2 트랜지스터로서, 상기 제 2 게이트 전극은 상기 광전 변환 소자에 전기적으로 접속되고, 상기 제 2 드레인 전극은 상기 제 1 배선에 전기적으로 접속되고, 상기 제 2 트랜지스터는 상기 제 2 게이트 전극에 상기 제 1 전압이 인가됨으로써 상기 제 2 소스 전극으로부터 제 2 전류를 출력하는, 상기 제 2 트랜지스터;

상기 제 1 소스 전극 및 상기 제 2 소스 전극이 서로 전기적으로 접속되는 지점에 전기적으로 접속되는

제 2 배선; 및

상기 제 2 배선에 전기적으로 접속되고, 상기 제 1 전위보다 낮은 제 2 전위를 공급하는 제 2 단자를 포함하고,

상기 제 1 전류 및 상기 제 2 전류는 상기 제 2 배선에 흐르고,

상기 제 1 배선 및 상기 제 2 배선은 굴곡한 형상으로 제공되는, 전자 기기.

청구항 10

제 9 항에 있어서,

상기 제 1 배선 및 상기 제 2 배선은 단일층으로 제공되는, 전자 기기.

청구항 11

제 9 항에 있어서,

상기 전자 기기는 기판 위에 제공되고,

상기 제 1 배선 및 상기 제 2 배선은 상기 기판에 평행한 방향으로 사행하는, 전자 기기.

청구항 12

제 9 항에 있어서,

상기 제 1 트랜지스터 및 상기 제 2 트랜지스터로 커런트 미러 회로가 구성되는, 전자 기기.

청구항 13

제 9 항에 있어서,

상기 제 2 트랜지스터는 병렬로 전기적으로 접속되는 복수의 박막 트랜지스터들을 포함하는, 전자 기기.

청구항 14

제 9 항에 있어서,

상기 광전 변환 소자는 p 형 반도체, i 형 반도체, 및 n 형 반도체를 포함하는 적층된 층인, 전자 기기.

청구항 15

제 9 항에 있어서,

상기 제 1 배선은 복수의 섬형상의 제 1 도전체들 및 복수의 섬형상의 제 2 도전체들을 포함하는, 전자 기기.

명세서**발명의 상세한 설명****기술분야**

[0001] 본 발명은 광전 변환 소자를 갖는 반도체 장치에 관한 것으로, 특히 박막 반도체 소자로 구성된 광전 변환 소자를 갖는 반도체 장치 및 그 제작 방법에 관한 것이다. 또한, 광전 변환 소자를 갖는 반도체 장치를 사용한 전자기기에 관한 것이다.

배경기술

[0002] 일반적으로 전자파의 검지 용도에 사용되는 광전 변환 장치는 수많이 알려져 있고, 예를 들면 자외선으로부터 적외선에 걸쳐서 감도를 갖는 것은 총괄하여 광센서(포토센서라고도 함)라고 불리고 있다. 그 중에서도 파장 400nm 내지 700nm의 가시광 영역에 감도를 가지는 것은 특히 가시광 센서라고 불리고, 사람의 생활환경에 따라서 조도 조정이나 온/오프 제어 등이 필요한 기기류에 수많이 사용되고 있다.

- [0003] 특히 표시장치로서는 표시장치의 주위의 밝기를 검출하여, 그 표시 회도를 조정하는 것이 행하여지고 있다. 왜냐하면 주위의 밝기를 검출하여, 적절한 표시 회도를 얻음으로써, 낭비되는 전력을 감소시킬 수 있기 때문이다. 예를 들면, 휴대전화나 퍼스널 컴퓨터에 그러한 회도 조정용의 광센서가 사용되고 있다.
- [0004] 또한 주위의 밝기뿐만 아니라, 표시장치, 특히 액정표시장치의 백 라이트의 회도를 광센서에 의해 검출하고, 표시화면의 회도를 조절하는 것도 행하여지고 있다.
- [0005] 이러한 광센서에 있어서는 센싱 부분에 포토다이오드를 사용하고, 포토다이오드의 출력 전류를 증폭회로에서 증폭하는 것이 행하여지고 있다. 이러한 증폭회로로서는 예를 들면 커런트 미러 회로가 사용된다(특허문헌 1 참조).
- [0006] [특허문헌 1] 일본 공개특허공보 2005-136394호

발명의 내용

해결 하고자하는 과제

- [0007] 커런트 미러 회로는 트랜지스터를 사용하여 형성되지만, 제조시나 사용시에 발생한 정전기에 의해서, 전극이나 트랜지스터가 파괴되어 버리는 경우가 있다.
- [0008] 정전기에 의한 소자의 파괴, 즉 정전 파괴(Electrostatic Discharge:ESD)를 방지하기 위해서, 전극에 접속되는 보호 회로를 형성하면, 광센서의 크기가 커져 버린다.

과제 해결수단

- [0009] 소스 전극 및 드레인 전극과 같은 재료 및 같은 공정에서 형성되고, 전원전극에 전기적으로 접속되는 전극을, 직선형으로 형성하지 않고, 만곡 또는 굴곡시켜 저항치를 높이고, 정전 파괴를 방지하는 것을 요지로 한다.
- [0010] 본 발명은 광전 변환 소자, 증폭회로 및 입출력단자를 포함하는 반도체 장치이다. 이 반도체 장치에 있어서, 광전 변환 소자와 증폭회로를 연결하는 배선 및/또는 입출력단자와 증폭회로를 연결하는 배선을 굴곡 또는 만곡 시킨 구성을 구비하고 있다. 배선의 형상을 굴곡 또는 만곡시킴으로써, 배선 저항을 높일 수 있고, 정전 파괴를 방지할 수 있다. 이러한 굴곡 또는 만곡 배선은, 세선화하여 복수개로 분할하여 배치하는 것도 효과적이다.
- [0011] 본 발명은 이하의 반도체 장치에 관한 것이다.
- [0012] 광전 변환층과, 상기 광전 변환층의 출력 전류를 증폭한, 적어도 2개의 박막 트랜지스터로 이루어지는 증폭회로와, 고전위 전원을 주는 제 1 단자 및 저전위 전원을 주는 제 2 단자와, 상기 2개의 박막 트랜지스터와 상기 광전 변환층을 전기적으로 접속하는 전극과, 상기 2개의 박막 트랜지스터의 한쪽인 제 1 박막 트랜지스터와 상기 제 1 단자를 전기적으로 접속하는 제 1 배선과, 상기 제 1 박막 트랜지스터, 상기 2개의 박막 트랜지스터의 다른쪽인 제 2 박막 트랜지스터, 및, 상기 제 2 단자를 전기적으로 접속하는 제 2 배선을 갖고, 상기 제 1 배선 및 제 2 배선을 굴곡시킴으로써, 상기 제 1 배선 및 제 2 배선의 전압 강하량을 크게 하는 것을 특징으로 하는 반도체 장치에 관한 것이다.

- [0013] 기판 위에, 적어도 2개의 박막 트랜지스터와, 상기 박막 트랜지스터 위에, 단부가 테이퍼형상인 제 1 충간 절연막과, 상기 제 1 충간 절연막 위에, 상기 박막 트랜지스터의 한쪽인 제 1 박막 트랜지스터의 소스 영역과 전기적으로 접속하는 소스 전극과, 상기 제 1 박막 트랜지스터의 드레인 영역과 전기적으로 접속되는 드레인 전극과, 상기 제 1 박막 트랜지스터의 게이트 전극과 전기적으로 접속되는 게이트 배선과, 저전위 전원으로부터의 전압이 인가되는 제 1 전극과, 제 2 전극과, 고전위 전원으로부터의 전압이 인가되는 제 3 전극과, 상기 제 2 전극과 겹치고, 광전 변환층과, 상기 기판, 상기 제 1 충간 절연막, 상기 제 1 전극, 상기 소스 전극, 상기 게이트 배선, 상기 드레인 전극, 상기 제 2 전극, 상기 광전 변환층, 상기 제 3 전극을 덮고, 보호막과, 상기 보호막 위에, 제 2 충간 절연막과, 상기 제 2 충간 절연막 위에, 상기 제 1 전극과 전기적으로 접속되는 제 4 전극과, 상기 광전 변환층의 상층 및 상기 제 3 전극과 전기적으로 접속되는 제 5 전극을 갖고, 상기 제 1 박막 트랜지스터의 드레인 전극은, 상기 제 3 전극과 전기적으로 접속되어 있고, 상기 제 1 박막 트랜지스터의 소스 전극은, 상기 제 1 전극과 전기적으로 접속되어 있고, 상기 제 1 박막 트랜지스터의 드레인 전극 및 소스 전극을 굴곡시킴으로써, 상기 제 1 박막 트랜지스터의 드레인 전극 및 소스 전극의 전압 강하량을 크게 하는 것을 특징으로 하는 반도체 장치에 관한 것이다.

[0014] 본 발명에 있어서, 상기 증폭회로는 커런트 미러 회로이다.

효과

[0015] 본 발명에 의해, 광센서의 크기를 바꾸지 않고, 정전 파괴를 억제할 수 있다. 이로써 반도체 장치의 크기를 바꾸지 않고, 반도체 장치의 신뢰성을 향상시키는 것이 가능해진다.

발명의 실시를 위한 구체적인 내용

[0016] 이하, 본 발명의 실시 형태에 대해서 도면을 참조하여 설명한다. 단 본 발명은 많은 다른 형태로 실시하는 것이 가능하고, 본 발명의 취지 및 그 범위로부터 벗어나지 않고 그 형태 및 상세를 여러 가지로 변경할 수 있는 것은 당업자이면 용이하게 이해된다. 따라서, 본 실시 형태의 기재 내용에 한정하여 해석되지 않는다.

[0017] 또, 실시 형태를 설명하기 위한 전도면에 있어서, 동일 부분 또는 동일 기능을 갖는 부분에는 동일 부호를 붙이고, 그 반복 설명은 생략한다.

[0018] [실시 형태 1]

[0019] 본 실시 형태의 광전 변환 장치를, 도 1, 도 2, 도 3, 도 4, 도 5a 내지 도 5c, 도 6a 내지 도 6c, 도 7a 내지 도 7b, 도 8, 도 9, 도 10을 사용하여 이하에 설명한다.

[0020] 우선 도 3에 도시하는 바와 같이, 본 실시 형태의 광전 변환 장치(100)는 포토다이오드(103)와 포토다이오드(103)의 출력 전류를 증폭하는 증폭회로인 커런트 미러 회로(101)를 갖는다. 커런트 미러 회로(101)는 박막 트랜지스터(Thin Film Transistor: TFT; 104 및 105)를 갖고 있다.

[0021] 본 실시 형태에서는 TFT(104 및 105)로서 n 채널형 TFT를 사용한다. 커런트 미러 회로(101)에 있어서, 참조측의 TFT(104)와 출력측의 TFT(105)의 게이트부에, 동전압을 가함으로써, 참조측의 TFT(104)에 흐른 전류를 기준으로서, 출력측의 TFT(105)에 흐르는 전류를 제어한다.

[0022] 도 3에서는 커런트 미러 회로(101)를 구성하는 TFT(104)의 게이트 전극은, 커런트 미러 회로(101)를 구성하는 다른 1개의 TFT(105)의 게이트 전극에 전기적으로 접속되고, 또한 TFT(104)의 소스 전극 또는 드레인 전극의 한쪽인 드레인 전극(「드레인 단자」라고도 함)에 전기적으로 접속되어 있다.

[0023] TFT(104)의 드레인 단자는 포토다이오드(103), 저항(113)을 통하여 TFT(105)의 드레인 단자, 및, 고전위 전원 V_{DD} 를 주는 단자(111)에 전기적으로 접속되어 있다.

[0024] TFT(104)의 소스 전극 또는 드레인 전극의 다른쪽인 소스 전극(「소스 단자」라고도 함)은 저항(114)을 통하여 저전위 전원 V_{SS} 를 주는 단자(112) 및 TFT(105)의 소스 단자에 전기적으로 접속되어 있다.

[0025] 또한 커런트 미러 회로(101)를 구성하는 TFT(105)의 게이트 전극은, TFT(104)의 게이트 전극 및 드레인 단자에 전기적으로 접속되어 있다.

[0026] TFT(105)의 드레인 단자는 저항(113)을 통하여 고전위 전원 V_{DD} 를 주는 단자(111) 및 TFT(104)의 드레인 단자에 전기적으로 접속되어 있다.

[0027] TFT(105)의 소스 단자는 저항(114)을 통하여 저전위 전원 V_{SS} 를 주는 단자(112) 및 TFT(104)의 소스 단자에 전기적으로 접속되어 있다.

[0028] 또한, TFT(104) 및 TFT(105)의 게이트 전극은 서로 접속되어 있기 때문에 공통의 전위 V_{gate} 가 인가된다.

[0029] 저항(113 및 114)은, 각각 후술하는 배선(121 및 122)의 배선 저항이다. 배선(121)은, TFT(105)의 드레인 단자와 단자(111)를 접속하는 배선이고, 배선(122)은 TFT(104 및 105)의 소스 단자와 단자(112)를 접속하는 배선이다.

[0030] 도 3에서는 2개의 TFT에 의한, 커런트 미러 회로의 예를 도시한다. 이 때, TFT(104)와 TFT(105)가 동일한 특성을 갖는 경우, 참조 전류와 출력 전류의 비는 1:1의 관계가 된다.

[0031] 출력치를 n 배로 하기 위한 회로 구성을 도 9에 도시한다. 도 9의 회로 구성은 도 3의 TFT(105)를 n개로 한 것에 상당한다. 도 9에 도시하는 바와 같이 n 채널형 TFT(104)와 n 채널형 TFT(105)의 비를 1:n으로 함으로써, 출력치를 n 배로 하는 것이 가능해진다. 이것은, TFT의 채널폭 W 를 증가시켜, TFT에 흘릴 수 있는 전류의 허용

량을 n 배로 하는 것과 같은 원리이다.

[0032] 예를 들면, 출력치를 100배로 설계하는 경우, n 채널형 TFT(104)를 1개, n 채널형 TFT(105)를 100개 병렬 접속함으로써, 목표로 한 전류를 얻는 것이 가능해진다.

[0033] 또 도 9의 부호에 있어서 「i」가 붙어 있는 부호는 도 3의 「i」가 붙어 있지 않은 부호와 같은 것이다. 즉, 예를 들면 도 3의 TFT(105)와 도 9의 TFT(105i)는 같은 것이고, 도 3의 저항(113)과 도 9의 113i는 같은 것이다. 또한, 도 9의 부호에 있어서, 1개째의 TFT나 저항에는 「 α 」, 2개째의 TFT나 저항에는 「 β 」로, 차례로 그리스 문자를 붙이고 있다. 「 α 」나 「 β 」가 붙어 있는 부호는 각각 도 3의 「 α 」나 「 β 」의 붙어 있지 않는 부호와 같은 것이다.

[0034] 따라서 도 9에 있어서는 n 채널형 TFT(105)는 n 개의 n 채널형 TFT(105 α , 105 β , 105 γ , 내지, 105i, 내지, 105n)로 구성되어 있게 된다. 이로써 TFT(104)에 흐르는 전류가 n 배로 증폭되어 출력된다.

[0035] 도 1은 본 실시 형태의 광전 변환 장치의 상면도이다. 도 1의 광전 변환 장치는 포토다이오드(103), TFT(104 및 105)를 갖는 커런트 미러 회로(101), 고전위 전원 V_{DD} 를 주는 단자(111), 저전위 전원 VSS를 주는 단자(112), 단자(111)와 포토다이오드(103)를 전기적으로 접속하는 배선(115; 후술하는 전극(232)과 같음), 단자(112)에 전기적으로 접속되는 배선(116; 후술하는 전극(231)과 같음), TFT(104)의 드레인 단자와 포토다이오드(103)를 전기적으로 접속하는 전극(133; 후술하는 전극(222)과 같음), TFT(105)의 드레인 단자와 단자(111)를 전기적으로 접속하는 배선(121), TFT(104)의 소스 단자와 단자(112)를 전기적으로 접속하는 배선(122)을 갖고 있다.

[0036] 배선(121) 및 배선(122)을, 직선형으로 형성하지 않고, 연속적으로 만곡 또는 굴곡시켜 형성한다. 구체적으로는 그 글자형, 과형형 또는 그 밖의 형상으로 연속적으로 굴곡한 사행형상으로 하면, 배선(121)의 배선 저항인 저항(113), 및, 배선(122)의 배선 저항인 저항(114; 도 3 및 도 9 참조)을 크게 할 수 있다. 이와 같이 배선(121) 및 배선(122)을 만곡시키면, 배선(121) 및 배선(122)의 전압 강하량을 크게 할 수 있다.

[0037] 따라서, 정전기에 의해서 단자(111) 및 단자(112)에 발생한 고전위가, TFT(104 및 105)에 인가되는 것을 완화할 수 있다.

[0038] 또한 배선(121 및 122)을 구부림으로써 배선 저항을 늘리고 있기 때문에, 보호 회로를 새롭게 형성할 필요가 없고, 광전 변환 장치의 크기를 크게 하지 않아도 된다는 이점이 있다.

[0039] 도 2는 도 1의 배선(121) 대신에 구부리지 않고 직선으로 형성한 배선(1121)과, 배선(122) 대신에 구부리지 않고 직선형으로 형성한 배선(1122)을 갖는 광전 변환 장치이다.

[0040] 이와 같이 배선(1121과 1122)을 직선형으로 형성하면, 배선 저항을 크게 할 수 없고, 전압 강하량은 적은 상태인 채이다. 따라서, 정전기에 의해서 단자(111) 및 단자(112)에 고전위가 발생하였다고 해도, 완화할 수 없다. 따라서 TFT(104 및 105)의 정전 파괴의 위험성을 억제할 수 없을 우려가 있다.

[0041] 또 전극(133)을, 도 1과 같이 끝을 뭉친 형상으로 포토다이오드(103)에 겹치게 하지 않고, 포토다이오드(103)와 겹치는 영역을, 도 18에 도시하는 바와 같이 직사각형상으로 하여도 좋다. 포토다이오드(103)와 겹치는 영역의 전극(133)을 직사각형상으로 하면, 전계 집중을 막을 수 있다. 또한, 포토다이오드(103)와 겹치는 영역의 전극(133)을 직사각형으로 함으로써, 전극(133)과 포토다이오드(103)를 끼워 마주 대하는 전극(후술하는 전극(232))과의 거리를 확대할 수 있으면, 정전 파괴를 억제하는 것도 가능해진다. 이상에 의해 광전 변환 소자의 신뢰성을 향상시킬 수 있다.

[0042] 또한, 도 3은 커런트 미러 회로를, n 채널형 TFT를 사용한 등가회로로서 도시한 것이지만, 이 n 채널형 TFT 대신에 p 채널형 TFT를 사용하여도 좋다.

[0043] 증폭회로를 p 채널형 TFT로 형성하는 경우는 도 10에 도시하는 등가회로가 된다. 도 10에 도시되는 광전 변환 장치(300)는 포토다이오드(303), p 채널형 TFT(304 및 305)로 구성되는 커런트 미러 회로(301), 고전위 전원 V_{DD} 를 주는 단자(311), 저전위 전원 V_{SS}를 주는 단자(312), 단자(311)와 TFT(305)의 사이의 저항(313), 포토다이오드(303)와 단자(312)의 사이, 또한, TFT(305)와 단자(312)의 사이에 형성되는 저항(314)을 갖고 있다.

[0044] 저항(313 및 314)은 저항(113 및 114)과 마찬가지로, 정전 파괴를 억제하기 위해서 형성되는 것이고, 그 작용은 저항(113 및 114)과 같다.

- [0045] 또한 본 실시 형태에 있어서는 TFT(104 및 105)는 1개의 채널 형성 영역을 포함하는 구조(본 명세서에서는 「싱글 게이트 구조」이라고 함)의 톱게이트형 TFT의 예를 나타내고 있지만, 채널 형성 영역이 복수 있는 구조로 하여 온 전류의 불균일을 저감시켜도 좋다.
- [0046] 또한, 오프전류를 저감하기 위해서, n 채널형 TFT(104 및 105)에 저농도 드레인(Lightly Doped Drain(LDD)) 영역을 형성하여도 좋다. LDD 영역이란, 채널 형성 영역과, 고농도로 불순물 원소를 첨가하여 형성하는 소스 영역 또는 드레인 영역과의 사이에 저농도로 불순물 원소를 첨가한 영역을 말하며, LDD 영역을 형성하면, 드레인 영역 근방의 전계를 완화하여 핫 캐리어 주입에 의한 열화를 막는 효과가 있다.
- [0047] 또한, 핫캐리어에 의한 온 전류의 열화를 막기 위해서, n 채널형 TFT(104 및 105)를, 게이트 절연막을 개재하여 LDD 영역을 게이트 전극과 겹쳐서 배치시킨 구조(본 명세서에서는 「GOLD(Gate-drain Overlapped LDD) 구조」로 하여도 좋다.
- [0048] GOLD 구조를 사용한 경우, LDD 영역 게이트 전극과 겹쳐 형성하지 않는 경우보다도, 또한 드레인 영역 근방의 전계를 완화하여 핫캐리어 주입에 의한 열화를 막는 효과가 있다. 이러한 GOLD 구조로 함으로써, 드레인 영역 근방의 전계 강도가 완화되어 핫캐리어 주입을 막고, 열화 현상의 방지에 유효하다.
- [0049] 또한 커런트 미러 회로(101)를 구성하는 TFT(104 및 105)는 톱게이트형 TFT 뿐만 아니라, 보텀 게이트형 TFT, 예를 들면 역스태거형 TFT이어도 좋다.
- [0050] 이하에 본 실시 형태의 광전 변환 장치의 제작 방법에 대하여 설명한다.
- [0051] 우선, 기판(201) 위에, 절연막(202)을 형성한다(도 5a 참조). 기판(201)으로서는 유리기판, 석영기판, 세라믹 기판, 실리콘기판, 금속기판 또는 스테인리스 기판 등 중의 어느 하나를 사용하는 것이 가능하다. 본 실시 형태에서는 기판(201)으로서 유리기판을 사용한다.
- [0052] 절연막(202)으로서는 스퍼터링법 또는 플라즈마 CVD법에 의해, 산화규소, 질소를 포함하는 산화규소, 질화규소, 산소를 포함하는 질화규소, 금속 산화 재료로 이루어지는 막을 형성하면 좋다.
- [0053] 또는 절연막(202)을, 하층 절연막과 상층 절연막과 2층으로 형성하여도 좋다. 하층 절연막으로서, 예를 들면 산소를 포함하는 질화규소막(SiO_xN_y: y>x)을 사용하고, 상층 절연막으로서, 예를 들면 질소를 포함하는 산화규소막(SiO_xN_y: x>y)을 사용하면 좋다. 절연막(202)을 2층으로 함으로써, 기판(201)측으로부터의 수분 등의 혼입물을 막는 것이 가능해진다.
- [0054] 다음에, 절연막(202) 위에 결정성 반도체막을 형성하고, 결정성 반도체막을 섬형상으로 에칭하여, 활성층이 되는 섬형상 반도체막(212)을 형성한다.
- [0055] 또한 섬형상 반도체막(212)을 덮는 게이트 절연막(205)을 형성하고, 게이트 절연막(205) 위에, 하층 게이트 전극(213a) 및 상층 게이트 전극(213b)을 형성한다. 도 5b에서는 게이트 전극(213)은 하층 게이트 전극(213a) 및 상층 게이트 전극(213b)의 2층 구조로 하였지만, 단층 구조의 게이트 전극(213)을 제작하여도 좋다. 또한, 섬형상 반도체막(212)중에는 소스 영역, 드레인 영역, 및 채널 형성 영역이 형성된다.
- [0056] 하층 게이트 전극(213a) 및 상층 게이트 전극(213b)을 갖는 게이트 전극(213), 게이트 절연막(205)을 덮고, 층간 절연막(206)을 형성한다.
- [0057] 또, 층간 절연막(206)은, 단층의 절연막으로 형성되어 있어도 좋고, 다른 재료의 절연층의 적층막이어도 좋다.
- [0058] 층간 절연막(206) 위에는 섬형상 반도체막(212)중의 소스 영역 및 드레인 영역에 전기적으로 접속된, 소스 전극(215) 및 드레인 전극(216)이 형성되어 있다. 또한 게이트 전극(213)에 전기적으로 접속된, 게이트 배선(214)이 형성되어 있다.
- [0059] 또한 층간 절연막(206) 위에는 게이트 배선(214), 소스 전극(215), 드레인 전극(216)과 같은 재료 및 같은 공정에서 형성된, 전극(221), 전극(222), 전극(223)이 형성되어 있다. 이들 전극(221) 내지 전극(223)은 게이트 배선(214), 소스 전극(215), 드레인 전극(216)과는 별도의 재료 및 별도의 공정에서 형성하여도 좋다.
- [0060] 전극(222)은 도 1의 전극(133)과 같은 것이다. 또한 전극(221)은, 도 1의 단자(112)와 같은 것이고, 전극(223)은, 단자(111)와 같은 것이다. 즉, 전극(221)에는 저전위 전원으로부터의 저전위가 인가되고, 전극(223)에는 고전위 전원으로부터의 고전위가 인가된다.

- [0061] 또한 드레인 전극(216)은 도 1의 배선(121)은 같은 것, 또는 적어도 같은 재료로 형성되어 있다. 소스 전극(215)은, 도 1의 배선(122)과 같은 것, 또는 적어도 같은 재료로 형성되어 있다.
- [0062] 드레인 전극(216) 및 소스 전극(215)을 직선형으로 형성하지 않고, 그 글자형, 또는 그 밖의 형상으로 구부려 형성함으로써, 배선 저항을 늘리고, 정전 파괴를 억제할 수 있다.
- [0063] 게이트 배선(214), 소스 전극(215), 드레인 전극(216), 전극(221) 내지 전극(223)은, 고용점 금속막과 금속막, 예를 들면 저저항 금속막의 적층 구조를 사용하여 형성된다. 이러한 저저항 금속막으로서, 알루미늄합금 또는 순알루미늄 등을 들 수 있다. 또한 본 실시 형태에서는 이러한 고용점 금속막과 저저항 금속막의 적층 구조로서, 티탄막(Ti 막)과 알루미늄막(Al 막)과 Ti 막을 순차로 겹친 3층 구조로 한다.
- [0064] 또한, 고용점 금속막과 저저항 금속막의 적층 구조 대신에, 단층의 도전막에 의해 형성할 수도 있다. 이러한 단층의 도전막으로서, 티타늄(Ti), 텅스텐(W), 탄탈(Ta), 몰리브덴(Mo), 네오듐(Nd), 코발트(Co), 지르코늄(Zr), 아연(Zn), 루테늄(Ru), 로듐(Rh), 팔라듐(Pd), 오스뮴(Os), 이리듐(Ir), 백금(Pt)으로부터 선택된 원소, 또는 상기 원소를 주성분으로 하는 합금재료 또는 화합물 재료로 이루어지는 단층막, 또는 이들의 질화물, 예를 들면, 질화티타늄, 질화텅스텐, 질화탄탈, 질화몰리브덴으로 이루어지는 단층막을 사용할 수 있다.
- [0065] 또, 도 5c에서는 TFT는 1개밖에 도시되어 있지 않다. 그러나 실제는 TFT(211)는, 포토다이오드(103)에서 얻어지는 전류를 증폭하는 증폭회로, 예를 들면 커런트 미러 회로를 구성하는 TFT이고, 적어도 2개는 형성된다.
- [0066] 또 본 실시 형태에서는 게이트 배선(214), 소스 전극(215), 드레인 전극(216), 및, 전극(221) 내지 전극(223)은, 티타늄(Ti)을 400nm의 두께로 성막한 티타늄막을 사용하여 형성한다.
- [0067] 이어서 충간 절연막(206), 게이트 절연막(205), 및, 절연막(202)의 단부가 테이퍼형상이 되도록 예칭한다(도 6a 참조).
- [0068] 충간 절연막(206), 게이트 절연막(205), 및, 절연막(202)의 단부를, 테이퍼형상으로 함으로써, 이들 막 위에 형성되는 보호막(227)의 폐복률이 좋아지고, 수분이나 불순물 등이 들어가기 어려워진다는 효과를 나타낸다.
- [0069] 이어서 충간 절연막(206) 및 전극(222) 위에, p 형 반도체막, i 형 반도체막, n 형 반도체막을 성막하고, 예칭하고, p 형 반도체층(225p), i 형 반도체층(225i) 및 n 형 반도체층(225n)을 포함하는 광전 변환층(225)을 형성한다(도 6b 참조).
- [0070] p 형 반도체층(225p)은, 13족의 불순물 원소, 예를 들면 봉소(B)를 포함한 비정질 반도체막을 플라즈마 CVD법으로 성막하여 형성하면 좋다.
- [0071] 도 6b에서는 전극(222)은 광전 변환층(225)의 최하층, 본 실시 형태에서는 p 형 반도체층(225p)과 접하고 있다.
- [0072] i 형 반도체층(225i)으로서는 예를 들면 플라즈마 CVD법으로 비정질 반도체막을 형성하면 좋다. 또한 n 형 반도체층(225n)으로서는 15족의 불순물 원소, 예를 들면 인(P)을 포함하는 비정질 반도체막을 형성하여도 좋고, 비정질 반도체막을 형성한 후, 15족의 불순물 원소를 도입하여도 좋다.
- [0073] 또 비정질 반도체막으로서, 비정질 규소막, 비정질 게르마늄막 등을 사용하여도 좋다.
- [0074] 또 본 명세서에 있어서는 i 형 반도체막이란, 반도체막에 포함되는 p 형 또는 n 형을 부여하는 불순물이 $1 \times 10^{20} \text{ cm}^{-3}$ 이하의 농도이고, 산소 및 질소가 $5 \times 10^{19} \text{ cm}^{-3}$ 이하의 농도이고, 암전도도에 대하여 광전도도가 100배 이상인 반도체막을 가리킨다. 또한 i 형 반도체막에는 봉소(B)가 10 내지 1000ppm 첨가되어 있어도 좋다.
- [0075] 또한 p 형 반도체층(225p), i 형 반도체층(225i), n 형 반도체층(225n)으로서, 비정질 반도체막뿐만 아니라, 미결정 반도체막(세미아모퍼스 반도체막이라고도 함)을 사용하여도 좋다.
- [0076] 또는 p 형 반도체층(225p) 및 n 형 반도체층(225n)을 미결정 반도체막을 사용하여 형성하고, i 형 반도체층(225i)로서 비정질 반도체막을 사용하여도 좋다.
- [0077] 또 세미아모퍼스 반도체막이란, 비정질 반도체와 결정 구조를 갖는 반도체(단결정, 다결정을 포함함)막의 중간적인 구조의 반도체를 포함하는 막이다. 이 세미아모퍼스 반도체막은 자유에너지적으로 안정된 제 3 상태를 갖는 반도체막이고, 단거리질서를 갖고 격자 일그러짐을 갖는 결정질인 것이며, 그 입자 직경을 0.5 내지 20nm로 하여 비단결정 반도체막 중에 분산시켜 존재시키는 것이 가능하다. 세미아모퍼스 반도체막은, 그 라만 스펙트

럼이 520cm^{-1} 보다도 저파수측으로 시프트하고 있고, 또한 X선 회절로서는 Si 결정 격자에 유래되는 (111), (220)의 회절피크가 관측된다. 또한, 미결합수(앵글링 분드)를 중단화시키기 위해서 수소 또는 할로겐을 적어도 1원자% 또는 그 이상 포함시키게 하고 있다. 본 명세서에서는 편의상, 이러한 반도체막을 세미아모퍼스 반도체(SAS)막이라고 부른다. 또한, 헬륨, 아르곤, 크립톤, 네온 등의 희가스원소를 포함하여 격자 일그러짐을 또한 조장시킴으로써 안정성이 늘어나고 양호한 세미아모퍼스 반도체막이 얻어진다. 또 미결정 반도체막(마이크로크리스탈 반도체막)도 세미아모퍼스 반도체막에 포함된다.

[0078] 또한 SAS막은 규소(실리콘)를 포함하는 기체를 글로 방전 분해함으로써 얻을 수 있다. 대표적인 규소(실리콘)를 포함하는 기체로서는 SiH_4 이고, 그 외에도 Si_2H_6 , SiH_2Cl_2 , SiHCl_3 , SiCl_4 , SiF_4 등을 사용할 수 있다. 또한 수소나, 수소에 헬륨, 아르곤, 크립톤, 네온으로부터 선택된 일종 또는 복수종의 희가스원소를 가한 가스로, 이 규소(실리콘)를 포함하는 기체를 희석하여 사용함으로써, SAS막의 형성을 용이한 것으로 할 수 있다. 희석률은 2배 내지 1000배의 범위에서 규소(실리콘)를 포함하는 기체를 희석하는 것이 바람직하다. 또한, 규소(실리콘)를 포함하는 기체 중에, CH_4 , C_2H_6 등의 탄화물 기체, GeH_4 , GeF_4 등의 게르마늄화 기체, F_2 등을 혼입시키고, 에너지 밴드폭을 1.5 내지 2.4eV, 또는 $0.9 \text{~eV} \sim 1.1 \text{~eV}$ 에 조절하여도 좋다.

[0079] 또, 본 명세서에서는 광전 변환층(225), 광전 변환층(225)을 포함하는 포토다이오드(103), 또한 포토다이오드(103)를 포함하는 소자를, 광전 변환 소자, 또는 광전 변환 장치라고 부르는 경우도 있다.

[0080] 이어서 노출되어 있는 면을 덮고, 보호막(227)을 형성한다(도 6c 참조). 보호막(227)으로서, 본 실시 형태에서는 질화규소막을 사용한다. 보호막(227)에 의해, TFT(211)나 광전 변환층(225)에, 수분이나 유기물 등의 불순물이 혼입되는 것을 막을 수 있다.

[0081] 이어서 보호막(227) 위에, 충간 절연막(228)을 형성한다(도 7a 참조). 충간 절연막(228)은 평탄화막으로서도 가능한다. 본 실시 형태에서는 충간 절연막(228)으로서, 폴리이미드를 $2\mu\text{m}$ 의 두께로 성막한다.

[0082] 다음에 충간 절연막(228)을 에칭하여 콘택트홀을 형성한다. 이 때에 보호막(227)이 있기 때문에, TFT(211)의 게이트 배선(214), 소스 전극(215), 드레인 전극(216)은 에칭되지 않는다. 이어서 전극(231) 및 전극(232)이 형성되는 영역의 보호막(227)을 에칭하여 콘택트홀을 형성한다. 또한 충간 절연막(228) 위에, 충간 절연막(228) 및 보호막(227)중에 형성된 콘택트홀을 통하여 전극(221)에 전기적으로 접속되는 전극(231), 및, 충간 절연막(228) 및 보호막(227)중에 형성된 콘택트홀을 통하여 광전 변환층(225)의 상층(본 실시 형태에서는 n형 반도체층(225n)) 및 전극(223)과 전기적으로 접속되는 전극(232)을 형성한다(도 7b 참조). 전극(231) 및 전극(232)으로서는 텅스텐(W), 티타늄(Ti), 탄탈(Ta), 은(Ag) 등을 사용하는 것이 가능하다.

[0083] 또한 전극(231)은, 도 1의 배선(116)과 같은 것, 또는 적어도 같은 재료로 형성되어 있고, 전극(232)은, 도 1의 배선(115)과 같은 것, 또는 적어도 같은 재료로 형성되어 있는 것이다.

[0084] 본 실시 형태에서는 전극(231) 및 전극(232)으로서, 티탄(Ti)을 30 내지 50nm으로 성막한 도전막을 사용한다.

[0085] 이어서, 충간 절연막(228) 위에, 스크린 인쇄법 또는 잉크젯법으로써, 충간 절연막(235)을 형성한다(도 8 참조). 그 때는 전극(231) 및 전극(232) 위에는 충간 절연막(235)은 형성하지 않는다. 본 실시 형태에서는 충간 절연막(235)으로서, 에폭시수지를 사용한다.

[0086] 이어서, 충간 절연막(235) 위에, 예를 들면 니켈(Ni) 페이스트를 사용하여 인쇄법에 의해, 전극(231)에 전기적으로 접속되는 전극(241), 및, 전극(232)에 전기적으로 접속되는 전극(242)을 제작한다. 또한 전극(241) 및 전극(242) 위에 각각, 구리(Cu) 페이스트를 사용하여 인쇄법에 의해, 전극(243) 및 전극(245)을 형성한다(도 4 참조).

[0087] 이상과 같이 하여, 본 실시 형태의 광전 변환 장치가 제작된다. 본 실시 형태의 광전 변환 장치는 광전 변환 장치 전체의 크기를 바꾸지 않고, 정전 파괴를 억제할 수 있다. 이로써 광전 변환 장치, 및, 광전 변환 장치를 갖는 반도체 장치의 신뢰성을 향상시키는 것이 가능해진다.

[0088] [실시 형태 2]

[0089] 본 실시 형태에서는 실시 형태 1과는 다른 구성의 광전 변환 장치에 대해서, 도 11, 도 12a 내지 도 12b, 도 19를 사용하여 설명한다.

- [0090] 또 본 실시 형태는 실시 형태 1의 기재에 기초하여, 실시 형태 1과 같은 것은 같은 부호로 나타내기로 한다.
- [0091] 도 11에 본 실시 형태의 광전 변환 장치를 도시한다. 실시 형태 1의 도 1과 본 실시 형태의 도 11의 차이는 배선(121) 위에 전극(401)이 형성되어 있는 것, 배선(122) 위에 전극(402)이 형성되어 있는 것이다.
- [0092] 전극(401) 및 전극(402)을 형성함으로써, 배선 저항인 저항(113) 및 저항(114)의 저항치를 증대시키고 있다. 이로써, 또한 정전 파괴를 억제할 수 있다.
- [0093] 도 11의 A-A'의 단면을 도 12a에 도시한다. 기판(201) 위의 절연막(202) 위에 배선(121)이 형성되어 있고, 충간 절연막(228)이 배선(121)을 덮고 있다. 충간 절연막(228) 위에, 전극(231 및 232)과 같은 재료 및 같은 제작 공정에서 형성된 전극(401)이 형성되고, 전극(401)은 배선(121)에 전기적으로 접속되어 있다. 또한 전극(401)을 덮고, 충간 절연막(235)이 형성되어 있다.
- [0094] 또한 도 19에 도시하는 광전 변환 장치는 배선(121)과 전극(401)의 전기적 접속을, 도 11의 광전 변환 장치와는 다른 구성으로 한 것이다. 도 19의 B-B'의 단면을 도 12b에 도시하지만, 배선(121)과 전극(401)은 수직방향으로 번갈아 접속되어 있다. 이러한 구성으로 하면 배선 저항이 보다 증대하기 때문에, 정전 파괴를 한층 더 억제하는 것이 가능해진다.
- [0095] 또 배선(122)과 전극(402)의 접속 구조를, 도 12b의 배선(121)과 전극(401)과 같은 구조로 하여도 좋다.
- [0096] 본 실시 형태의 광전 변환 장치는 저항(113 및 114)의 저항치를 증대시킬 수 있다. 이로써 광전 변환 장치 전체의 크기를 바꾸지 않고서, 정전 파괴를 억제할 수 있다. 이로써 광전 변환 장치, 및, 광전 변환 장치를 갖는 반도체 장치의 신뢰성을 향상시키는 것이 가능해진다.
- [0097] [실시 형태 3]
- [0098] 본 실시예에서는 실시 형태 1 내지 실시 형태 2에 의해 얻어진 광전 변환 장치를 여러 가지의 전자기기에 내장한 예에 대해서 설명한다. 본 형태에서 나타내는 전자기기의 일례로서, 컴퓨터, 디스플레이, 휴대전화, 텔레비전 등을 들 수 있다. 이들의 전자기기의 구체예를, 도 13, 도 14a 내지 도 14b, 도 15a 내지 도 15b, 도 16, 도 17a 내지 도 17b에 도시한다.
- [0099] 도 13은 휴대전화이고, 본체(A)(701), 본체(B)(702), 케이스(703), 조작기(704), 음성 입력부(705), 음성 출력부(706), 회로기판(707), 표시패널(A)(708), 표시패널(B)(709), 경첩(710), 투광성 재료부(711), 실시 형태 1 내지 실시 형태 2에 의해 얻어지는 광전 변환 장치(712)를 갖고 있다.
- [0100] 광전 변환 장치(712)는 투광성 재료부(711)를 투과한 빛을 검지하고, 검지한 외부광의 조도에 맞추어서 표시패널(A)(708) 및 표시패널(B)(709)의 휘도 컨트롤을 하거나, 광전 변환 장치(712)로 얻어지는 조도에 맞추어서 조작기(704)의 조명 제어를 한다. 이로써 휴대전화의 소비전력을 억제할 수 있다.
- [0101] 도 14a 및 도 14b에 휴대전화의 별도의 예를 도시한다. 도 14a 및 도 14b의 휴대전화는 본체(721), 케이스(722), 표시패널(723), 조작기(724), 음성 출력부(725), 음성 입력부(726), 실시 형태 1 내지 실시 형태 2에 의해 얻어지는 광전 변환 장치(727) 및 광전 변환 장치(728)를 갖고 있다.
- [0102] 도 14a에 도시하는 휴대전화에서는 본체(721)에 형성된 광전 변환 장치(727)에 의해 외부의 빛을 검지함으로써 표시패널(723) 및 조작기(724)의 휘도를 제어하는 것이 가능하다.
- [0103] 또한 도 14b에 도시하는 휴대전화로서는 도 14a의 구성에 더하여, 본체(721)의 내부에 광전 변환 장치(728)를 형성하고 있다. 광전 변환 장치(728)에 의해, 표시패널(723)에 형성되어 있는 백 라이트의 휘도를 검출하는 것도 가능해진다.
- [0104] 도 15a는 컴퓨터이고, 본체(731), 케이스(732), 표시부(733), 보드(734), 외부 접속 포트(735), 포인팅 디바이스(736) 등을 포함한다.
- [0105] 또한 도 15b는 표시장치이고 텔레비전 수상기 등이 이것에 해당한다. 본 표시장치는 케이스(741), 지지대(742), 표시부(743) 등에 의해서 구성되어 있다.
- [0106] 도 15a의 컴퓨터에 형성되는 표시부(733), 및 도 15b에 도시하는 표시장치의 표시부(743)로서, 액정 패널을 사용한 경우의 상세한 구성을 도 16에 도시한다.
- [0107] 도 16에 도시하는 액정 패널(762)은 케이스(761)에 내장되어 있고, 기판(751a 및 751b), 기판(751a 및 751b)에

끼워진 액정층(752), 편광필터(755a 및 755b), 및 백 라이트(753) 등을 갖고 있다. 또한 케이스(761)에는 실시 형태 1 내지 실시 형태 2에 의해 얻어지는 광전 변환 장치를 갖는 광전 변환 장치 형성 영역(754)이 형성되어 있다.

- [0108] 광전 변환 장치 형성 영역(754)은 백 라이트(753)로부터의 광량을 감지하고, 그 정보가 피드백되어 액정 패널(762)의 휘도가 조절된다.
- [0109] 도 17a 및 도 17b는 광전 변환 장치를, 카메라, 예를 들면 디지털 카메라에 내장한 예를 도시하는 도면이다. 도 17a는 디지털 카메라의 전면 방향으로부터 본 사시도이고, 도 17b는 후면방향에서 본 사시도이다.
- [0110] 도 17a에 있어서, 디지털 카메라에는 릴리스 버튼(801), 메인 스위치(802), 파인더창(803), 플래시(804), 렌즈(805), 경통(806), 케이스(807)가 구비되어 있다.
- [0111] 또한, 도 17b에 있어서, 파인더 접안창(811), 모니터(812), 조작버튼(813)이 구비되어 있다.
- [0112] 릴리스 버튼(801)은 반분의 위치까지 밀면, 초점 조정 기구 및 노출 조정 기구가 작동하고, 최하부까지 밀면 셔터가 열린다.
- [0113] 메인 스위치(802)는 가압 또는 회전에 의해 디지털 카메라의 전원의 온/오프를 바꾼다.
- [0114] 파인더창(803)은 디지털 카메라의 전면의 렌즈(805)의 상부에 배치되어 있고, 도 17b에 도시하는 파인더 접안창(811)으로부터 촬영하는 범위나 핀트의 위치를 확인하기 위한 장치이다.
- [0115] 플래시(804)는 디지털 카메라의 전면 상부에 배치되고, 피사체 휘도가 낮을 때에, 릴리스 버튼이 눌려져 셔터가 열리는 동시에 보조광을 조사한다.
- [0116] 렌즈(805)는 디지털 카메라의 정면에 배치되어 있다. 렌즈(805)는 포커싱 렌즈, 줌렌즈 등에 의해 구성되고, 도시하지 않는 셔터 및 스로틀과 함께 촬영 광학계를 구성한다. 또한, 렌즈(805)의 후방에는 CCD(Charge Coupled Device) 등의 활상 소자가 형성되어 있다.
- [0117] 경통(806)은 포커싱렌즈, 줌렌즈 등의 핀트를 맞추기 위해서 렌즈의 위치를 이동하는 것이며, 촬영 시에는 경통을 풀어냄으로써, 렌즈(805)를 앞에 이동시킨다. 또한, 휴대 시는 렌즈(805)를 침동(沈銅)시켜 콤팩트하게 한다. 또, 본 실시 형태에 있어서는 경통을 풀어냄으로써 피사체를 줌 촬영할 수 있는 구조로 하고 있지만, 이 구조에 한정되지 않으며, 케이스(807)내에서의 촬영 광학계의 구성에 의해 경통을 풀어내어도 줌 촬영이 가능한 디지털 카메라이어도 좋다.
- [0118] 파인더 접안창(811)은 디지털 카메라의 후면 상부에 형성되어 있고, 촬영하는 범위나 핀트의 위치를 확인할 때에 접안하기 위해서 형성된 창이다.
- [0119] 조작버튼(813)은 디지털 카메라의 후면에 형성된 각종 기능 버튼이고, 셋업 버튼, 메뉴 버튼, 디스플레이 버튼, 기능 버튼, 선택 버튼 등에 의해 구성되어 있다.
- [0120] 광전 변환 장치를, 도 17a 및 도 17b에 도시하는 카메라에 내장하면, 광전 변환 장치가 빛의 유무 및 강도를 감지할 수 있고, 이로써 카메라의 노출 조정 등을 할 수 있다.
- [0121] 또한 광전 변환 장치는 그 밖의 전자기기, 예를 들면 프로젝션 텔레비전, 네비게이션 시스템 등에 응용하는 것이 가능하다. 즉 빛을 검출할 필요가 있는 것이면 어떠한 것에도 사용하는 것이 가능하다.

도면의 간단한 설명

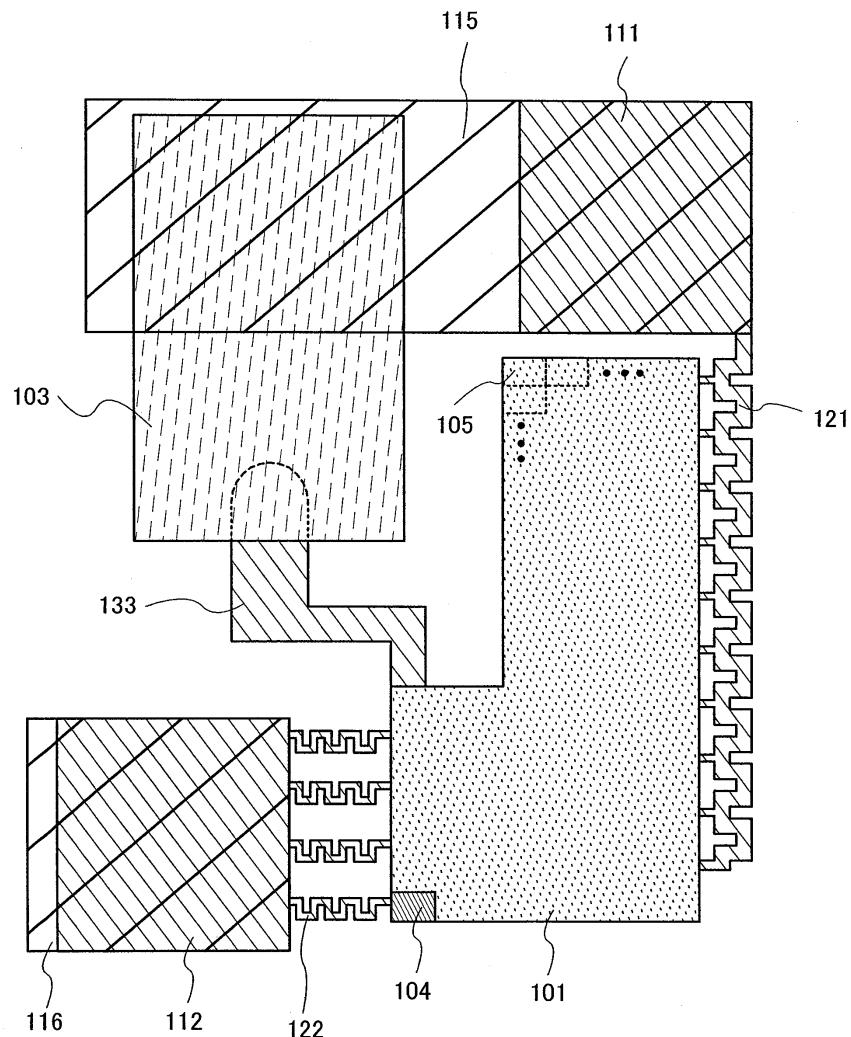
- [0122] 도 1은 본 발명의 광전 변환 장치의 상면도.
- [0123] 도 2는 본 발명의 광전 변환 장치의 상면도.
- [0124] 도 3은 본 발명의 광전 변환 장치의 회로도.
- [0125] 도 4는 본 발명의 광전 변환 장치의 단면도.
- [0126] 도 5는 본 발명의 광전 변환 장치의 제작 공정을 도시하는 단면도.
- [0127] 도 6은 본 발명의 광전 변환 장치의 제작 공정을 도시하는 단면도.

- [0128] 도 7은 본 발명의 광전 변환 장치의 제작 공정을 도시하는 단면도.
- [0129] 도 8은 본 발명의 광전 변환 장치의 제작 공정을 도시하는 단면도.
- [0130] 도 9는 본 발명의 광전 변환 장치의 회로도.
- [0131] 도 10은 본 발명의 광전 변환 장치의 회로도.
- [0132] 도 11은 본 발명의 광전 변환 장치의 상면도.
- [0133] 도 12는 본 발명의 광전 변환 장치의 제작 공정을 도시하는 단면도.
- [0134] 도 13은 본 발명의 광전 변환 장치를 실장한 장치를 도시하는 도면.
- [0135] 도 14는 본 발명의 광전 변환 장치를 실장한 장치를 도시하는 도면.
- [0136] 도 15는 본 발명의 광전 변환 장치를 실장한 장치를 도시하는 도면.
- [0137] 도 16은 본 발명의 광전 변환 장치를 실장한 장치를 도시하는 도면.
- [0138] 도 17은 본 발명의 광전 변환 장치를 실장한 장치를 도시하는 도면.
- [0139] 도 18은 본 발명의 광전 변환 장치의 상면도.
- [0140] 도 19는 본 발명의 광전 변환 장치의 상면도.
- [0141] <도면의 주요 부분에 대한 부호의 설명>
- | | |
|------------------------|-----------------|
| [0142] 100: 광전 변환 장치 | 101: 커런트 미러 회로 |
| [0143] 103: 포토다이오드 | 104: TFT |
| [0144] 105: TFT | 105i: TFT |
| [0145] 111: 단자 | 112: 단자 |
| [0146] 113: 저항 | 114: 저항 |
| [0147] 115: 배선 | 116: 배선 |
| [0148] 121: 배선 | 122: 배선 |
| [0149] 133: 전극 | 201: 기판 |
| [0150] 202: 절연막 | 205: 게이트 절연막 |
| [0151] 206: 충간 절연막 | 211: TFT |
| [0152] 212: 섬형상 반도체막 | 213: 게이트 전극 |
| [0153] 213a: 하층 게이트 전극 | 213b: 상층 게이트 전극 |
| [0154] 214: 게이트 배선 | 215: 소스 전극 |
| [0155] 216: 드레인 전극 | 221: 전극 |
| [0156] 222: 전극 | 223: 전극 |
| [0157] 225: 광전 변환층 | 225i: i 형 반도체층 |
| [0158] 225n: n 형 반도체층 | 225p: p 형 반도체층 |
| [0159] 227: 보호막 | 228: 충간 절연막 |
| [0160] 231: 전극 | 232: 전극 |
| [0161] 235: 충간 절연막 | 241: 전극 |
| [0162] 242: 전극 | 243: 전극 |
| [0163] 244: 전극 | 245: 전극 |

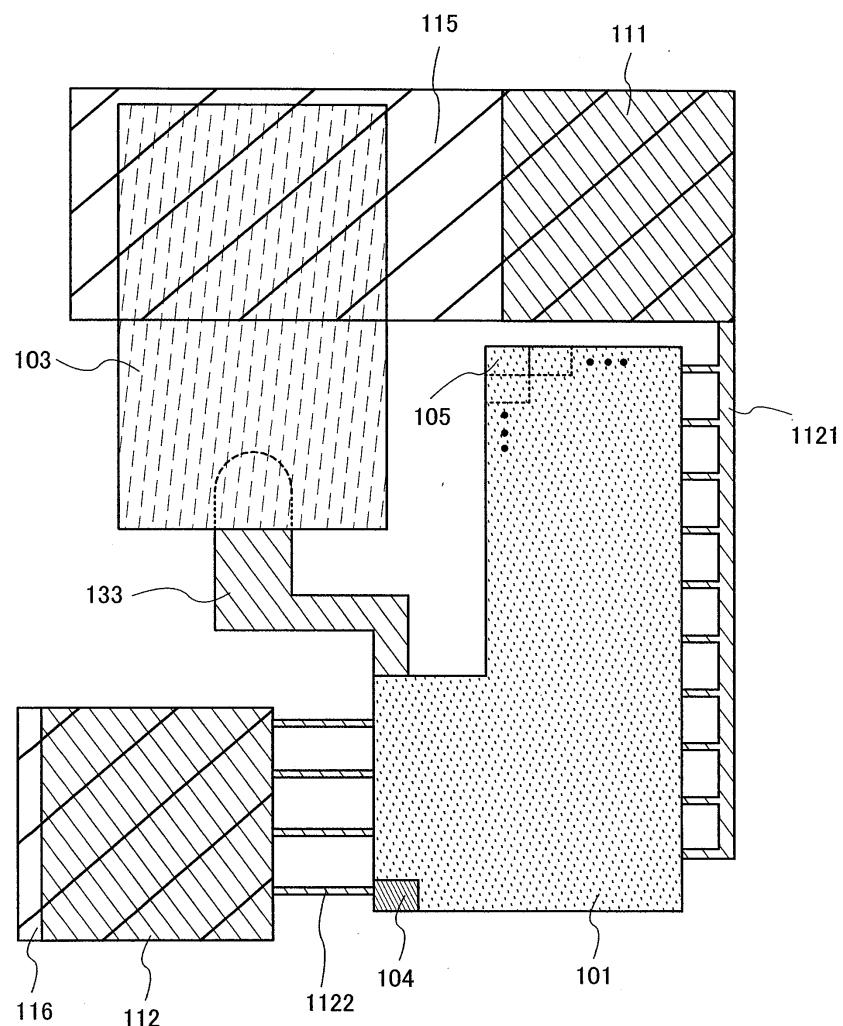
[0164]	300: 광전 변환 장치	301: 커런트 미러 회로
[0165]	303: 포토다이오드	304: TFT
[0166]	305: TFT	311: 단자
[0167]	312: 단자	313: 저항
[0168]	314: 저항	401: 전극
[0169]	402: 전극	701: 본체(A)
[0170]	702: 본체(B)	703: 케이스
[0171]	704: 조작키	705: 음성 입력부
[0172]	706: 음성 출력부	707: 회로기판
[0173]	708: 표시패널(A)	709: 표시패널(B)
[0174]	710: 경첩	711: 투광성 재료부
[0175]	712: 광전 변환 장치	712: 광전 변환 장치
[0176]	721: 본체	722: 케이스
[0177]	723: 표시패널	724: 조작키
[0178]	725: 음성 출력부	726: 음성 입력부
[0179]	727: 광전 변환 장치	728: 광전 변환 장치
[0180]	731: 본체	732: 케이스
[0181]	733: 표시부	734: 키보드
[0182]	735: 외부 접속 포트	736: 포인팅 디바이스
[0183]	741: 케이스	742: 지지대
[0184]	743: 표시부	751a: 기판
[0185]	751b: 기판	752: 액정총
[0186]	753: 백라이트	754: 광전 변환 장치 형성 영역
[0187]	755a: 편광필터	755b: 편광필터
[0188]	761: 케이스	762: 액정 패널
[0189]	801: 릴리스 버튼	802: 메인 스위치
[0190]	803: 파인더창	804: 플래시
[0191]	805: 렌즈	806: 경통
[0192]	807: 케이스	811: 파인더 접안창
[0193]	812: 모니터	813: 조작버튼
[0194]	1121: 배선	1122: 배선

도면

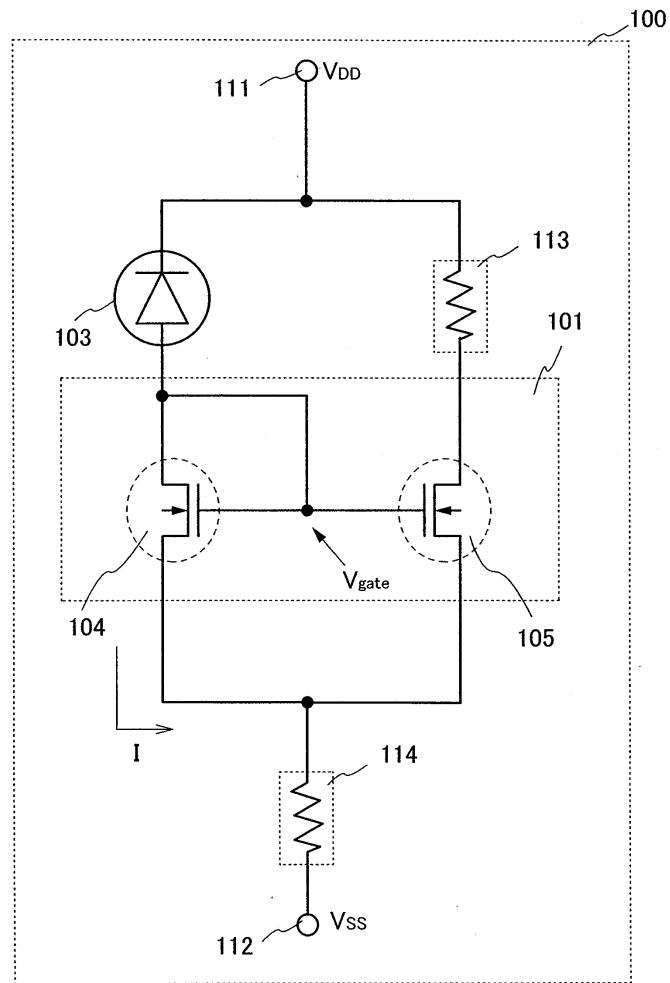
도면1



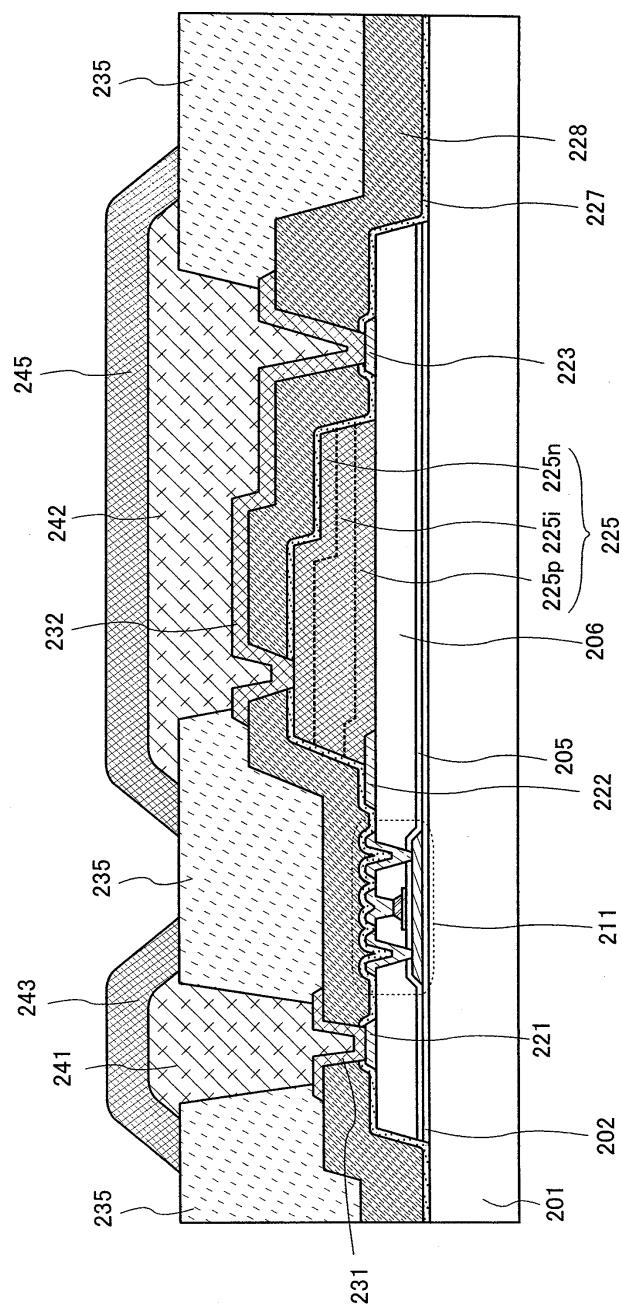
도면2



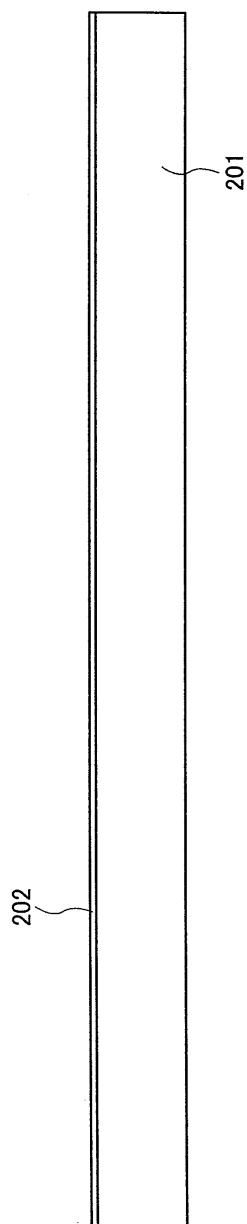
도면3



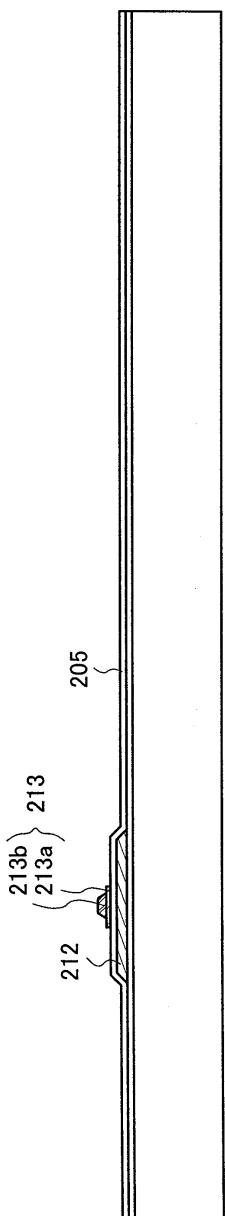
도면4



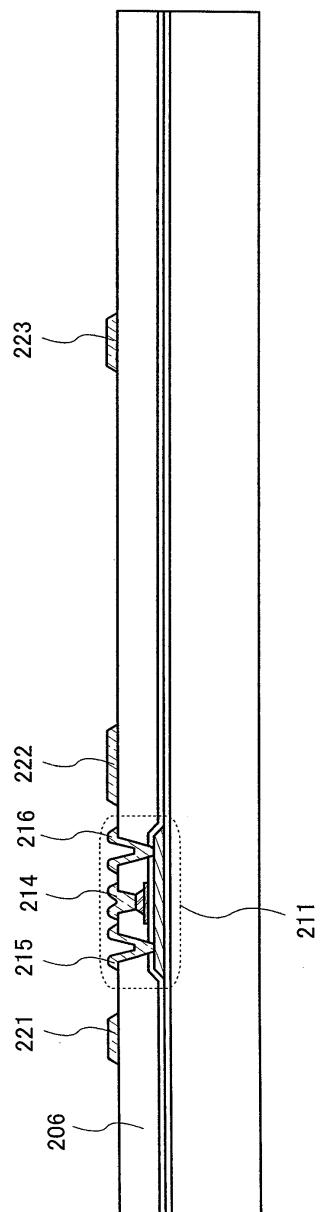
도면5a



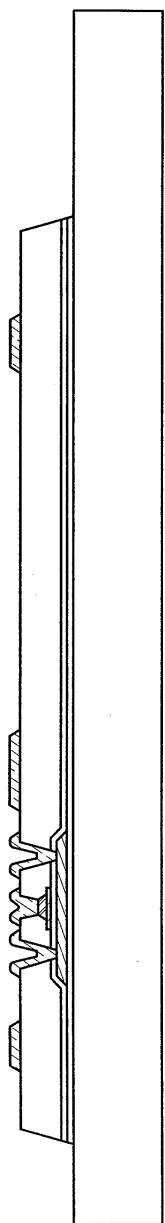
도면5b



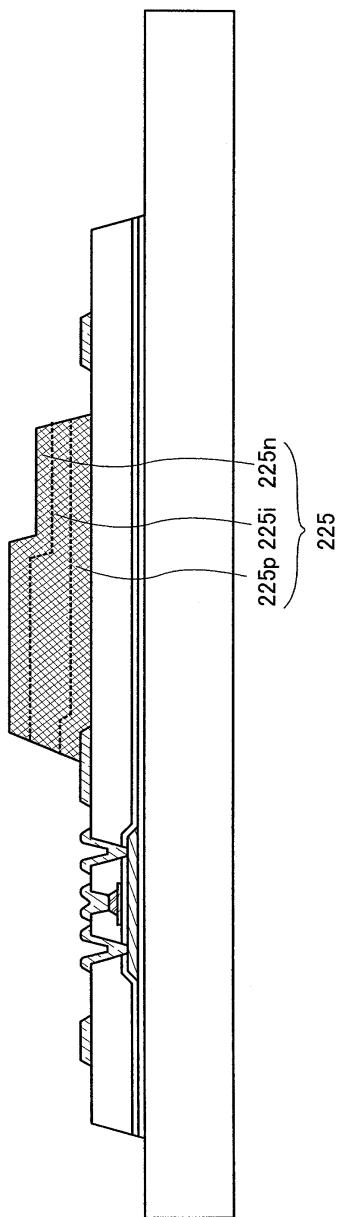
도면5c



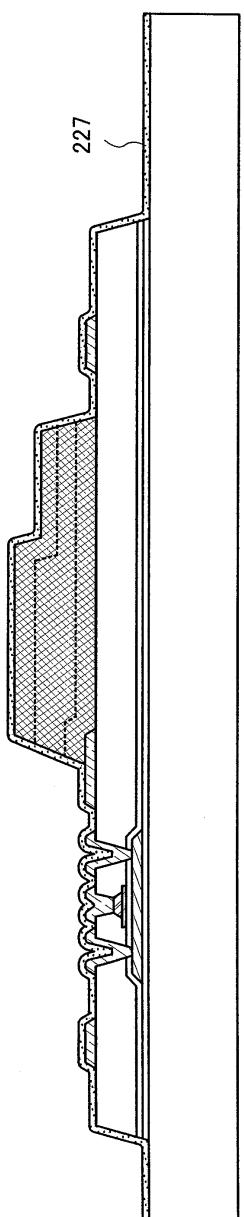
도면6a



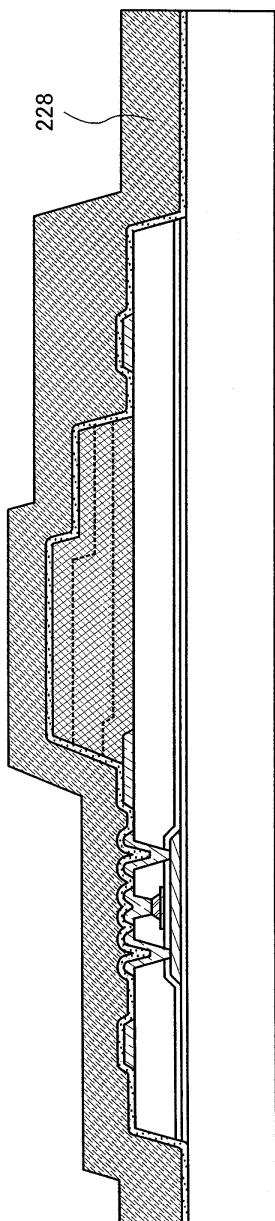
도면6b



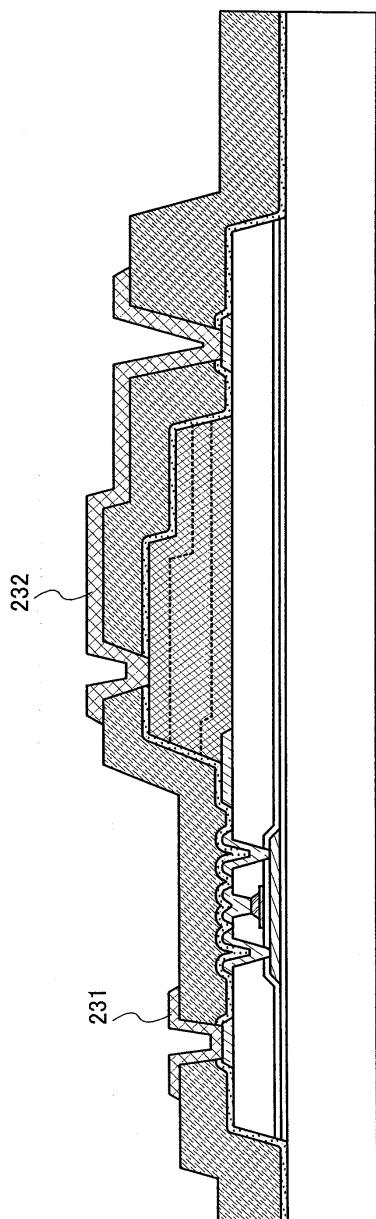
도면6c



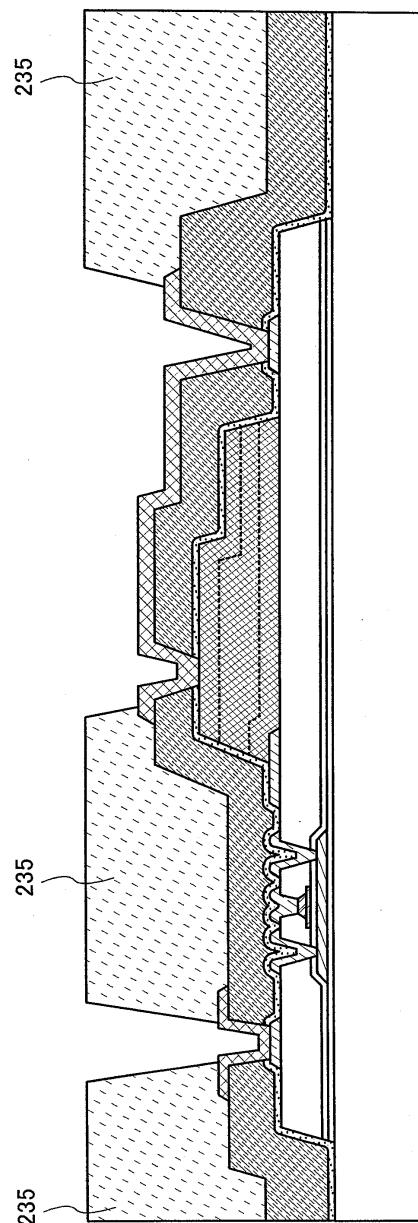
도면7a



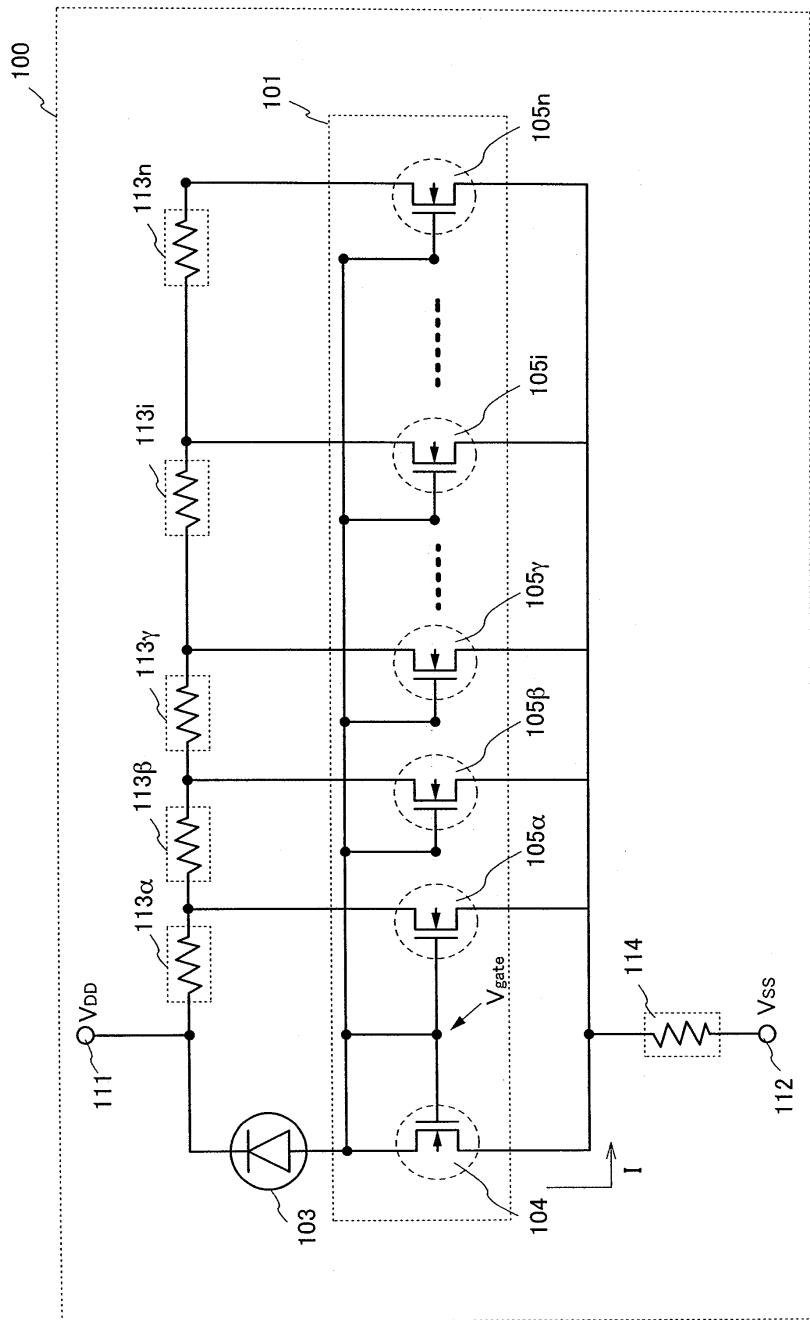
도면7b



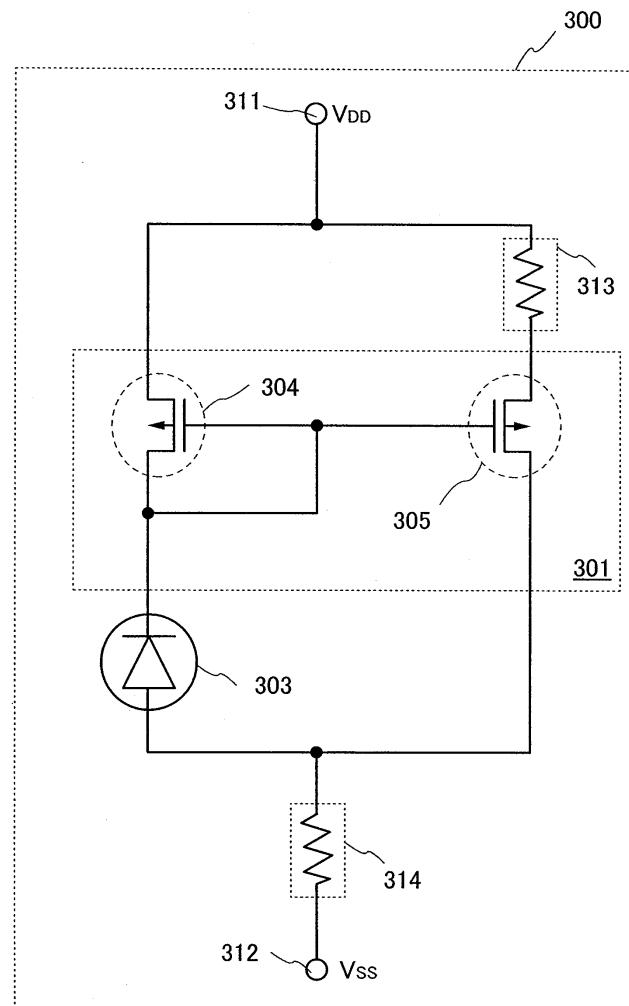
도면8



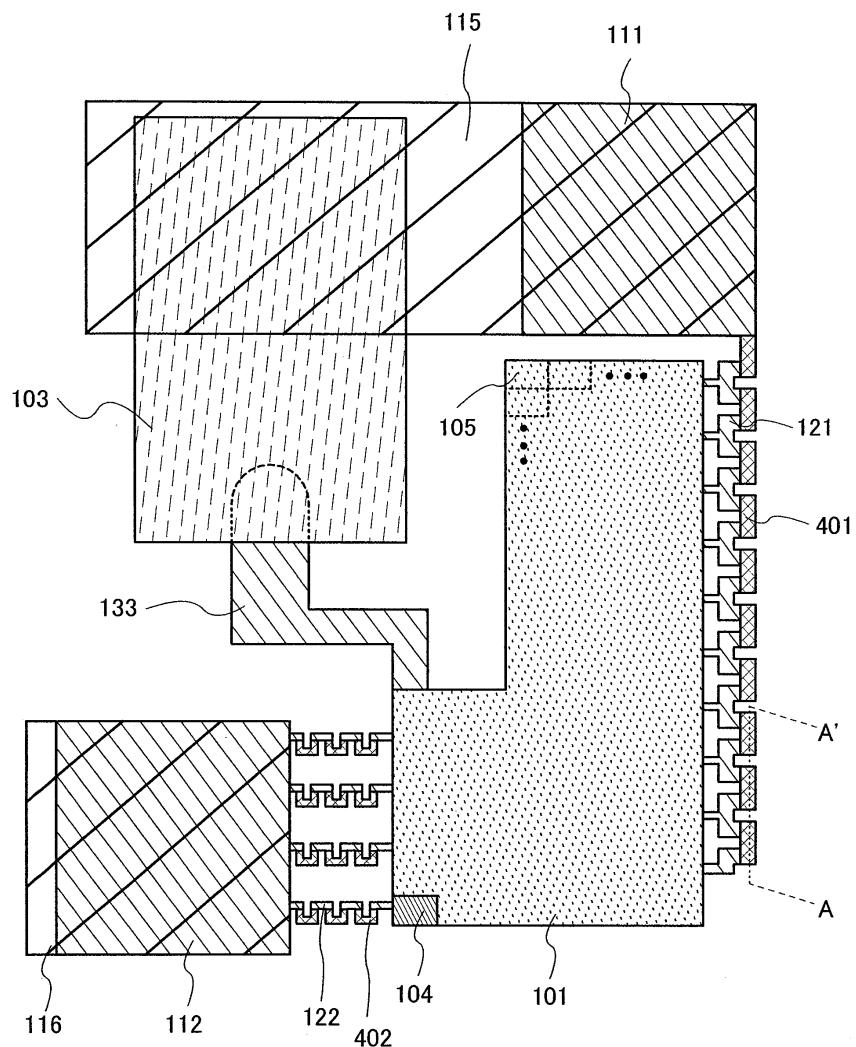
도면9



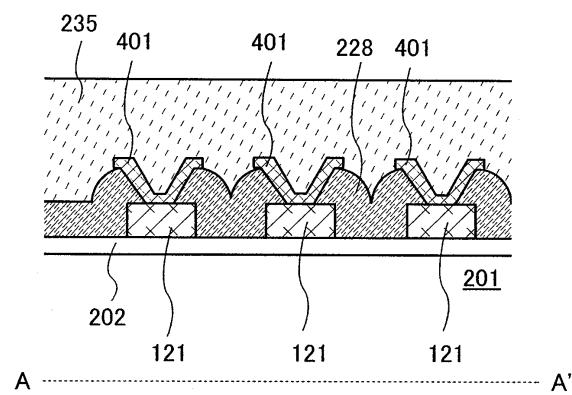
도면10



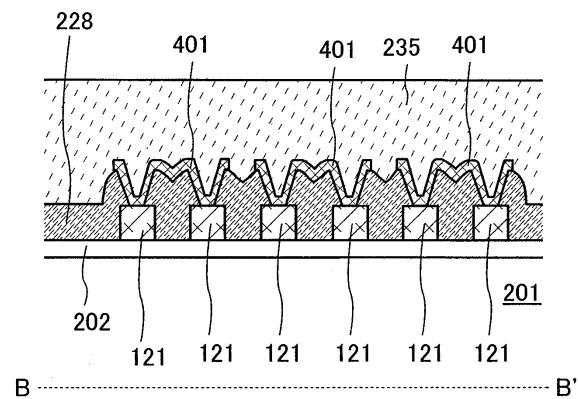
도면11



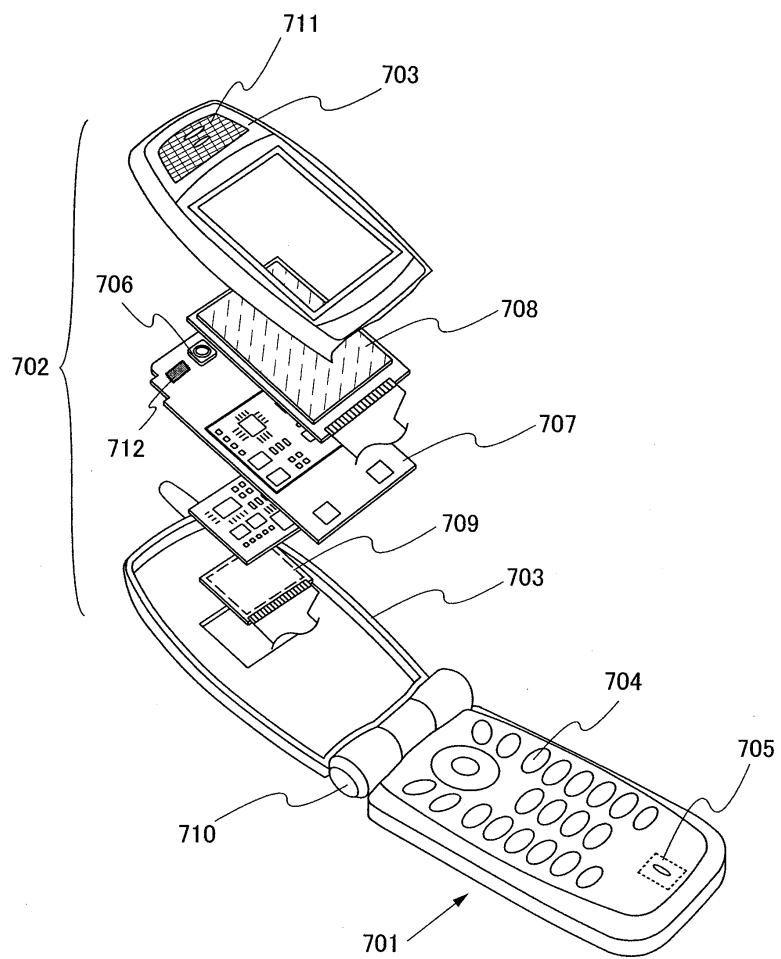
도면12a



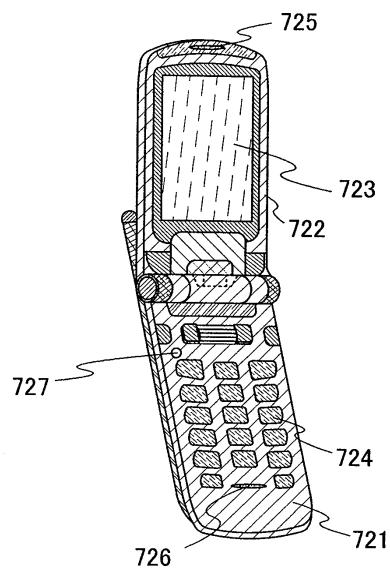
도면12b



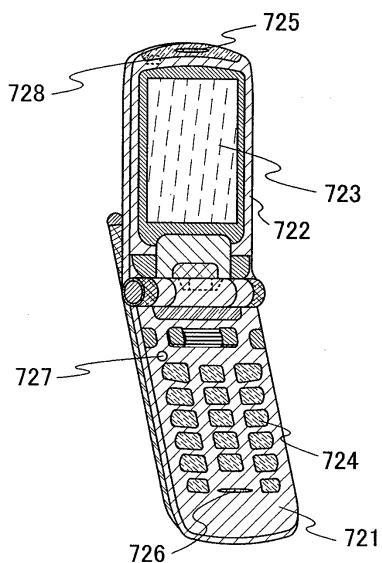
도면13



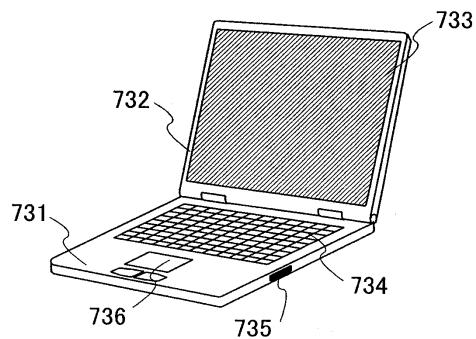
도면14a



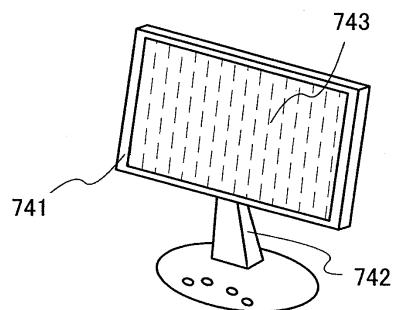
도면14b



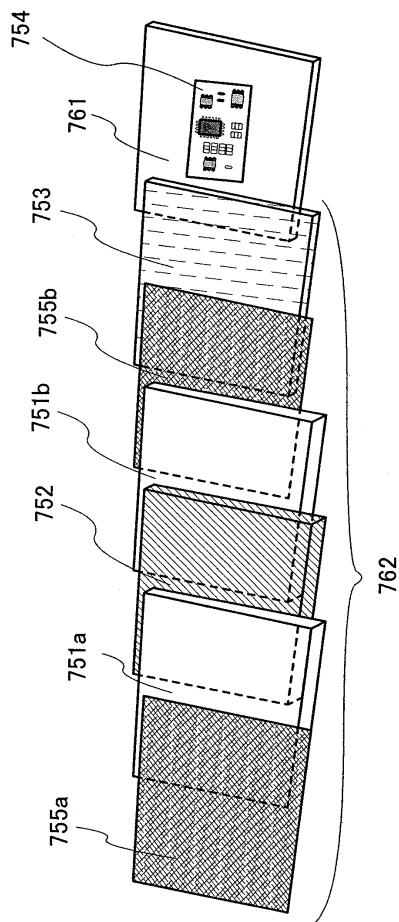
도면15a



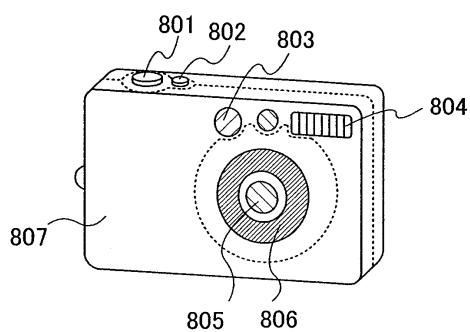
도면15b



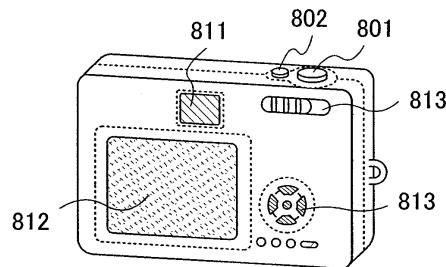
도면16



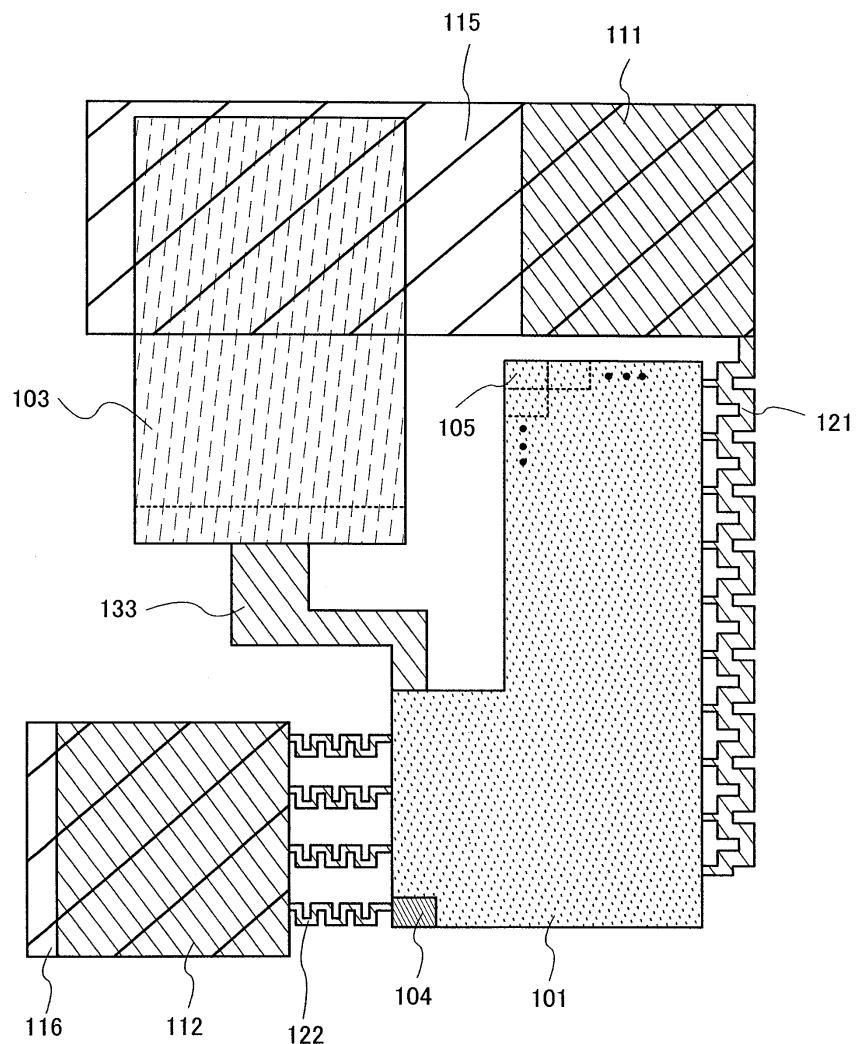
도면17a



도면17b



도면18



도면19

