



(12) 发明专利

(10) 授权公告号 CN 101483194 B

(45) 授权公告日 2012. 08. 29

(21) 申请号 200810154762. 1

(22) 申请日 2008. 11. 10

(30) 优先权数据

113535/07 2007. 11. 08 KR

12/290, 742 2008. 11. 03 US

(73) 专利权人 三星电子株式会社

地址 韩国京畿道

(72) 发明人 孙龙勋 李钟昱

(74) 专利代理机构 北京市柳沈律师事务所

11105

代理人 张波

(51) Int. Cl.

H01L 29/792 (2006. 01)

H01L 29/788 (2006. 01)

H01L 27/115 (2006. 01)

H01L 21/8247 (2006. 01)

(56) 对比文件

US 2006186446 A1, 2006. 08. 24, 说明书第

22-32 段以及附图 1-5A.

CN 1868067 A, 2006. 11. 22, 全文.

US 2004238974 A1, 2004. 12. 02, 说明书第
46 段以及附图 3.

US 2002140032 A1, 2002. 10. 03, 说明书第
15 段以及附图 11.

审查员 穆堃

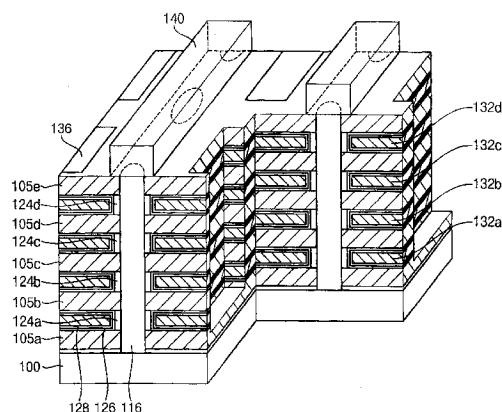
权利要求书 1 页 说明书 13 页 附图 29 页

(54) 发明名称

垂直型非易失性存储器器件及其制造方法

(57) 摘要

本发明公开了一种垂直型非易失性存储器器件及其制造方法。在该半导体器件及其制造方法中, 器件包括沿水平方向延伸的单晶半导体材料的衬底以及在该衬底上的多个层间电介质层。多个栅极图案被提供, 每个栅极图案在相邻下层间电介质层与相邻上层间电介质层之间。单晶半导体材料的垂直沟道沿垂直方向延伸穿过多个层间电介质层和栅极图案, 栅极绝缘层在每个栅极图案与垂直沟道之间并使栅极图案与垂直沟道绝缘。



1. 一种半导体器件,包括:
衬底,沿水平方向延伸;
所述衬底上的多个层间电介质层;
多个栅极图案,每个栅极图案在相邻下层间电介质层与相邻上层间电介质层之间;和
垂直沟道,沿垂直方向延伸穿过所述多个层间电介质层和所述多个栅极图案;栅极绝缘层,在每个栅极图案与所述垂直沟道之间,使所述栅极图案与所述垂直沟道绝缘;以及电荷俘获层,在每个相应的栅极图案与栅极绝缘层之间,所述电荷俘获层包括:在所述栅极图案与所述栅极绝缘层之间沿垂直方向延伸的第一部分;在所述栅极图案与所述相邻上层间电介质层之间沿水平方向延伸的第二部分;在所述栅极图案与所述相邻下层间电介质层之间沿水平方向延伸的第三部分。
2. 如权利要求 1 所述的半导体器件,其中所述衬底和所述垂直沟道包括单晶半导体材料。
3. 如权利要求 1 所述的半导体器件,其中所述电荷俘获层包括浮置栅极,该浮置栅极包括导电材料。
4. 如权利要求 1 所述的半导体器件,其中所述电荷俘获层包括浮置栅极,该浮置栅极包括半导体材料。
5. 如权利要求 1 所述的半导体器件,其中所述栅极绝缘层包括热氧化层。
6. 如权利要求 1 所述的半导体器件,其中:
所述多个栅极图案中的最上部的栅极图案包括上选择晶体管的上选择栅极;
所述多个栅极图案中的最下部的栅极图案包括下选择晶体管的下选择栅极;
所述多个栅极图案的在所述上选择栅极与所述下选择栅极之间的其余的栅极图案,包括所述半导体器件的共串的存储器单元晶体管的控制栅极;
连接布置在所述半导体器件的第一水平方向上共享器件的相同层的存储器单元晶体管的控制栅极,以提供所述半导体器件的字线;
所述半导体器件的共串的存储器单元晶体管通过所述垂直沟道串联耦接在一起;
连接垂直沟道的布置在所述半导体器件的第二水平方向上的上部,以提供所述半导体器件的位线;以及
所述半导体器件包括非易失性半导体存储器器件。
7. 如权利要求 1 所述的半导体器件,其中所述多个层间电介质层每个包括多层结构,该多层结构包括下绝缘层、中间绝缘层和上绝缘层,所述下绝缘层和所述上绝缘层包括相对于所述中间绝缘层具有蚀刻选择性的材料。

垂直型非易失性存储器器件及其制造方法

技术领域

[0001] 本发明涉及半导体器件及其制造方法,具体地涉及垂直型 (vertical-type) 非易失性存储器器件 (non-volatile memory device) 及其制造方法。

背景技术

[0002] 随着对高度集成电子装置的持续重视,对以更高的速度和更低的功率运行并具有增大的器件密度的半导体存储器器件存在持续的需求。为达到这一目的,已经发展了具有更小尺寸的器件和具有以水平和垂直阵列布置的晶体管单元的多层器件。

[0003] 在一种方法中,平面存储器单元 (例如 NAND 存储器单元) 形成在常规的水平阵列中。然后多个水平阵列在垂直方向上堆叠。由于在实现最小特征尺寸中对于每个层都需要临界光刻步骤,因此与此方法相关的局限性包括所得到的器件中可靠性低。此外,在这种构造中,用来驱动控制栅极的驱动晶体管的尺寸是层数的函数;因此,驱动晶体管的规模为层数的信数。这会导致集成化的问题和散热方面的问题。

[0004] 在另一种方法中,已经发展了具有垂直取向的沟道的多层存储器。在一个构造中,多个栅极层形成在衬底上,垂直沟道穿过该多个栅极层。在每个垂直沟道中,下栅极层构造为用作下选择栅极 (lower select gate),多个中间栅极层构造为用作控制栅极,上栅极层构造为用作上选择栅极 (upper select gate)。连接在第一水平方向上彼此相邻的上选择栅极以用作器件的行选择线。连接在第二水平方向上彼此相邻的垂直沟道以用作器件的位线 (bit line)。

[0005] 其他尝试垂直取向沟道的方法已经取得的成果有限。在一个构造中,在形成浮置栅极 (floating gate) 型非易失性存储器器件的尝试中,上选择栅极和下选择栅极的垂直边缘表面采用常规的氧化层与垂直沟道隔离,而中间栅极层的控制栅极的垂直边缘表面采用氧化层-氮化层-氧化层 (ONO) 型电荷俘获层 (charge trapping layer) 与垂直沟道隔离。然而,难以在此方法下实现浮置栅极。

[0006] 此外,其他的方法已经尝试了采用多晶硅垂直沟道区域的垂直取向沟道的方法。在多晶硅垂直沟道导线 (lead) 中的晶界与晶体缺陷相关,其会在所得到的结构中增大电阻并形成俘获位置。这会导致在所得到的器件中电阻增大,从而降低器件速度并增大器件功率消耗。

[0007] 此外,其他尝试垂直取向沟道的方法已经采用了 CVD 形成的隧穿氧化物形成 ONO 电荷俘获层的隧穿氧化层。以此方式形成的隧穿氧化物会随时间迅速退化,导致器件的可靠性低和耐久性差。

发明内容

[0008] 本发明的实施例涉及垂直型半导体存储器器件及其形成方法。具体地,在一些实施例中,采用了单晶垂直沟道。这降低了晶体缺陷的可能性,减少了俘获位置的数目,导致器件电阻减小,因此提高了速度并减少了功耗。此外,在一些实施例中,电荷俘获层形成

在垂直沟道的区域中围绕控制栅极,导致较简单且较可靠的器件形成。此外,在其他的实施例中,置于电荷俘获层与垂直沟道之间的隧穿氧化物由热氧化层形成,其更耐随时间的退化,导致器件的可靠性和耐久性改善。这也给设计者在实现所需的器件特性上提供了较大的灵活性。

[0009] 在一个方面中,半导体器件包括:单晶半导体材料的衬底,沿水平方向延伸;衬底上的多个层间电介质层;多个栅极图案,每个栅极图案在相邻下层间电介质层与相邻上层间电介质层之间;单晶半导体材料的垂直沟道,沿垂直方向延伸穿过多个层间电介质层和多个栅极图案;栅极绝缘层,在每个栅极图案与垂直沟道之间,该栅极绝缘层使栅极图案与垂直沟道绝缘。

[0010] 在一个实施例中,半导体器件还包括在每个相应栅极图案与栅极绝缘层之间的电荷俘获层,该电荷俘获层包括:在栅极图案与栅极绝缘层之间沿垂直方向延伸的第一部分;在栅极图案与相邻上层间电介质层之间沿水平方向延伸的第二部分;以及在栅极图案与相邻下层间电介质层之间沿水平方向延伸的第三部分。

[0011] 在另一个实施例中,电荷俘获层包括浮置栅极,该浮置栅极包括导电材料或半导体材料。

[0012] 在另一个实施例中,栅极绝缘层包括热氧化层。

[0013] 在另一个实施例中:多个栅极图案的最上部的栅极图案包括上选择晶体管的上选择栅极;多个栅极图案的最下部的栅极图案包括下选择晶体管的下选择栅极;多个栅极图案的在上选择栅极与下选择栅极之间的其余的栅极图案,包括半导体器件的共串(common string)的存储器单元晶体管的控制栅极;连接布置在半导体器件的第一水平方向上共享该器件的相同层的存储器单元晶体管的控制栅极以提供半导体器件的字线(word line);半导体器件的共串的存储器单元晶体管通过垂直沟道串联耦接在一起;连接垂直沟道的布置在半导体器件的第二水平方向上的上部以提供半导体器件的位线;半导体器件包括半导体存储器器件。

[0014] 在另一个实施例中,多个层间电介质层每个包括多层结构,该多层结构包括下绝缘层、中间绝缘层和上绝缘层,下绝缘层和上绝缘层包括相对于中间绝缘层具有蚀刻选择性的材料。

[0015] 另一方面,半导体器件包括:衬底,沿水平方向延伸;衬底上的多个层间电介质层;多个栅极图案,每个栅极图案在相邻下层间电介质层与相邻上层间电介质层之间;垂直沟道,沿垂直方向延伸穿过多个层间电介质层和栅极图案;栅极绝缘层,在每个栅极图案与垂直沟道之间,使栅极图案与垂直沟道绝缘;电荷俘获层,在每个相应的栅极图案与栅极绝缘层之间,该电荷俘获层包括:在栅极图案与栅极绝缘层之间沿垂直方向延伸的第一部分;在栅极图案与相邻上层间电介质层之间沿水平方向延伸的第二部分;在栅极图案与相邻下层间电介质层之间沿水平方向延伸的第三部分。

[0016] 在一个实施例中,衬底和垂直沟道包括单晶半导体材料。

[0017] 在另一个实施例中,电荷俘获层包括浮置栅极,该浮置栅极包括导电材料或半导体材料。

[0018] 在另一个实施例中,栅极绝缘层包括热氧化层。

[0019] 在另一个实施例中,多个栅极图案的最上部的栅极图案包括上选择晶体管的上选

择栅极；多个栅极图案的最下部的栅极图案包括下选择晶体管的下选择栅极；多个栅极图案的在上选择栅极与下选择栅极之间的其余的栅极图案，包括半导体器件的共串的存储器单元晶体管的控制栅极；连接布置在半导体器件的第一水平方向上共享器件的相同层的存储器单元晶体管的控制栅极，以提供半导体器件的字线；半导体器件的共串的存储器单元晶体管通过垂直沟道串联耦结在一起；连接垂直沟道的布置在半导体器件的第二水平方向上的上部，以提供半导体器件的位线；该半导体器件包括非易失性半导体存储器器件。

[0020] 在另一个实施例中，多个层间电介质层每个包括多层结构，该多层结构包括下绝缘层、中间绝缘层和上绝缘层，下绝缘层和上绝缘层包括相对于中间绝缘层具有蚀刻选择性的材料。

[0021] 另一方面，半导体器件包括：衬底，沿水平方向延伸；衬底上的多个层间电介质层；多个栅极图案，每个栅极图案在相邻下层间电介质层与相邻上层间电介质层之间；垂直沟道，沿垂直方向延伸穿过多个层间电介质层和栅极图案；包括热氧化层的栅极绝缘层，在每个栅极图案与垂直沟道之间，该栅极绝缘层使栅极图案与垂直沟道绝缘。

[0022] 在一个实施例中，衬底和垂直沟道包括单晶半导体材料。

[0023] 在另一个实施例中，半导体器件还包括在每个相应的栅极图案与栅极绝缘层之间的电荷俘获层，该电荷俘获层包括：在栅极图案与栅极绝缘层之间沿垂直方向延伸的第一部分；在栅极图案与相邻上层间电介质层之间沿水平方向延伸的第二部分；在栅极图案与相邻下层间电介质层之间沿水平方向延伸的第三部分。

[0024] 在另一个实施例中，电荷俘获层包括浮置栅极，该浮置栅极包括导电材料或半导体材料。

[0025] 在另一个实施例中，多个栅极图案的最上部的栅极图案包括上选择晶体管的上选择栅极；多个栅极图案的最下部的栅极图案包括下选择晶体管的下选择栅极；多个栅极图案的在上选择栅极与下选择栅极之间的其余的栅极图案，包括半导体器件的共串存储器单元晶体管的控制栅极；连接布置在半导体器件的第一水平方向上共享器件的相同层的存储器单元晶体管的控制栅极，以提供半导体器件的字线；半导体器件的共串的存储器单元晶体管通过垂直沟道串联耦接在一起；连接垂直沟道的布置在半导体器件的第二水平方向上的上部，以提供半导体器件的位线；该半导体器件包括半导体存储器器件。

[0026] 在另一个实施例中，多个层间电介质层每个包括多层结构，该多层结构包括下绝缘层、中间绝缘层和上绝缘层，下绝缘层和上绝缘层包括相对于中间绝缘层具有蚀刻选择性的材料。

[0027] 在另一个方面中，制造半导体器件的方法包括：提供单晶半导体材料的衬底，该衬底沿水平方向延伸；在衬底上提供多个层间电介质层；提供多个栅极图案，每个栅极图案在相邻下层间电介质层与相邻上层间电介质层之间；提供单晶半导体材料的垂直沟道，该垂直沟道沿垂直方向延伸穿过多个层间电介质层和栅极图案；以及提供在每个栅极图案与垂直沟道之间的栅极绝缘层，该栅极绝缘层使栅极图案与垂直沟道绝缘。

[0028] 在一个实施例中，该方法还包括在每个相应的栅极图案与栅极绝缘层之间提供电荷俘获层，该电荷俘获层包括：在栅极图案与栅极绝缘层之间沿垂直方向延伸的第一部分；在栅极图案与相邻上层间电介质层之间沿水平方向延伸的第二部分；在栅极图案与相邻下层间电介质层之间沿水平方向延伸的第三部分。

[0029] 在另一个实施例中,电荷俘获层包括浮置栅极,该浮置栅极包括导电材料或半导体材料。

[0030] 在另一个实施例中,提供栅极绝缘层包括提供热氧化层。

[0031] 在另一个实施例中,多个栅极图案的最上部的栅极图案包括上选择晶体管的上选择栅极;多个栅极图案的最下部的栅极图案包括下选择晶体管的下选择栅极;多个栅极图案的在上选择栅极与下选择栅极之间的其余的栅极图案,包括半导体器件的共串的存储器单元晶体管的控制栅极;连接布置在半导体器件的第一水平方向上共享器件的相同层的存储器单元晶体管的控制栅极,以提供半导体器件的字线,还包括:将半导体器件的共串的存储器单元晶体管串联耦接在一起;以及连接垂直沟道的布置在半导体器件的第二水平方向上的上部,以提供半导体器件的位线;其中半导体器件包括半导体存储器器件。

[0032] 在另一个实施例中,提供多个层间电介质层的每个包括提供多层结构,该多层结构包括下绝缘层、中间绝缘层和上绝缘层,下绝缘层和上绝缘层包括相对于中间绝缘层具有蚀刻选择性的材料。

[0033] 另一方面,形成半导体器件的方法包括:提供沿水平方向延伸的衬底;在衬底上提供多个层间电介质层;提供多个栅极图案,每个栅极图案在相邻下层间电介质层与相邻上层间电介质层之间;提供垂直沟道,该垂直沟道沿垂直方向延伸穿过多个层间电介质层和栅极图案;提供在每个栅极图案与垂直沟道之间的栅极绝缘层,该栅极绝缘层使栅极图案与垂直沟道绝缘;以及在每个相应的栅极图案与栅极绝缘层之间提供电荷俘获层,该电荷俘获层包括:在栅极图案与栅极绝缘层之间沿垂直方向延伸的第一部分;在栅极图案与相邻上层间电介质层之间沿水平方向延伸的第二部分;在栅极图案与相邻下层间电介质层之间沿水平方向延伸的第三部分。

[0034] 在一个实施例中,提供衬底包括提供包括单晶半导体材料的衬底,其中提供垂直沟道包括提供包括单晶半导体材料的垂直沟道。

[0035] 在另一个实施例中,电荷俘获层包括浮置栅极,该浮置栅极包括导电材料或半导体材料。

[0036] 在另一个实施例中,提供栅极绝缘层包括提供热氧化层。

[0037] 在另一个实施例中,多个栅极图案的最上部的栅极图案包括上选择晶体管的上选择栅极;多个栅极图案的最下部的栅极图案包括下选择晶体管的下选择栅极;多个栅极图案的在上选择栅极与下选择栅极之间的其余的栅极图案,包括半导体器件的共串的存储器单元晶体管的控制栅极;连接布置在半导体器件的第一水平方向上共享器件的相同层的存储器单元晶体管的控制栅极,以提供半导体器件的字线,还包括:将半导体器件的共串的存储器单元晶体管串联耦接在一起;以及连接垂直沟道的布置在半导体器件的第二水平方向上的上部,以提供半导体器件的位线,其中半导体器件包括非易失性半导体存储器器件。

[0038] 在另一个实施例中,提供多个层间电介质层的每个包括提供多层结构,其包括下绝缘层、中间绝缘层和上绝缘层,下绝缘层和上绝缘层包括相对于中间绝缘层具有蚀刻选择性的材料。

[0039] 另一方面,形成半导体器件的方法包括:提供沿水平方向延伸的衬底;在衬底上提供多个层间电介质层;提供多个栅极图案,每个栅极图案在相邻下层间电介质层与相邻上层间电介质层之间;提供垂直沟道,沿垂直方向延伸穿过多个层间电介质层和栅极图案;

以及每个栅极图案与垂直沟道之间提供包括热氧化层的栅极绝缘层,该栅极绝缘层使栅极图案与垂直沟道绝缘。

[0040] 在一个实施例中,提供衬底包括提供包括单晶半导体材料的衬底,提供垂直沟道包括提供包括单晶半导体制料的垂直沟道。

[0041] 在另一个实施例中,该方法还包括在每个相应的栅极图案与栅极绝缘层之间提供电荷俘获层,该电荷俘获层包括:在栅极图案与栅极绝缘层之间沿垂直方向延伸的第一部分;在栅极图案与相邻上层间电介质层之间沿水平方向延伸的第二部分;在栅极图案与相邻下层间电介质层之间沿水平方向延伸的第三部分。

[0042] 在另一个实施例中,电荷俘获层包括浮置栅极,该浮置栅极包括导电材料或半导体材料。

[0043] 在另一个实施例中,多个栅极图案的最上部的栅极图案包括上选择晶体管的上选择栅极;多个栅极图案中的下栅极图案包括下选择晶体管的下选择栅极;多个栅极图案的在上选择栅极与下选择栅极之间的其余的栅极,包括半导体器件的共串的存储器单元晶体管的控制栅极;连接布置在半导体器件的第一水平方向上共享器件相同层的存储器单元晶体管的控制栅极,以提供半导体器件的字线,还包括:将半导体器件的共串的存储器单元晶体管串联耦接在一起;以及连接垂直沟道的在半导体器件的第二水平方向上的上部,以提供半导体器件的位线,其中半导体器件包括半导体存储器器件。

[0044] 在另一个实施例中,提供多个层间电介质层的每个包括提供多层结构,该多层结构包括下绝缘层、中间绝缘层和上绝缘层,下绝缘层和上绝缘层包括相对于中间绝缘层具有蚀刻选择性的材料。

附图说明

[0045] 如附图所示,本发明实施例的前述和其他的目的、特征以及优点将从对本发明优选实施例的更具体的描述中变得明显,附图中相同的附图标记在不同的视图指代相同的部分。附图不一定按比例绘制,而是重在阐述本发明的原理。附图中:

[0046] 图 1 是根据本发明实施例的垂直沟道存储器器件的剖面图。图 2 是根据本发明一实施例的垂直沟道存储器器件的一个器件的沟道区域的特写视图。

[0047] 图 3A 到图 3P 是根据本发明实施例形成垂直沟道存储器器件的方法的剖面图。

[0048] 图 4 是根据本发明另一实施例的垂直沟道存储器器件的剖面图。

[0049] 图 5A 到图 5L 是根据本发明另一实施例形成垂直沟道存储器器件的方法的剖面图。

[0050] 图 6 是根据本发明另一实施例的垂直沟道存储器器件的剖面图,示出将器件的单元区域置于器件的外围电路区域上。

[0051] 图 7A 到图 7E 是根据本发明另一实施例形成图 6 的垂直沟道存储器器件的方法的剖面图,示出了在器件的外围电路区域上形成器件的单元区域。

[0052] 图 8 是根据本发明另一实施例的垂直沟道存储器器件的剖面图,示出了将器件的单元区域置于器件的外围电路区域上。

[0053] 图 9 是根据本发明实施例的形成垂直沟道存储器器件的方法的剖面图,其中该垂直沟道由使用选择外延生长(SEG)形成的单晶半导体材料形成。

[0054] 图 10 是根据本发明示范性实施例的非易失性存储器的方框图。

[0055] 图 11 是包括根据本发明示范性实施例的半导体存储器的系统的方框图。

具体实施方式

[0056] 下文将参照附图更充分地描述本发明的实施例，本发明的优选实施例在附图中示出。然而，本发明可以以不同的方式实施，而不应被解释为仅限于此处所述的实施例。在整个说明书中相同的附图标记始终指代相同的元件。

[0057] 应当理解，虽然这里可使用术语第一、第二等描述各种元件，但这些元件不应受限于这些术语。这些术语用于使一个元件区别于另一个元件。例如，第一元件可以称为第二元件，类似地，第二元件可以称为第一元件，而不背离本发明的范围。如此处所用的，术语“和 / 或”包括一个或多个所列相关项目的任意及所有组合。

[0058] 应当理解，当称一个元件在另一元件“上”、“连接到”或“耦合到”另一元件时，它可以直接在另一元件上或者连接到或耦合到另一元件，或者还可以存在插入的元件。相反，当称一个元件“直接在”另一元件上或者“直接连接到”或“直接耦合到”另一元件时，不存在插入的元件。其他的用于描述元件之间关系的词语应当以类似的方式解释（例如，“在... 之间”相对于“直接在... 之间”、“相邻”相对于“直接相邻”等）。这里当称一个元件在另一元件上时，它可以在另一元件上或下，直接耦合到另一元件，或者可以存在插入的元件，或者元件可以通过空隙或间隙分隔开。

[0059] 这里所用的术语仅仅是为了描述特定实施例，并非要限制本发明。如此处所用的，除非上下文另有明确表述，否则单数形式“一 (a)”、“一 (an)”和“该 (the)”均同时旨在包括复数形式。还应当理解，术语“包括 (comprise)”、“包括 (comprising)”、“包括 (include)”和 / 或“包括 (including)”，当在此处使用时，指定了所述特征、整体、步骤、操作、元件和 / 或组件的存在，但并不排除一个或多个其他的特征、整体、步骤、操作、元件、组件和 / 或其组合的存在或添加。

[0060] 图 1 是根据本发明实施例的垂直沟道存储器器件的剖面图。图 2 是根据本发明实施例的垂直沟道存储器器件的一个器件的沟道区域的特写视图。

[0061] 参照图 1，在此示例中，提供了单晶半导体材料的衬底 100。在不同的实施例中，衬底可以包括体单晶材料、单晶 SOI 结构或其他适合的衬底结构。衬底 100 沿水平方向延伸。可选的焊垫氧化层 102 在衬底 100 上。多个层间电介质层 105a、105b、105c、105d... 设置在焊垫氧化层 102 上。设置多个栅极图案 132a、132b、132c、132d，每个栅极图案在相邻下层间电介质层 105a、105b、105c、105d... 与相邻上层间电介质层 105a、105b、105c、105d... 之间。例如，栅极图案 132a 在相邻下层间电介质层 105a 与相邻上层间电介质层 105b 之间，栅极图案 132b 在相邻下层间电介质层 105b 与相邻上层间电介质层 105c 之间，栅极图案 132c 在相邻下层间电介质层 105c 与相邻上层间电介质层 105d 之间等等。

[0062] 单晶半导体材料的垂直沟道 116 沿垂直方向延伸穿过多个层间电介质层 105a、105b、105c、105d... 和多个栅极图案 132a、132b、132c、132d...。垂直沟道 116 被每个栅极图案 132a、132b、132c、132d... 围绕。例如，栅极图案 132a 围绕或包围垂直沟道 116 的侧壁的最下部的周围。其他的栅极图案 132b、132c、132d... 也一样。栅极绝缘层 124a、124b、124c、124d... 设置在每个栅极图案 132a、132b、132c、132d... 与垂直沟道 116 之间。栅极

绝缘层使栅极图案 132a、132b、132c、132d... 与垂直沟道 116 绝缘。在一个实施例中,栅极绝缘层 124a、124b、124c、124d... 包括热氧化层。

[0063] 在垂直沟道存储器器件包括非易失性存储器器件的示例中,电荷俘获层 126 设置在每个相应的栅极图案 132a、132b、132c、132d... 与栅极绝缘层 124a、124b、124c、124d... 之间。参照图 2,在一个实施例中,电荷俘获层包括:第一部分 127a,在栅极图案 132a 与栅极绝缘层 124a 之间沿垂直方向延伸;第二部分 127b,在栅极图案 132a 与相邻上层间电介质层 105b 之间沿水平方向延伸;以及第三部分 127c,在栅极图案 132a 与相邻下层间电介质层 105a 之间沿水平方向延伸。由绝缘材料形成的阻挡层 128 在电荷俘获层 126 与栅极图案 132a、132b、132c、132d... 之间。

[0064] 在不同的实施例中,电荷俘获层 126 为包括导电材料或半导体材料的浮置栅极的形式。可选地,电荷俘获层 126 可以包括 ONO、氮化物、多晶硅或量子点结构。

[0065] 在一个实施例中,在根据本发明实施例构造的半导体存储器器件中,多个栅极图案中的最上部的栅极图案(例如栅极图案 132d)包括上选择晶体管的上选择栅极;多个栅极图案中的最下部的栅极图案(例如下栅极图案 132a)包括下选择晶体管的下选择栅极。多个栅极图案的在上选择栅极 132d 与下选择栅极 132a 之间的其余的栅极图案(例如栅极图案 132b、132c)包括半导体器件的共串的存储器单元晶体管的控制栅极。连接布置在半导体器件的第一水平方向上共享器件的相同层的存储器单元晶体管的控制栅极,以提供半导体器件的字线。半导体器件的共串的存储器单元晶体管通过垂直沟道 116 串联耦接在一起。连接垂直沟道 116 的布置在半导体器件的第二水平方向上的上部,以提供半导体器件的位线 140。尽管清楚地示出本发明的实施例的目的,此示例在每个垂直沟道中只示出了两个存储器单元晶体管,但本发明的实施例不限于此,可以在每个垂直沟道中包括至少一个存储器单元晶体管,也可以在垂直沟道中包括应用所需的多个存储器单元晶体管,例如两个、四个、八个、十六个或三十二个晶体管。

[0066] 在一些实施例中,如下面将结合图 4 和图 5A-5L 描述的,多个层间电介质层的每个包括多层结构 205,多层结构 205 包括下绝缘层 205a、中间绝缘层 205b 和上绝缘层 205c,下绝缘层 205a 和上绝缘层 205c 包括相对于中间绝缘层 205b 具有蚀刻选择性的材料。

[0067] 图 3A-3P 是根据本发明实施例的垂直沟道存储器器件的形成方法的剖面图。

[0068] 参照图 3A,制备衬底 100。在一个实施例中,衬底 100 包括单晶半导体材料衬底,该衬底为以后的单晶垂直沟道 116 的形成提供籽晶层。可选的焊垫氧化层 102 设置在衬底 100 的上表面上。多个交替的层间电介质层 104a、104b、104c、104d、104e... 和牺牲层 106a、106b、106c、106d、106e... 形成在焊垫氧化层 102 上。在一个实施例中,层间电介质层 104 和牺牲层 106 具有相对于彼此的蚀刻选择性。例如,层间电介质层 104 可以包括氮化硅,牺牲层 106 可以包括氧化硅。可选地,层间电介质层 104 可以包括氧化硅,牺牲层 106 可以包括氮化硅。在一个实施例中,牺牲层 106 由可通过湿法蚀刻工艺容易去除的材料形成。

[0069] 参照图 3B,如所示出的,第一开口 110 形成为在垂直方向上穿过层间电介质层 104、牺牲层 106 和焊垫氧化层 102 并在水平方向上间隔开。第一开口 110 暴露下面的衬底 100 的上部。

[0070] 参照图 3C,第一多晶硅层 112 或第一非晶硅层 112 形成在第一开口 110 中,并与衬底 100 的暴露的上部接触。在一个实施例中,第一多晶硅层 112 或第一非晶硅层 112 可以

通过化学气相沉积 (CVD) 工艺形成 ;然而,也可以使用其他适于形成第一多晶硅层 112 或第一非晶硅层 112 的工艺。在一个实施例中,第一多晶硅层 112 或第一非晶硅层 112 可以在此阶段用杂质掺杂,例如用 n 型杂质掺杂。

[0071] 参照图 3D,对第一多晶硅层 112 或第一非晶硅层 112 施加热处理以将该层转变成单晶硅图案 114,单晶硅图案 114 具有与下面的衬底 100 的晶向相同的晶向。在一个示例性实施例中,如本领域所公知的,热处理可以采取激光诱导外延生长 (LEG) 工艺的形式以获得单晶硅图案 114。

[0072] 参照图 9,在一个可选的实施例中,单晶硅图案 114-1 可以采用选择外延生长 (SEG) 工艺在图 3B 的开口 110-1 中从衬底 100 的上表面生长。采用暴露的衬底区域 100 作为籽晶层进行 SEG 工艺。暴露的衬底区域 100 可以包括半导体材料,例如单晶半导体材料。

[0073] 参照图 3E,可以对最上部的牺牲层 106e 进行可选的化学机械抛光 (CMP) 工艺,以暴露下面的最上部的层间电介质层 104e。可以在此步骤期间去除单晶硅图案 114 的上部。

[0074] 参照图 3F,多个第二开口 120 在相邻单晶硅图案 114 之间形成,从而形成层间电介质层图案 105a、105b、105c、105d、105e... 和牺牲层图案 107a、107b、107c、107d...。在一个实施例中,第二开口 120 暴露最下部的层间电介质层图案 105a。该步骤允许通向所得到的存储器器件的控制栅极和浮置栅极将沿所得到的垂直沟道形成的区域。

[0075] 参照图 3G,牺牲层图案 107a、107b、107c、107d... 通过湿法蚀刻工艺去除。在牺牲层图案 107a、107b、107c、107d... 由氮化硅形成的示例中,湿法蚀刻工艺的蚀刻剂可以包括 HF 溶液。所得到的凹形开口 (concave opening) 122 环绕单晶硅图案 114 的侧壁以在其所有的侧面暴露侧壁。图 3H 是所得结构的透视图。

[0076] 参照图 3I,杂质掺杂 121 可以在单晶硅图案 114 的暴露侧壁处进行。例如,可以在暴露侧壁进行 p 型杂质的注入。可以采用等离子体掺杂 (PLAD) 工艺来进行注入。

[0077] 如上面结合图 3C 所述,假设单晶硅图案 114 的主体 (body) 用 n 型杂质掺杂,p 型掺杂区形成在单晶硅图案 114 中暴露侧壁处,这建立了所得到的垂直沟道 116 的 p 型沟道区 117a,p 型沟道区 117a 位于垂直沟道 116 的 n 型源极 / 漏极区 117b 之间,如图 2 的特写视图所示。由于层间电介质层图案 105a、105b、105c、105d、105e 的各自的位置,p 型沟道区 117a 在垂直沟道 116 中是“自对准的”。尽管 p 型沟道区 117b 在图 2 的特写视图中示出为延伸穿过垂直沟道的整个主体,但在其他的实施例中,p 型沟道区 117b 仅从垂直沟道 116 的表面稍微地延伸到垂直沟道 116 的主体内。

[0078] 参照图 3J,隧穿氧化层 124a、124b、124c、124d... 形成在所得到的垂直沟道 116 的暴露侧壁。隧穿氧化层 124a、124b、124c、124d... 围绕垂直沟道,例如在垂直沟道 116 的横截面是圆形的情况下,隧穿氧化层 124a、124b、124c、124d... 是环形的。在一个实施例中,隧穿氧化层 124a、124b、124c、124d... 采用热氧化工艺形成。采用热氧化工艺形成的隧穿氧化层更耐随时间的退化,导致器件的稳定性和耐久性改善。

[0079] 参照图 3K,电荷俘获层 126 涂敷到包括层间电介质层图案 105a、105b、105c、105d、105e... 和隧穿氧化层 124a、124b、124c、124d... 的所得到的结构,覆盖凹形开口 122 的侧壁。在不同的实施例中,电荷俘获层 126 可以是浮置栅极结构,例如包括多晶硅材料。在其他的实施例中,电荷俘获层 126 可以包括 ONO 结构、氮化物结构、多晶硅结构或量子点结构。由于通路 (access) 在隧穿氧化层 124a、124b、124c、124d... 之后在凹形开口 122 处获得,

所以在本发明的实施例中浮置栅极电荷俘获层 126 是可以的。

[0080] 阻挡绝缘层 128 形成在所得结构上,覆盖电荷俘获层 126。在一个示例性实施例中,阻挡氧化层 128 包括氧化硅或其他合适的高 k 氧化层。

[0081] 参照图 3L,提供导电材料以填充第二开口 120,包括凹形开口 122,导致导电图案 130 的形成。在一个实施例中,导电材料包括硅化钨。

[0082] 参照图 3M,导电图案 130 的中部被蚀刻,形成第三开口 134,第三开口 134 暴露最下面的层间电介质层 105a 的表面并暴露层间电介质层图案 105a、105b、105c、105d、105e... 的外侧壁。这将导电图案 130 的填充凹形开口 122 的部分分隔成栅极图案 132a、132b、132c、132d...,并将电荷俘获层分隔成单独的电荷俘获层图案。图 3N 是所得结构的透视图。

[0083] 参照图 3O,第三开口 134 用绝缘图案 136 填充。

[0084] 参照图 3P,导电位线 140 被形成并图案化,以在半导体器件的第二水平方向上连接相邻垂直沟道 116,如上面结合图 1 所述。

[0085] 图 4 是根据本发明另一实施例的垂直沟道存储器器件的剖面图。此实施例在构造上与上面结合图 1、2、3A-3P 示出和描述的实施例基本相同。而区别在于,本实施例的层间电介质层图案 202、205、207、209、211 由多层形成,而不是单层。

[0086] 参照图 4,在此实施例中,提供单晶半导体材料的衬底 200。衬底 200 沿水平方向延伸。多个层间电介质层图案 202、205、207、209、211... 设置在衬底 200 上。提供多个栅极图案 258a、258b、258c、258d...,每个栅极图案在相邻下层间电介质层图案 202、205、207、209、211... 与相邻上层间电介质层图案 202、205、207、209、211... 之间。

[0087] 单晶半导体材料的垂直沟道 230 沿垂直方向延伸穿过多个层间电介质层图案 202、205、207、209、211... 和多个栅极图案 258a、258b、258c、258d...。垂直沟道 230 被每个栅极图案 258a、258b、258c、258d... 环绕。栅极绝缘层 238a、238b、238c、238d... 设置在每个栅极图案 258a、258b、258c、258d... 与垂直沟道 230 之间。栅极绝缘层 238a、238b、238c、238d... 使相应的栅极图案 258a、258b、258c、258d... 与垂直沟道 230 绝缘。在一个实施例中,如以上所述,栅极绝缘层 238a、238b、238c、238d... 包括热氧化层。

[0088] 在垂直沟道存储器器件包括非易失性存储器器件的示例中,电荷俘获层 250 设置在每个相应的栅极图案 258a、258b、258c、258d... 与栅极绝缘层 238a、238b、238c、238d... 之间。如上面结合图 2 的特写视图所述,在一个实施例中,电荷俘获层 250 可以包括:第一部分 127a,在栅极图案 132a 与栅极绝缘层 124a 之间沿垂直方向延伸;第二部分 127b,在栅极图案 132a 与相邻上层间电介质层 105b 之间沿水平方向延伸;以及第三部分 127c,在栅极图案 132a 与相邻下层间电介质层 105a 之间沿水平方向延伸。由绝缘材料形成的阻挡层 252 在电荷俘获层 250 与栅极图案 258a、258b、258c、258d... 之间。

[0089] 在不同的实施例中,电荷俘获层 250 为包括导电材料或半导体材料的浮置栅极的形式。可选地,电荷俘获层可以包括 ONO、氮化物、多晶硅或量子点结构。

[0090] 在实施例中,在根据本发明实施例构造的半导体存储器器件中,多个栅极图案的最上部的栅极图案(例如栅极图案 258d)包括上选择晶体管的上选择栅极;多个栅极图案的最下部的栅极图案(例如下栅极图案 258a)包括下选择晶体管的下选择栅极。多个栅极图案的在上选择栅极 258d 与下选择栅极 258a 之间的其余的栅极图案(例如栅极图案

258b、258c) 包括半导体器件的共串的存储器单元晶体管的控制栅极。连接布置在半导体器件的第一水平方向上的共享器件的相同层的存储器单元晶体管的控制栅极, 以提供半导体器件的字线。半导体器件的共串的存储器单元晶体管通过垂直沟道 230 串联耦接在一起。连接垂直沟道 230 的布置在半导体器件的第二水平方向上的上部, 例如通过线 262 以提供半导体器件的位线。如上所述, 尽管处于清楚地描述本发明的实施例的目的, 此示例在每个垂直沟道中只示出了两个存储器单元晶体管, 但本发明的实施例不限于此, 可以在每个垂直沟道中包括少至一个存储器单元晶体管, 也可以在垂直沟道中包括应用所需的多个存储器单元晶体管, 例如两个、四个、八个、十六个或三十二个晶体管。

[0091] 图 5A 到图 5L 是根据本发明另一实施例形成垂直沟道存储器器件的方法的剖面图。

[0092] 参照图 5A, 制备衬底 200。在一个实施例中, 衬底 200 包括单晶半导体材料衬底, 该衬底为后面形成单晶垂直沟道 230 提供籽晶层。多个交替的层间电介质层 202、204、206、208、210... 和牺牲层 212、214、216、218... 形成在衬底 200 上。在本实施例中, 层间电介质层 202、204、206、208、210... 每个包括多层结构。例如, 最下部的层间电介质层 202 包括下绝缘层 202a (包括氧化硅) 和上层间电介质层 (包括氮化硅)。类似地, 最上部的层间电介质层 210 包括下绝缘层 202a (包括氮化硅) 和上层间电介质层 (包括氧化硅)。最下部的层间电介质层 202 与最上部的层间电介质层 210 之间的层间电介质层 (包括层间电介质层 204、206、208) 每个包括下绝缘层 204a、206a、208a (包括氮化硅) 和中间绝缘层 204b、206b、208b (包括氧化硅) 以及上绝缘层 204c、206c、208c (包括氮化硅)。这样, 下绝缘层和上绝缘层包括相对于中间绝缘层具有蚀刻选择性的材料。在此实施例中, 牺牲层 212、214、216、218... 可以包括相对于氧化硅和氮化硅都具有蚀刻选择性的材料, 例如多晶硅锗。这样, 牺牲层 212、214、216、218... 可以在随后的制造步骤期间通过湿法蚀刻工艺容易地去除。

[0093] 参照图 5B, 如所示出的, 第一开口 220 形成为在垂直方向上穿过层间电介质层 202、204、206、208、210... 和牺牲层 212、214、216、218..., 并在水平方向上间隔开。第一开口 220 暴露下面的衬底 100 的上部以提供图案化的所得到的结构 224。

[0094] 参照图 5C, 氧化硅间隔物 238 形成在所得到的结构 224 的第一开口 220 的内侧壁上。间隔物 238 促进采用 LEG 形成工艺的单晶硅垂直沟道的基本均匀的生长, 或者促进采用 SEG 形成工艺的单晶硅垂直沟道的基本均匀的生长, 如以上所述。间隔物防止在单晶硅中形成晶体缺陷, 否则该晶体缺陷可能被引入到所得到的结构 224 中的任一氧化物-氮化物界面处。

[0095] 参照图 5D, 第一多晶硅层 228 或第一非晶硅层 228 形成在第一开口 220 中, 并与衬底 200 的暴露的上部接触。在一个实施例中, 第一多晶硅层 228 或第一非晶硅层 228 可以通过化学气相沉积 (CVD) 工艺形成; 然而, 可以采用其他适于形成第一多晶硅层 228 或第一非晶硅层 228 的工艺。在一个实施例中, 第一多晶硅层 228 或第一非晶硅层 228 可以在此阶段用杂质掺杂, 例如用 n 型杂质掺杂。

[0096] 参照图 5E, 对第一多晶硅层 228 或第一非晶硅层 228 进行热处理以将该层转变成单晶硅图案 230, 单晶硅图案 230 具有与下面的衬底 200 的晶向相同的晶向。在一个示例性实施例中, 热处理可以采取激光诱导外延生长 (LEG) 工艺的形式以获得单晶硅图案 230, 如

本领域所公知的。

[0097] 在可选的实施例中,单晶硅图案 230 可以采用选择外延生长 (SEG) 工艺在图 5C 的开口 220 中从衬底 200 的上表面生长。

[0098] 参照图 5F,可以对所得到的结构的上表面进行可选的化学机械抛光 (CMP) 工艺以去除并平坦化单晶硅图案 230 的上部。然后多个第二开口 232 形成在相邻单晶硅图案 230 之间,从而形成层间电介质层图案 205a、205b、205c、205d、205e... 和相应的牺牲层图案。在一个实施例中,第二开口 232 暴露最下部的层间电介质层图案 202。此步骤允许通路到所得到的存储器器件的控制栅极和浮置栅极将沿垂直沟道 230 形成的区域。然后通过湿法蚀刻工艺去除牺牲层图案 212、214、216、218...。在牺牲层图案 212、214、216、218... 由多晶硅锗形成的示例中,湿法蚀刻工艺的蚀刻剂可以包括氧化剂 A/HF 混合溶液。

[0099] 所得到的凹形开口 234 环绕单晶硅图案 230 的侧壁,从而在其所有的侧面暴露间隔物 238。参照图 5G,接着去除间隔物 238 的暴露部分,例如采用湿法蚀刻工艺。在间隔物包括氧化硅的实施例中,湿法蚀刻工艺的蚀刻剂可以包括 HF 溶液。

[0100] 此时,如上面结合图 3I 所述,可以对单晶硅图案 230 的暴露侧壁进行杂质掺杂。由于层间电介质层图案 205a、205b、205c、205d、205e... 的各自的位置,所得到的沟道区域在垂直沟道 230 中是“自对准的”。

[0101] 参照图 5H,隧穿氧化层 238a、238b、238c、238d... 形成在所得到的垂直沟道 230 的暴露侧壁。隧穿氧化层 238a、238b、238c、238d... 围绕垂直沟道,例如在垂直沟道 230 的横截面是圆形的情况下,隧穿氧化层 238a、238b、238c、238d... 是环形的。在一个实施例中,隧穿氧化层 238a、238b、238c、238d... 采用热氧化工艺形成。采用热氧化工艺形成的隧穿氧化层更耐随时间的退化,导致器件的稳定性和耐久性改善。

[0102] 参照图 5I,电荷俘获层 250 涂敷到包括层间电介质层图案 205、207、209、211... 和隧穿氧化层 238a、238b、238c、238d... 的所得到的结构,覆盖凹形开口 234 的侧壁。

[0103] 在不同的实施例中,电荷俘获层 250 可以是浮置栅极结构,例如包括多晶硅材料。在其他的实施例中,电荷俘获层 250 可以包括 ONO(氧化物-氮化物-氧化物)结构。也可以采用其他的电荷俘获层 250 结构,包括氮化物、多晶硅或量子点结构,或者其他可应用的电荷俘获结构。因为通路在隧穿氧化层 238a、238b、238c、238d... 之后在凹形开口 234 处得到,所以在本发明实施例中浮置栅极电荷俘获层 250 是可以的。阻挡绝缘层 252 形成在所得到的结构上,覆盖电荷俘获层 250。在一个示例性实施例中,阻挡氧化层 252 包括氧化硅,或其他合适的高 k 氧化层。提供导电材料填充第二开口 232,包括凹形开口 234,导致导电图案 254 的形成。在一个实施例中,导电材料包括硅化钨。

[0104] 参照图 5J,导电图案 254 的中部被蚀刻,形成暴露最下部的层间电介质层 202 的表面以及层间电介质层图案 205、207、209、211... 的外侧壁的第三开口 256。这将导电图案 254 的填充凹形开口 234 的部分分隔成栅极图案 258a、258b、258c、258d...,并将电荷俘获层分隔成单独的电荷俘获层图案 250。

[0105] 参照图 5K,第三开口 256 用绝缘图案 260 填充。

[0106] 参照图 5L,导电位线 262 被形成并图案化,以在半导体器件的第二水平方向上连接相邻垂直沟道 230,如上面结合图 1 所述。

[0107] 图 6 是根据本发明另一实施例的垂直沟道存储器器件的剖面图,示出了将器件的

单元区域置于器件的外围电路区域上。参照图 6, 单元结构 334 形成在器件的外围电路区域 320 上。在此实施例中, 多个外围电路晶体管 316 设置在衬底 300 上。第一层间电介质 (ILD) 层 318 在外围电路晶体管上, 第一层间接触 320 将下面的晶体管 316 与形成在第一 ILD 层 318 上的导电通路 (conductive via) 322 连接。类似地, 提供第二 ILD 层 324、第三 ILD 层 330 和相应的第二层间接触 326 以及第二导电通路和第三导电通路 322, 以在单元结构 334 与外围电路区域 302 之间传递信号。

[0108] 包括上面结合图 1、2 和 3E-3P 所述类型的单晶硅衬底 332 的单元结构 334, 置于外围电路区域 302 的第三 ILD 层 330 上。第四 ILD 层 340 设置在所得到的结构上, 层间接触 342 和导电通路 344 向单元结构 334 传输信号并接收来自单元结构 334 的信号, 包括字线信号和位线信号。

[0109] 图 7A-7E 是根据本发明另一实施例的形成图 6 的垂直沟道存储器器件的方法的剖面图, 示出了在器件的外围电路区域上形成器件的单元区域。

[0110] 参照图 7A, 多个外围电路晶体管 316 设置在衬底 300 上。该晶体管包括例如栅极电极 312 (通过栅极氧化层 310 与衬底 300 绝缘) 以及源极和漏极区域 (在栅极电极两侧的衬底中)。第一层间电介质 (ILD) 层 318 形成在外围电路晶体管上, 第一层间接触 320 将下面的晶体管 316 与形成在第一 ILD 层 318 上的导电通路 322 连接。

[0111] 参照图 7B, 第二 IDL 层 324、第三 IDL 层 330 和相应的第二层间接触 326 以及第二导电通路和第三导电通路 322 形成在所得到的结构上, 以向外围电路区域 302 传输信号并接收来自外围电路区域 302 的信号。

[0112] 参照图 7C, 单晶硅层 332 形成在所得到的结构上。单晶硅层 332 提供了用于随后形成的单元区域的作用, 其类似于图 1、2、3A-3P 中的衬底 100。

[0113] 参照图 7D, 单元结构 334 形成在单晶硅层 332 上, 例如以上面结合图 1、2 和 3A-3P 所述的方式。

[0114] 参照图 7E, 所得到的结构以层叠的布置 (cascade arrangement) 图案化, 以提供通路到所示出的不同的单元层的字线。第四 ILD 层 340 涂敷到所得到的结构, 如上所述, 层间接触 342 和导电通路 344 被图案化并形成, 以向单元结构 334 的合适节点传送信号或接收来自其的信号, 包括字线信号和位线信号。

[0115] 图 8 是根据本发明另一实施例的垂直沟道存储器器件的剖面图, 示出了将器件的单元区域置于器件的外围电路区域上。在此实施例中, 结合图 4 和 5A-5L 的上述类型的单元结构 350 设置在器件的外围电路区域 302 上。为实现此, 可以进行图 7A-7E 中示出的工艺步骤, 使用图 4 和 5A-5L 中示出的类型的单元结构。

[0116] 因此, 在垂直型半导体存储器器件及其形成方法中, 可以使用单晶垂直沟道, 从而减少了晶体缺陷的可能性, 减少了所得到的俘获位置的数目, 导致器件电阻减小, 从而提高了速度并减少了功耗。此外, 电荷俘获层可以形成为在垂直沟道的区域中围绕控制栅极, 导致更简单且更可靠的器件形成。此外, 置于电荷俘获层与垂直沟道之间的隧穿氧化物可以由热氧化层形成, 其更耐随时间的退化, 导致器件的可靠性和耐久性改善。这也给设计者在实现所需的器件特性上提供了较大的灵活性。

[0117] 图 10 是根据本发明示范性实施例的非易失性存储器的方框图。

[0118] 参照图 10, 半导体存储器 400 可以包括单元阵列 410、译码器 420、页缓冲器 (page

buffer) 430、位线选择电路 440、数据缓冲器 450 和控制单元 460。半导体存储器 400 可以包括根据这里所述的实施例构造的垂直型非易失性快闪存储器器件。

[0119] 单元阵列 410 可以包括多个存储器模块 (未示出)。每个存储器模块可以包括多个页 (例如 32 页、64 页), 每页可以包括共享一个字线 (WL) 的多个存储器单元 (例如 512B、2KB)。在一个示例中, 可以在存储器模块基础上进行擦除操作, 在页的基础上进行读操作和写操作。

[0120] 译码器 420 通过多个字线 WL 连接到单元阵列 410, 并由控制单元 460 控制。译码器 420 接收来自存储器控制器 (未示出) 的地址 (ADDR) 并产生选择信号 Yi 以选择字线或位线。页缓冲器 430 通过多个位线 BL 连接到单元阵列 410。

[0121] 页缓冲器 430 存储从缓冲器存储器 (未示出) 加载的数据。当进行编程操作时, 页缓冲器 430 加载页数据并同时 will 将所加载的数据编程到选择页。当进行读操作时, 页缓冲器 430 从选择页读取数据, 并暂时存储所读的数据。存储在页缓冲器 430 中的数据响应读使能信号 (read enable signal) 而被传移到缓冲器存储器。

[0122] 位线选择电路 440 响应选择信号 Yi 并选择位线 (BL)。数据缓冲器 450 是输入 / 输出缓冲器, 用于在存储器控制器与快闪存储器 400 之间传输数据。控制单元 460 接收来自存储器控制器的控制信号, 并控制快闪存储器 400 的内部操作。

[0123] 图 11 是包括根据本发明示范性实施例的半导体存储器的系统 500 的框图。系统 500 可以例如使用在无线通信装置 (如 PDA、膝上计算机、便携式计算机、网络写字板、无线电话和移动电话) 中, 或者在电子装置 (可以在无线环境中传输和 / 或接收信号) 中。

[0124] 系统 500 可以包括控制器 510、输入 / 输出装置 520 (例如小键盘、键盘和显示器)、存储器 530 和无线接口 540。控制器 510 可以包括至少一个微处理器、数字信号处理器、微控制器或类似物。存储器 530 可以用于存储由控制器 510 执行的指令代码以及用于存储用户数据。存储器 530 可以包括根据本发明一些示范性实施例的垂直型非易失性存储器器件。存储器 530 也可以包括不同类型的垂直型存储器, 包括垂直型随机存取易失性存储器。

[0125] 系统 500 可以使用无线接口 540 以将数据传输到通过 RF 信号通信的无线通信网络, 或接收来自通过 RF 信号通信的无线通信网络的信号。例如, 无线接口 540 可以包括天线、无线收发器和其他的无线系统元件。

[0126] 根据本发明一些实施例的系统 500 可以使用在通信协议例如第三代通信系统 (例如 CDMA、GSM、NADC、E-TDMA、WCDMA 或 CDMA3000) 中。

[0127] 虽然参照本发明的优选实施例已经具体示出和描述了本发明的实施例, 但是本领域技术人员应当理解, 在形式和细节上可以作出各种变化而不背离本发明的由权利要求书所限定的精神和范围。

[0128] 本申请要求于 2007 年 11 月 8 日提交的韩国专利申请第 10-2007-0113535 的优先权, 其全部内容在此引入以作参考。

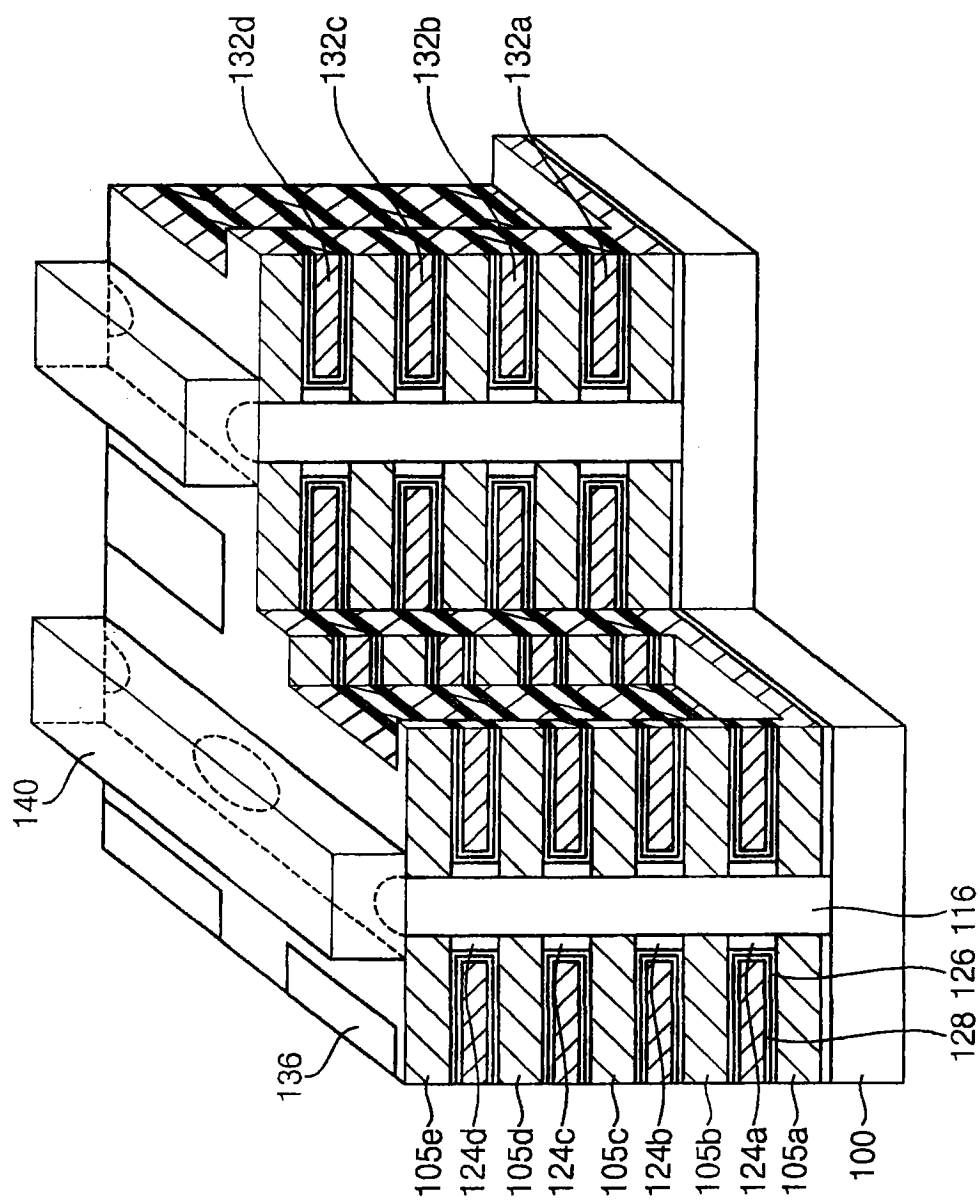


图 1

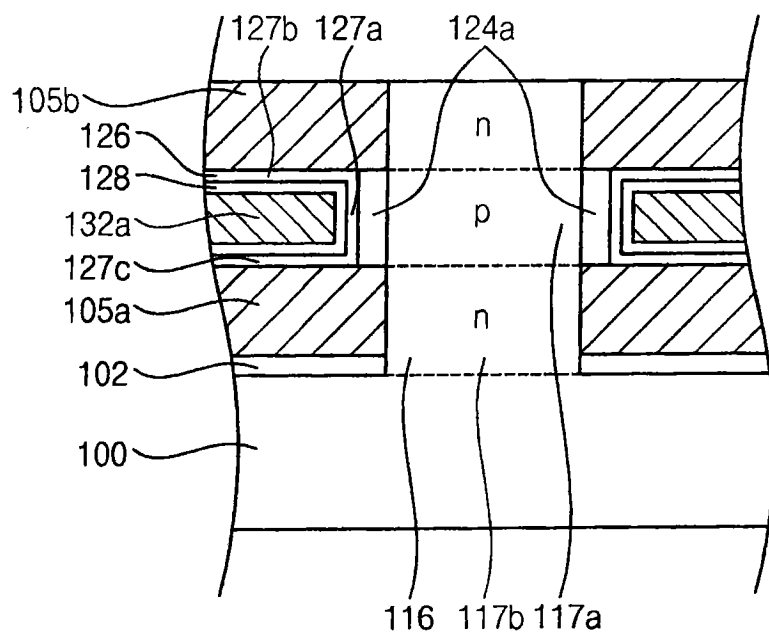


图 2

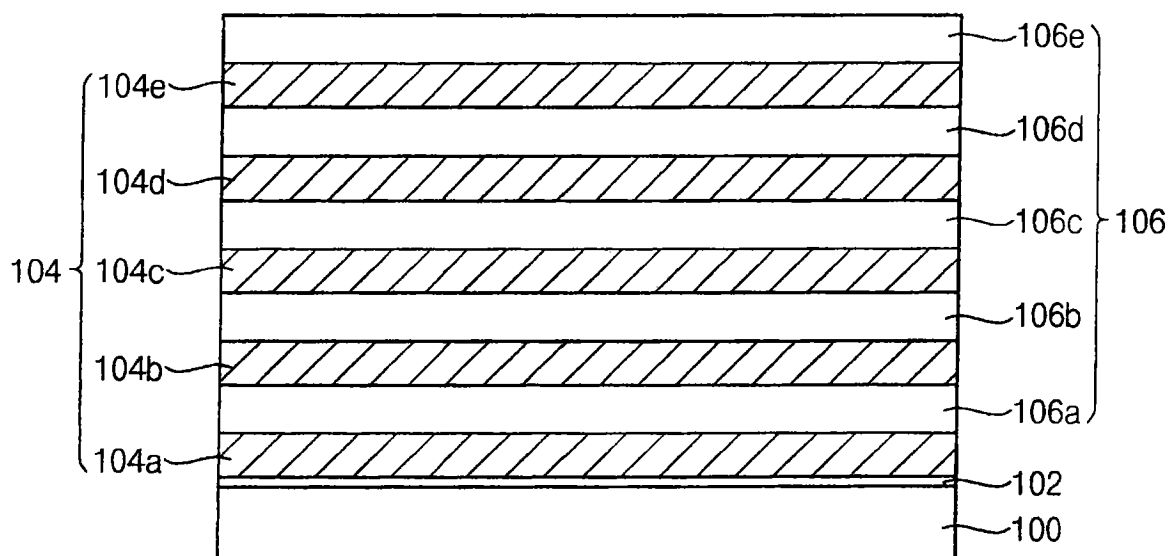


图 3A

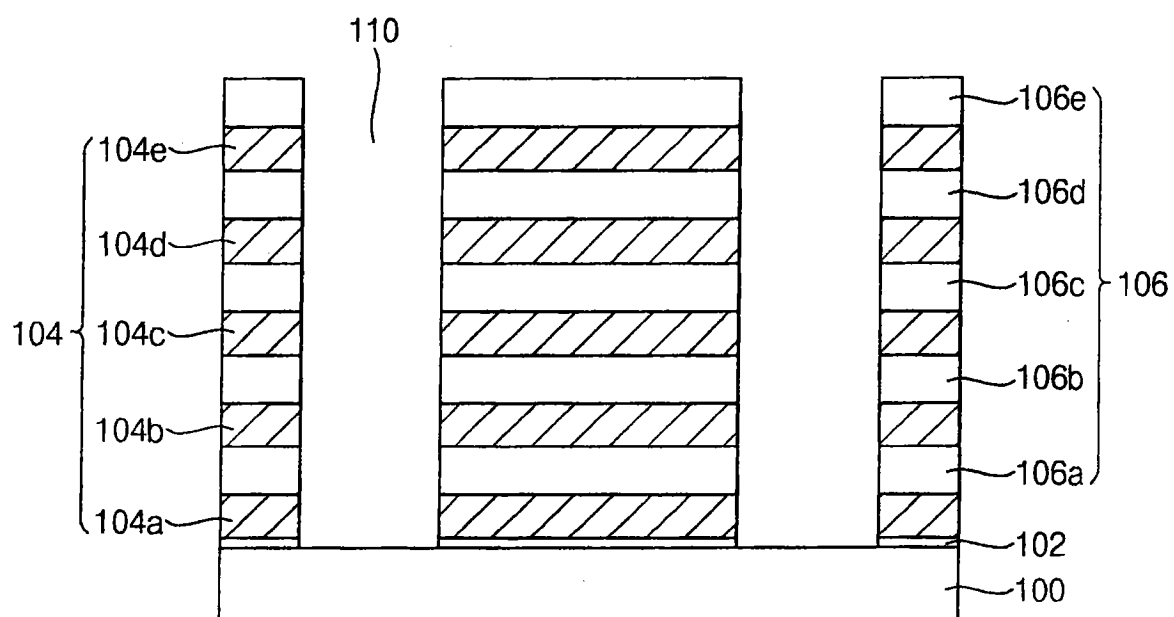


图 3B

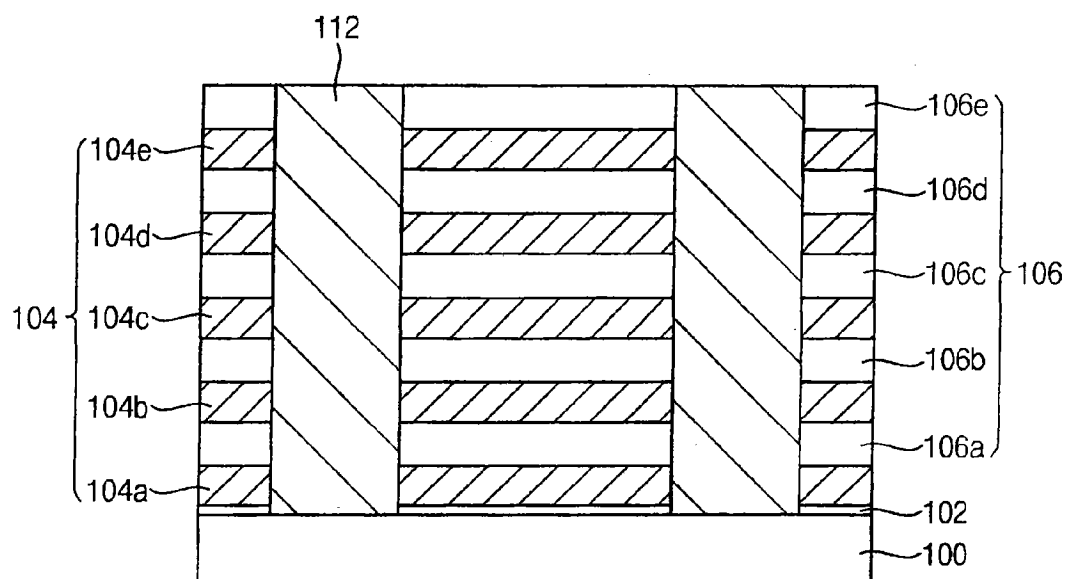


图 3C

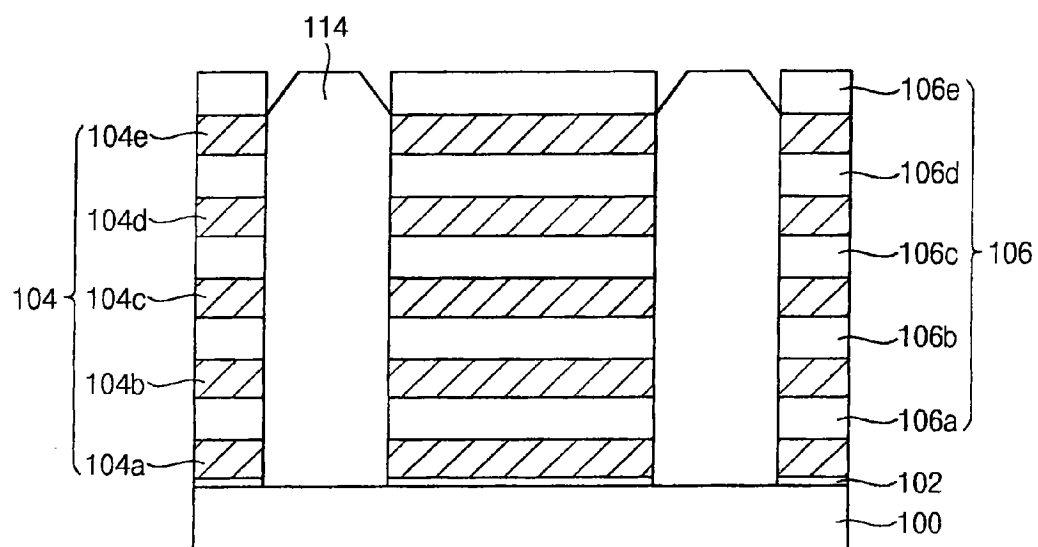


图 3D

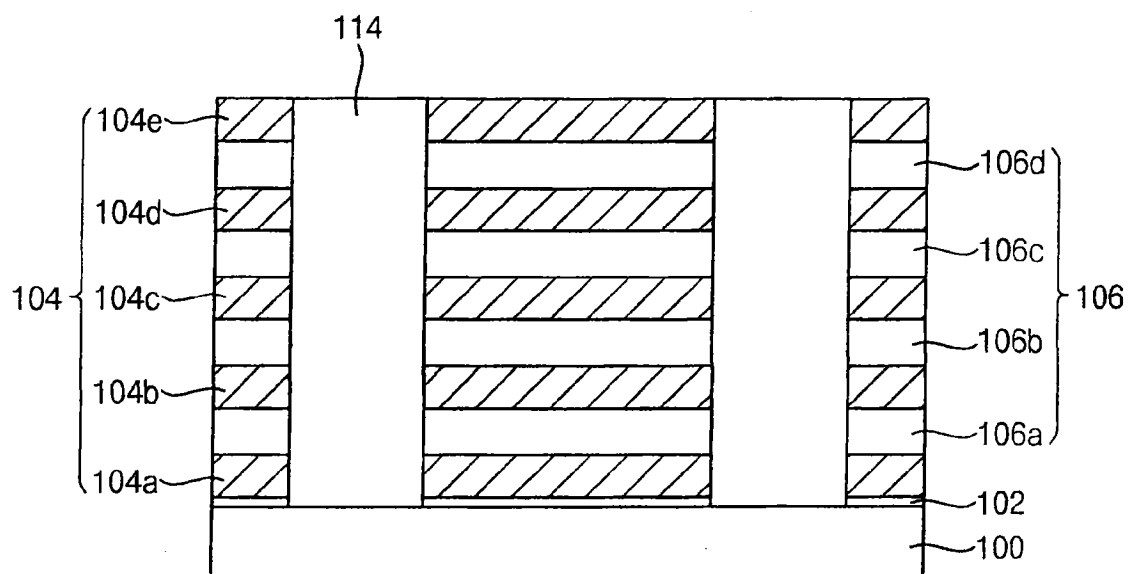


图 3E

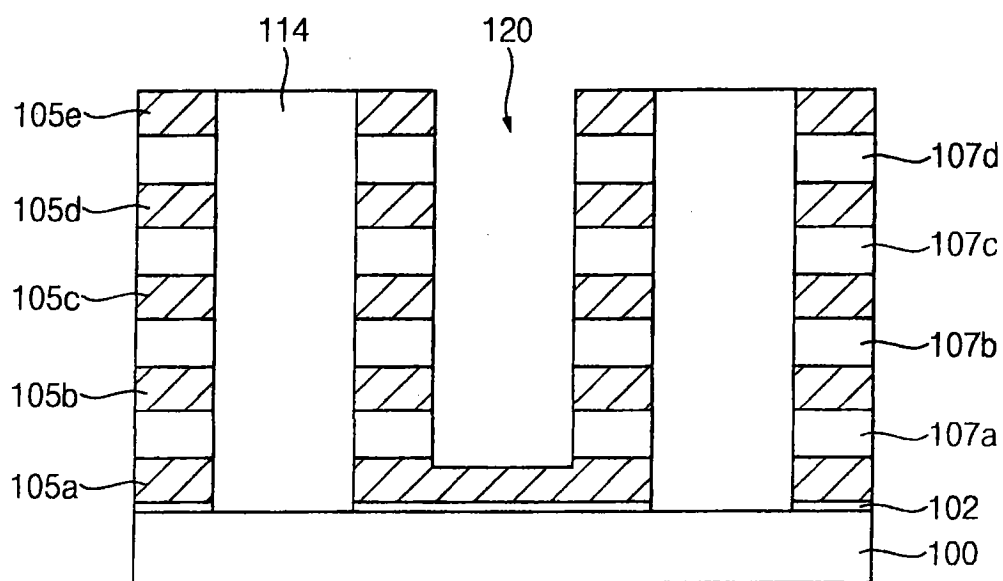


图 3F

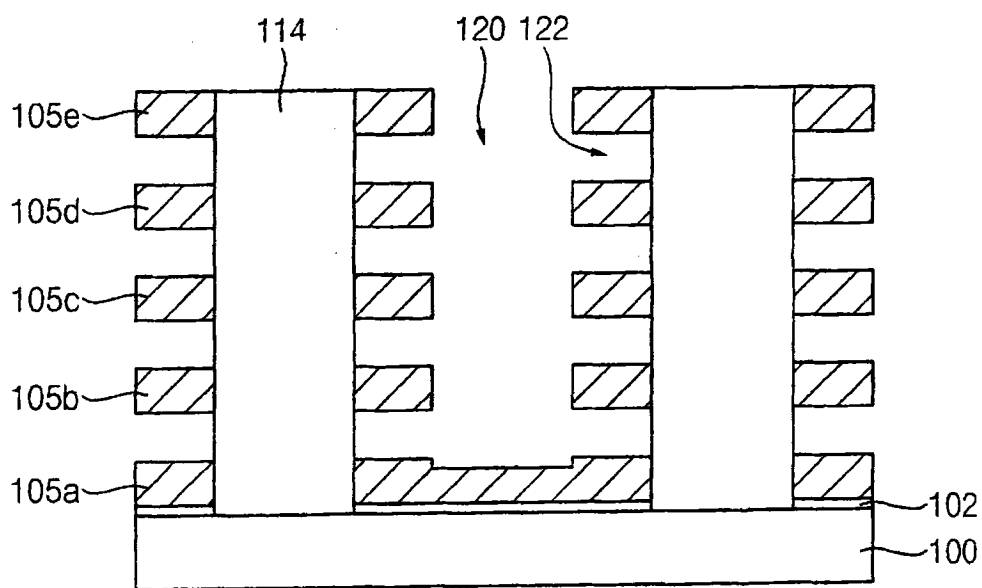


图 3G

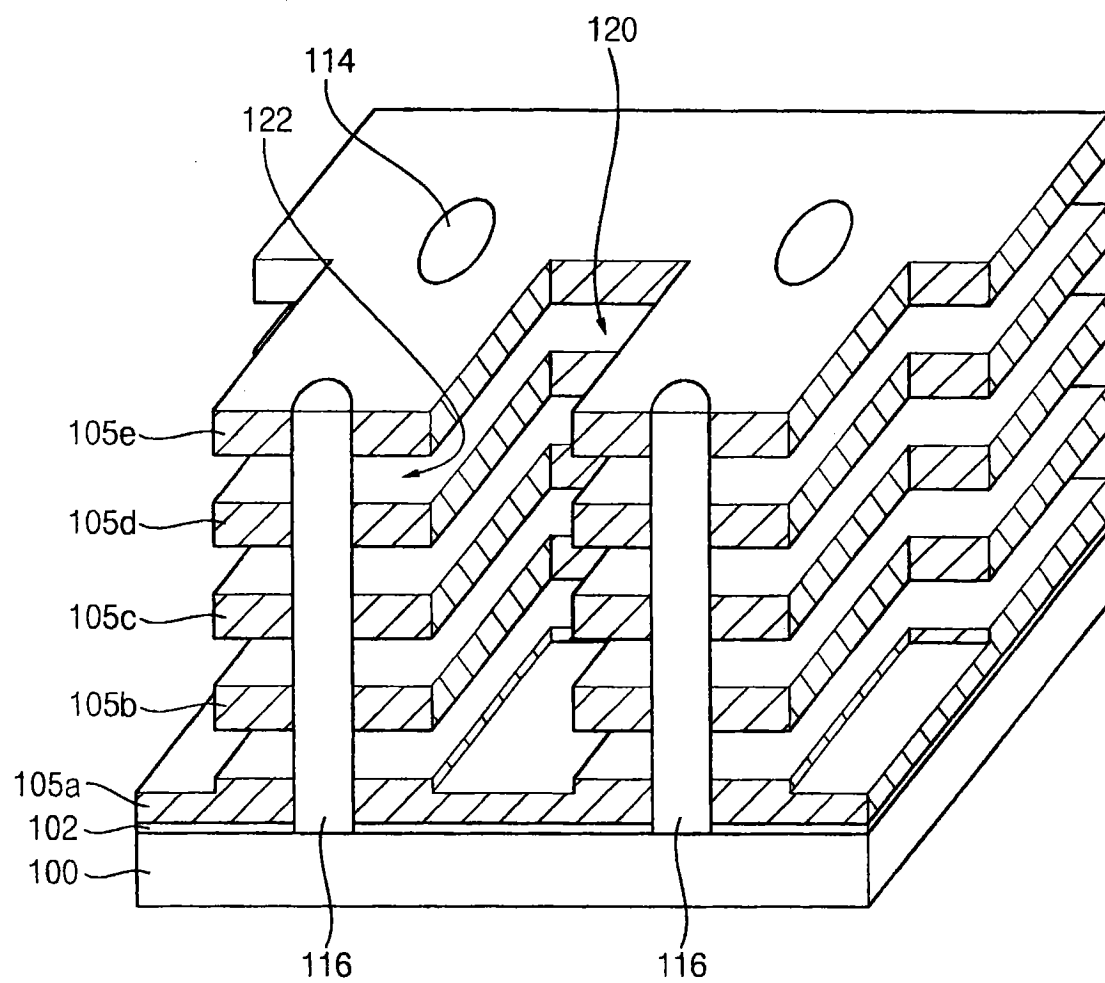


图 3H

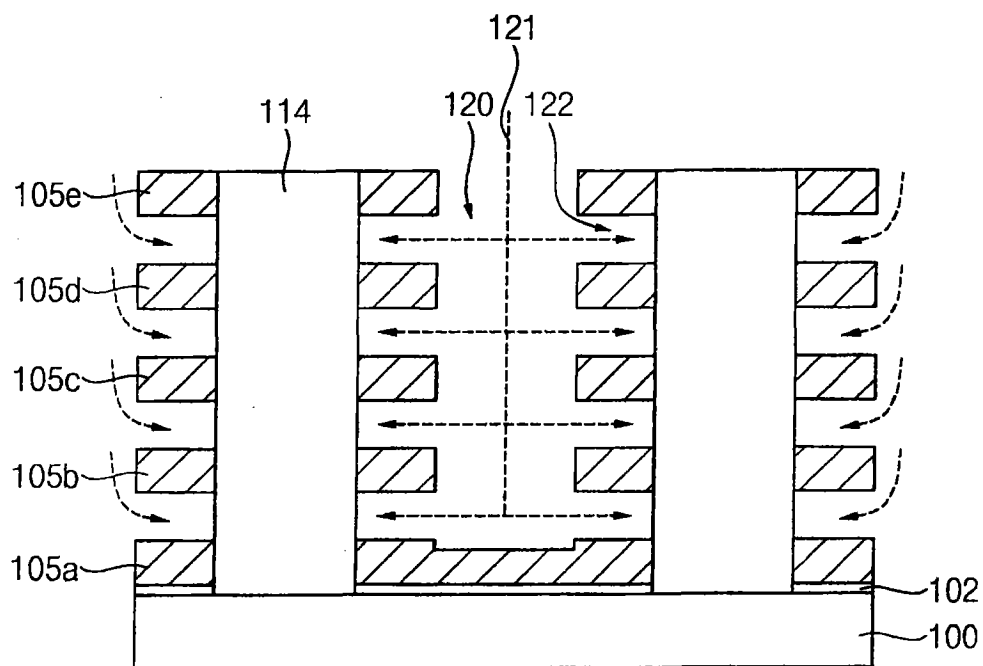


图 3I

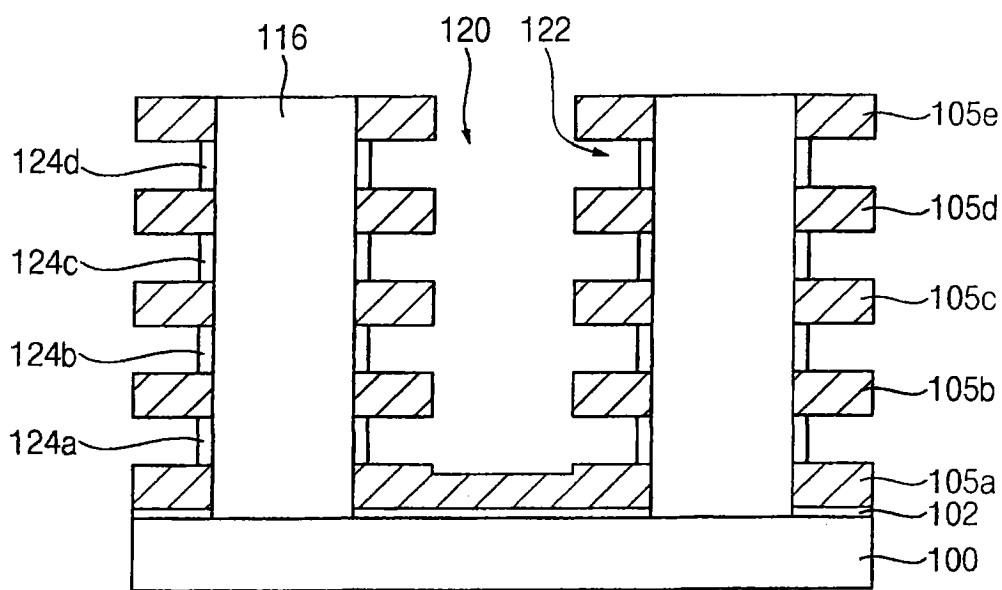


图 3J

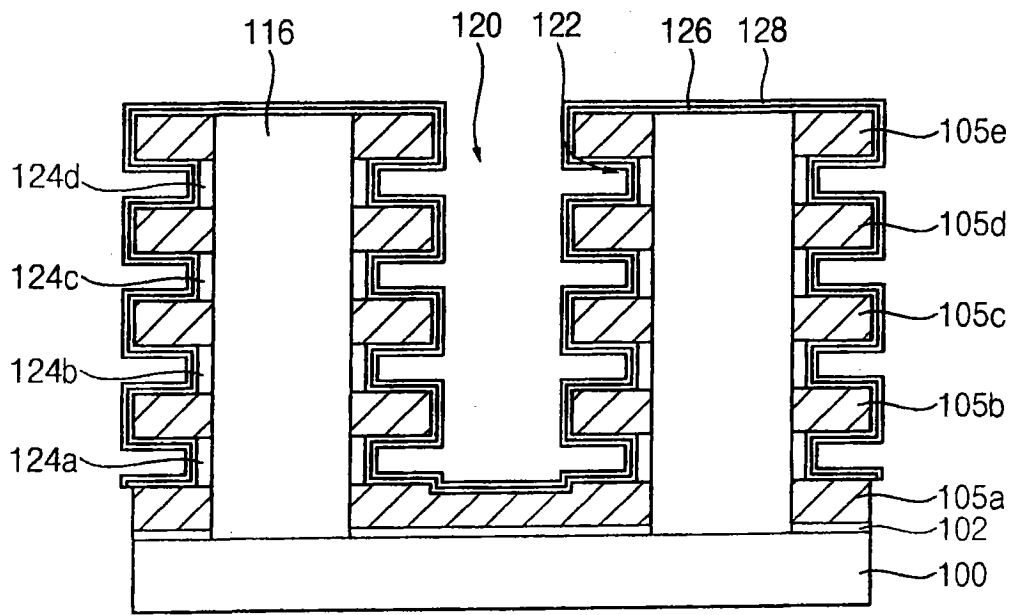


图 3K

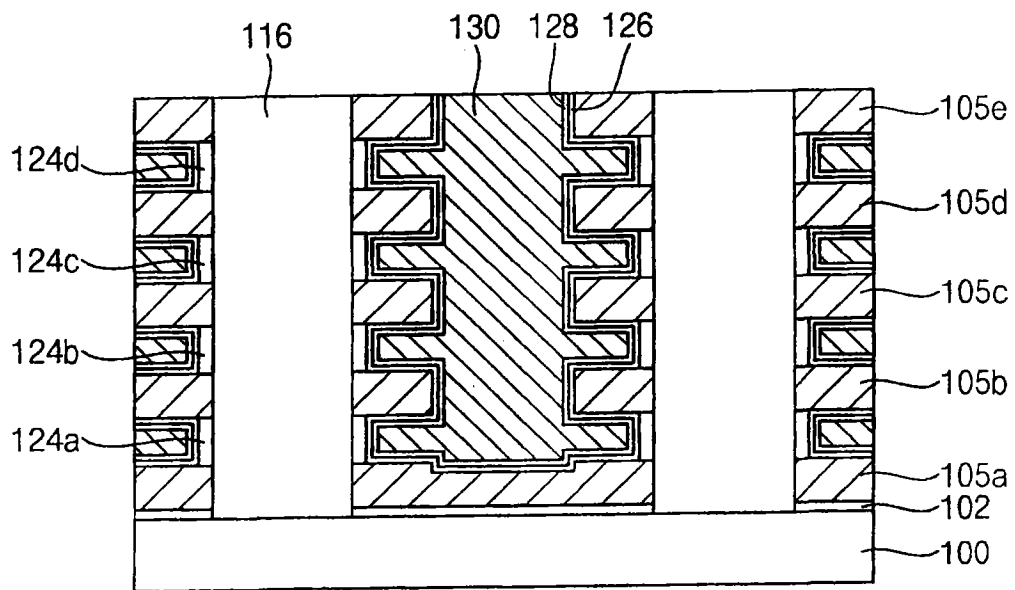


图 3L

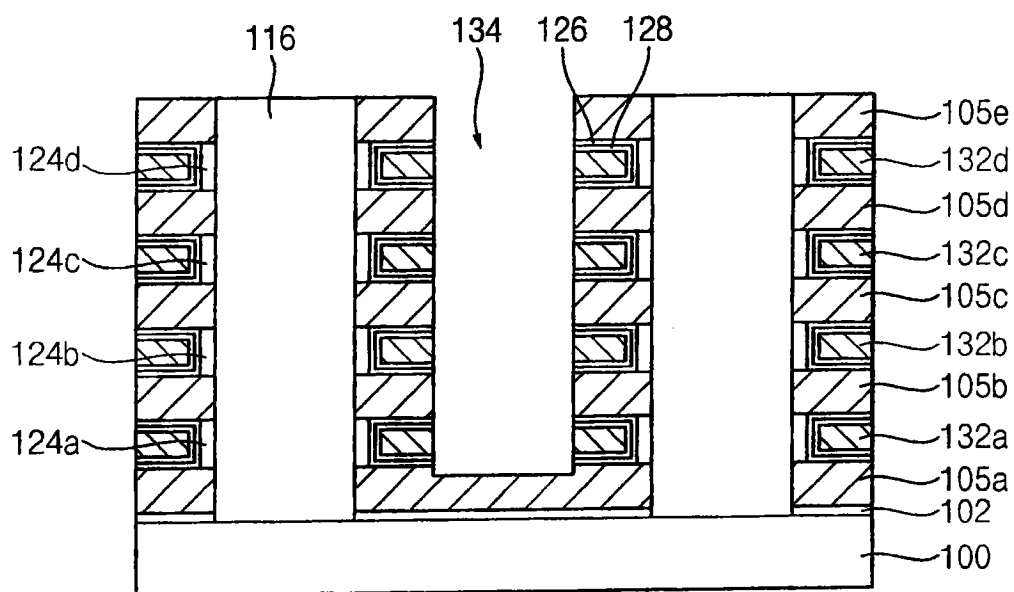


图 3M

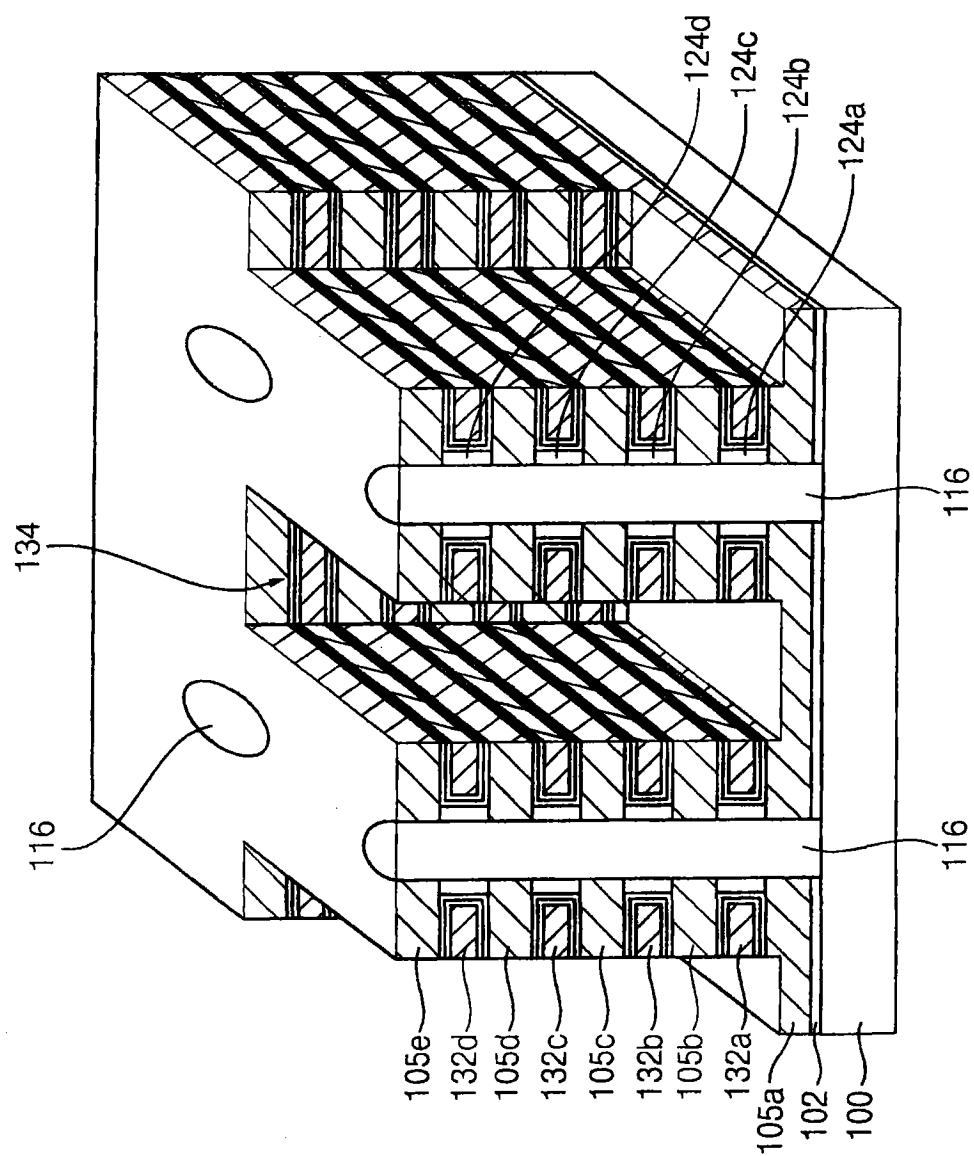


图 3N

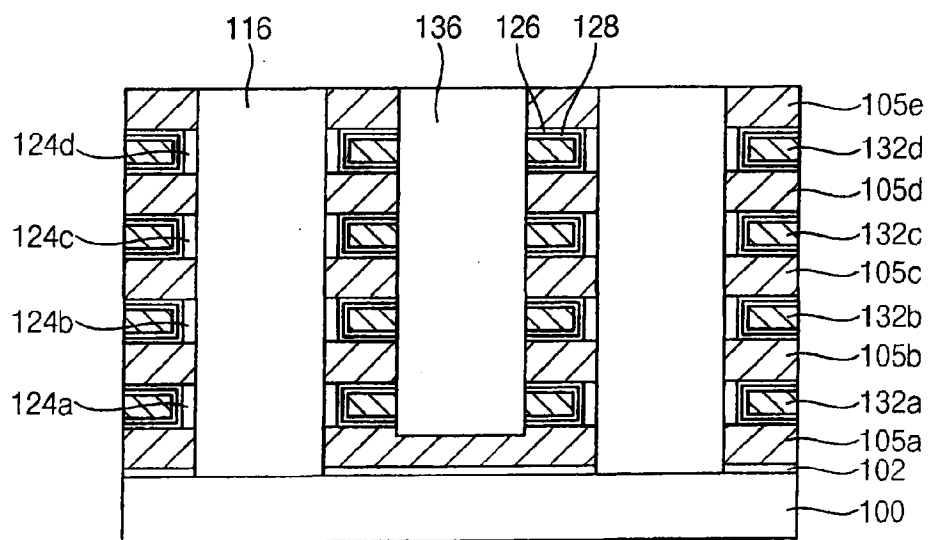


图 30

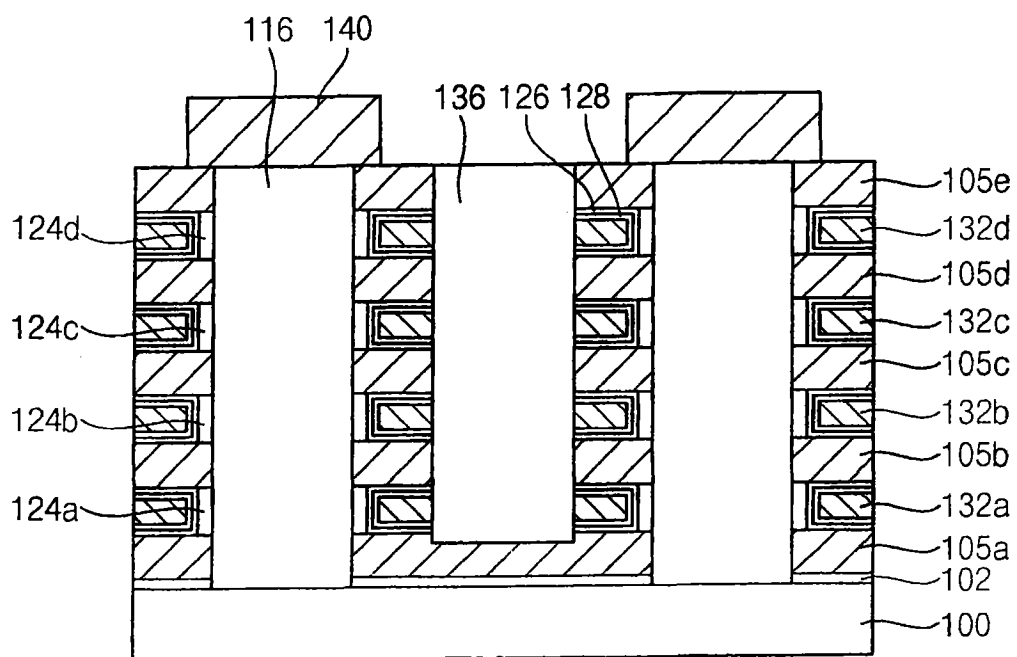


图 3P

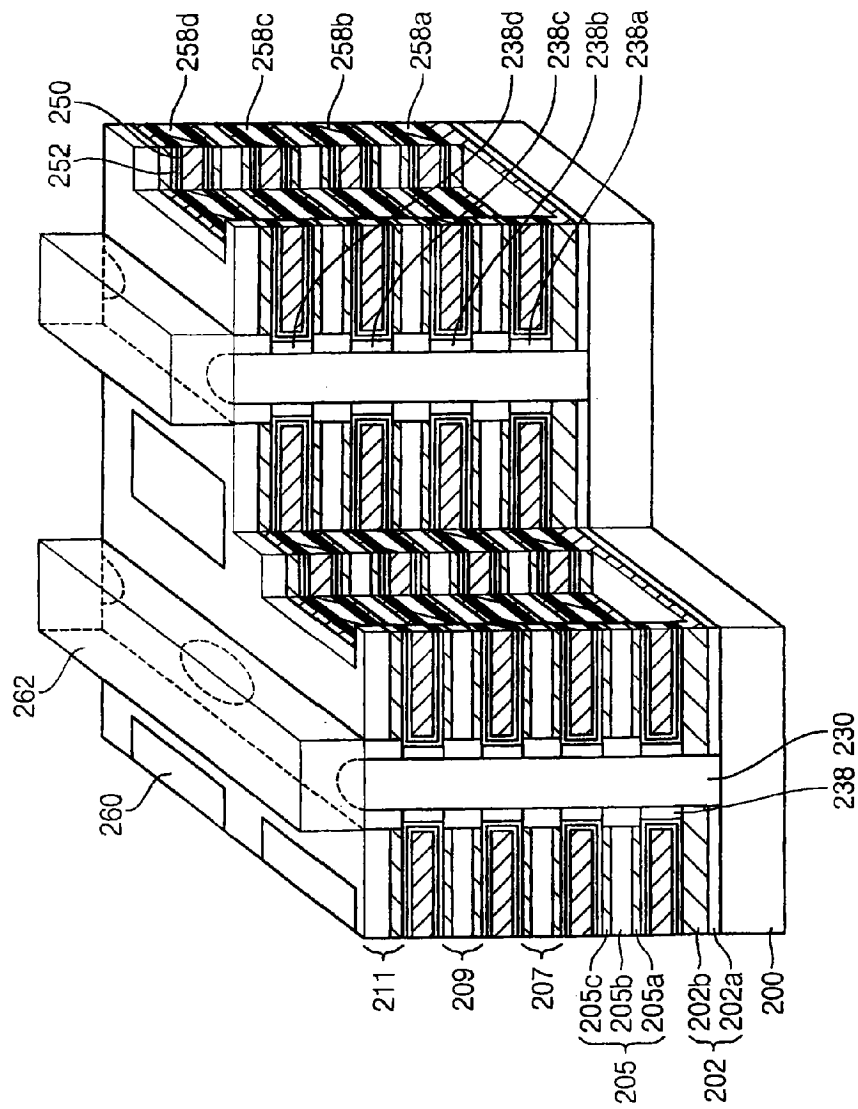


图 4

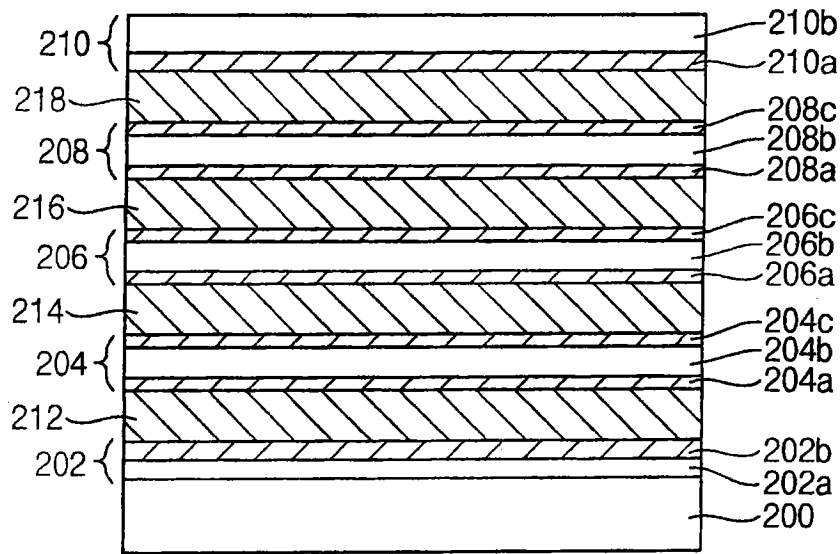


图 5A

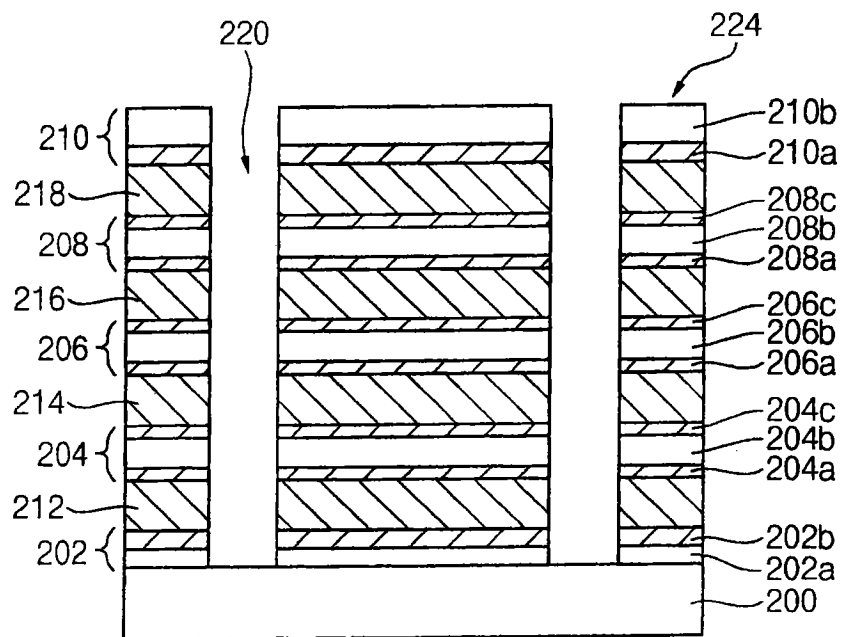


图 5B

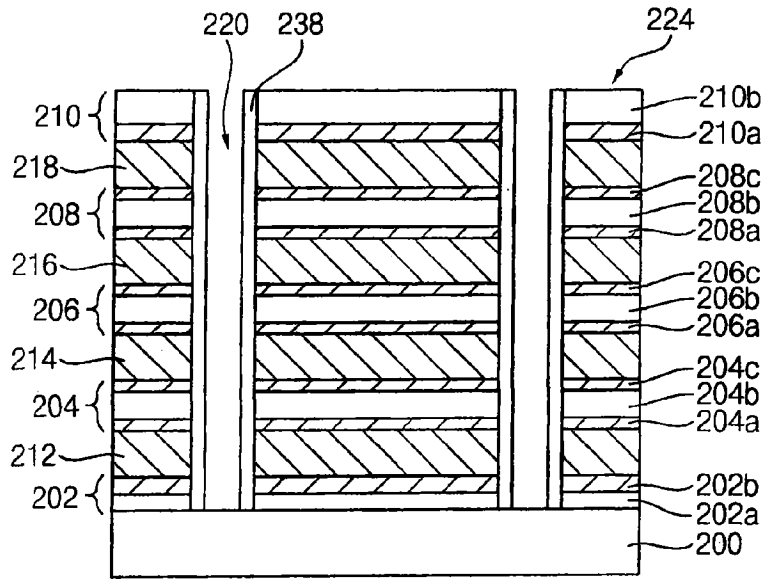


图 5C

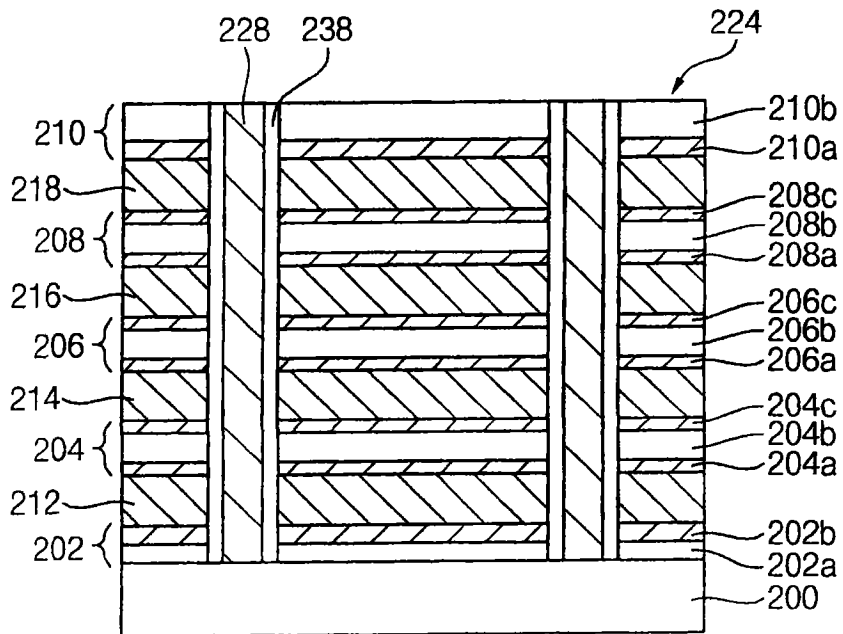


图 5D

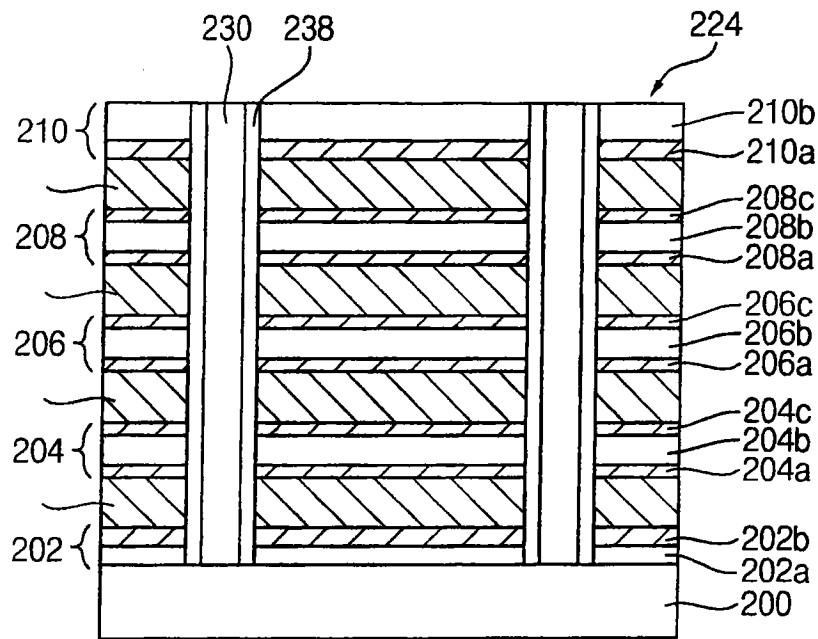


图 5E

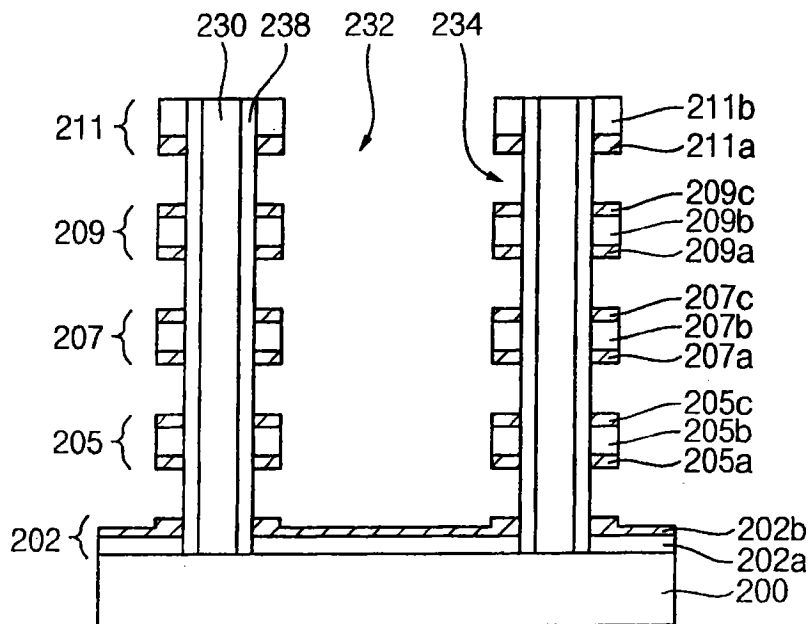


图 5F

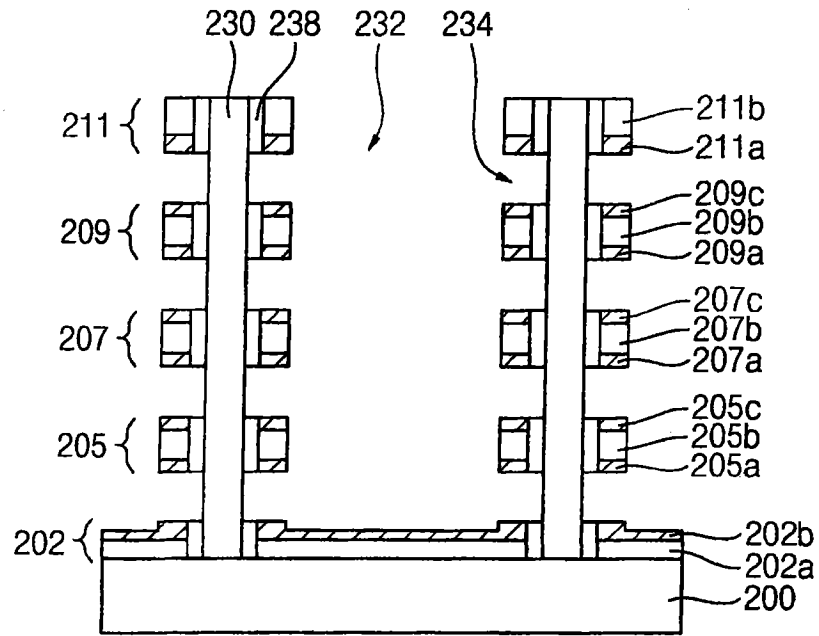


图 5G

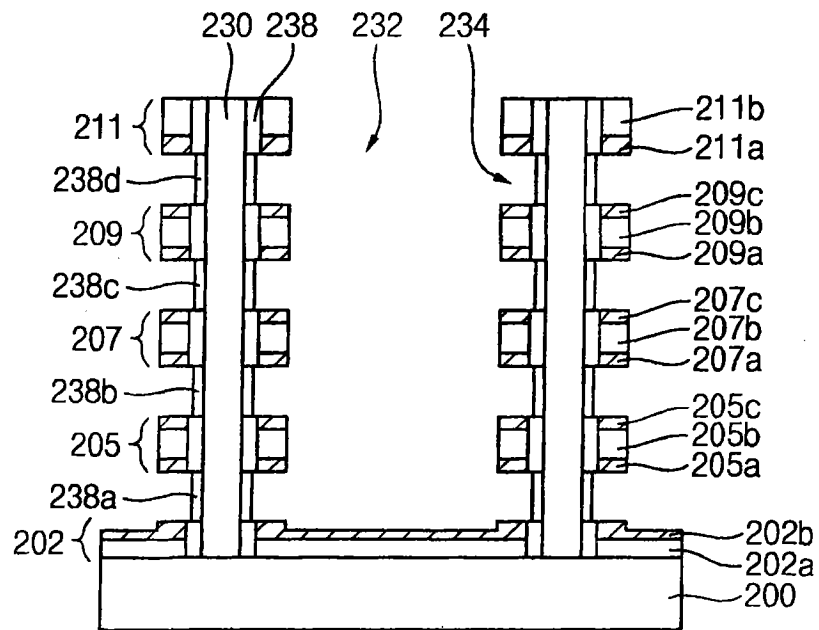


图 5H

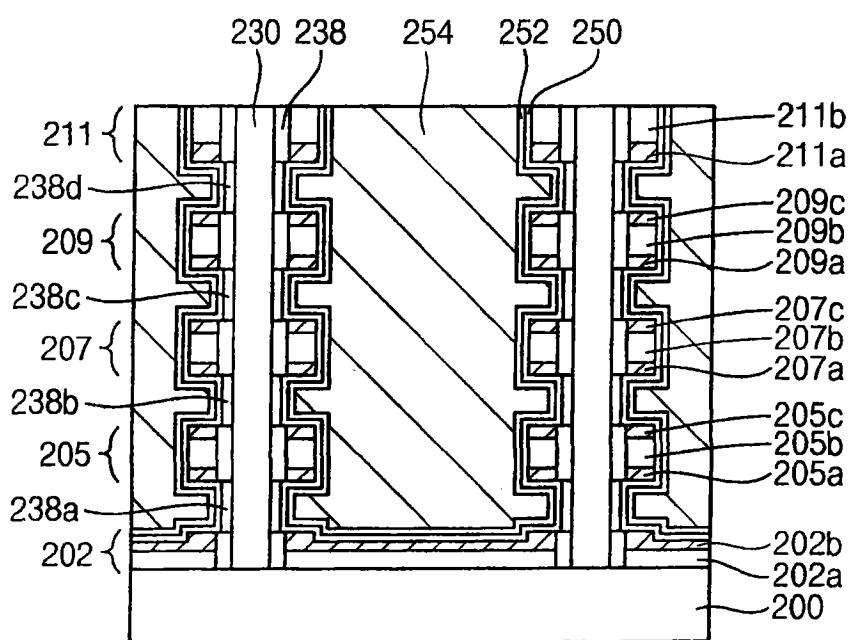


图 5I

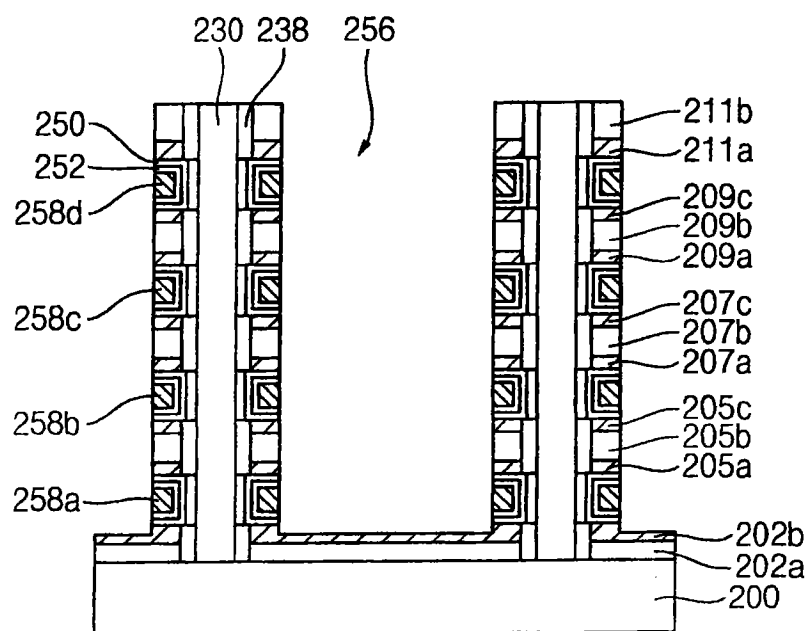


图 5J

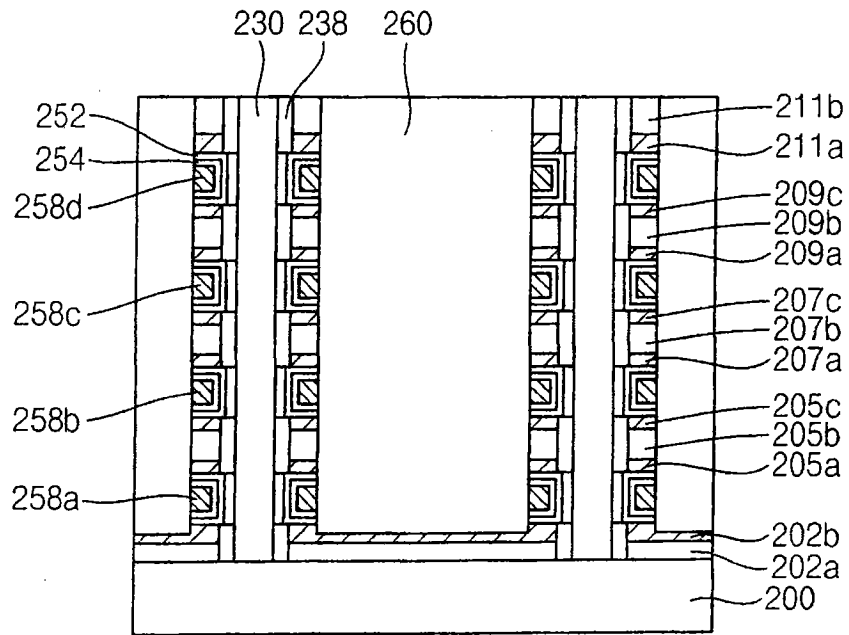


图 5K

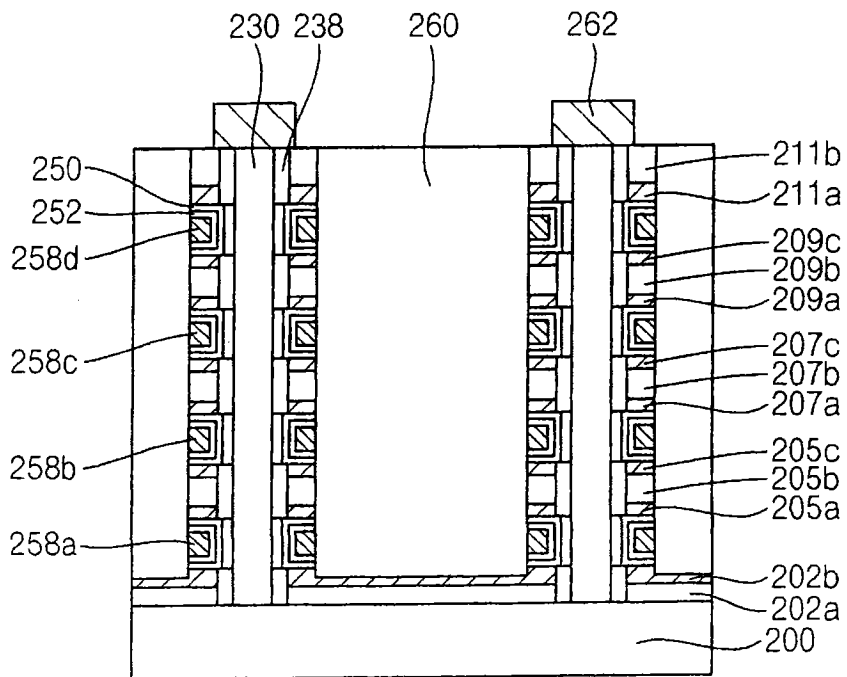


图 5L

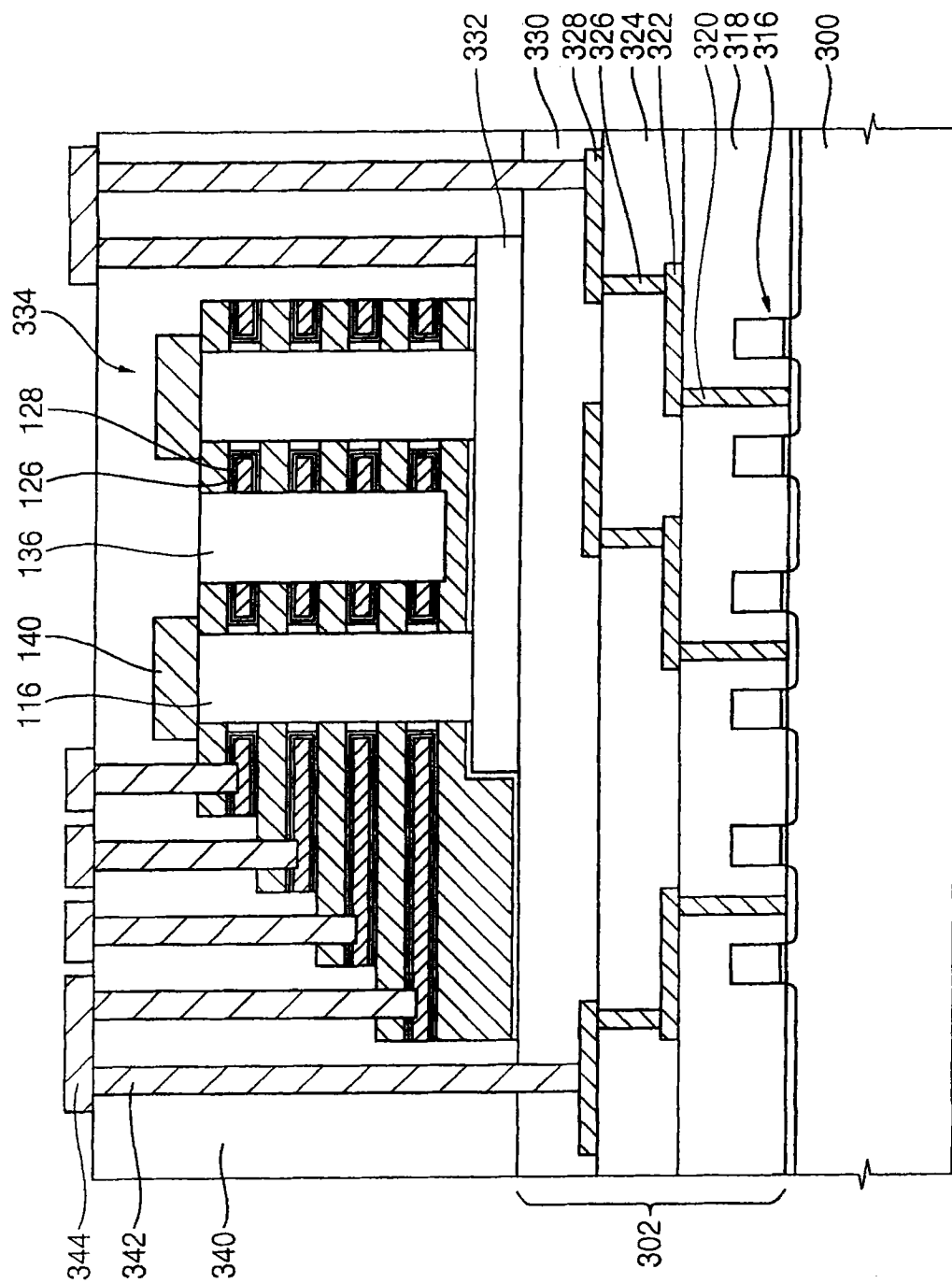


图 6

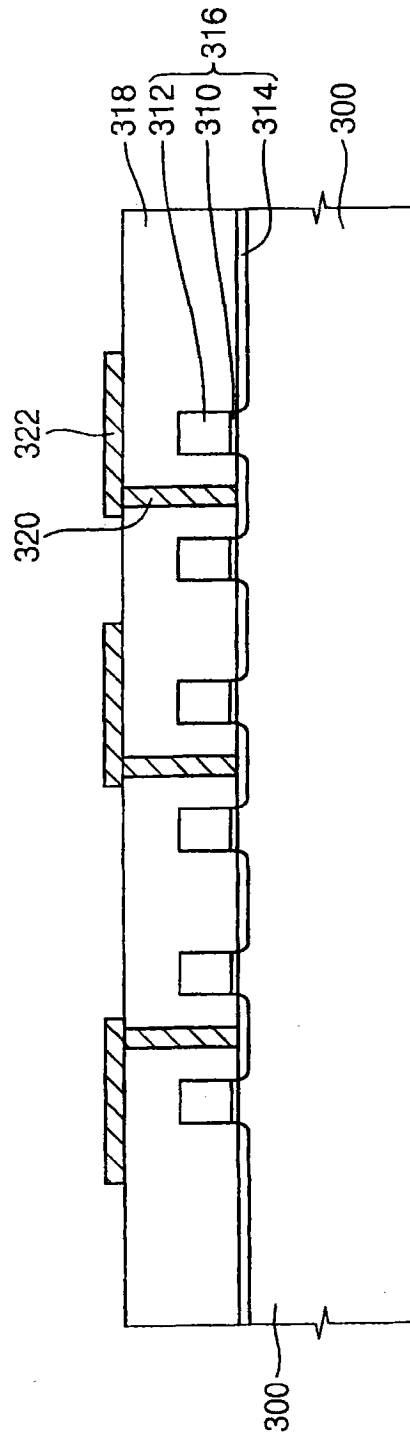


图 7A

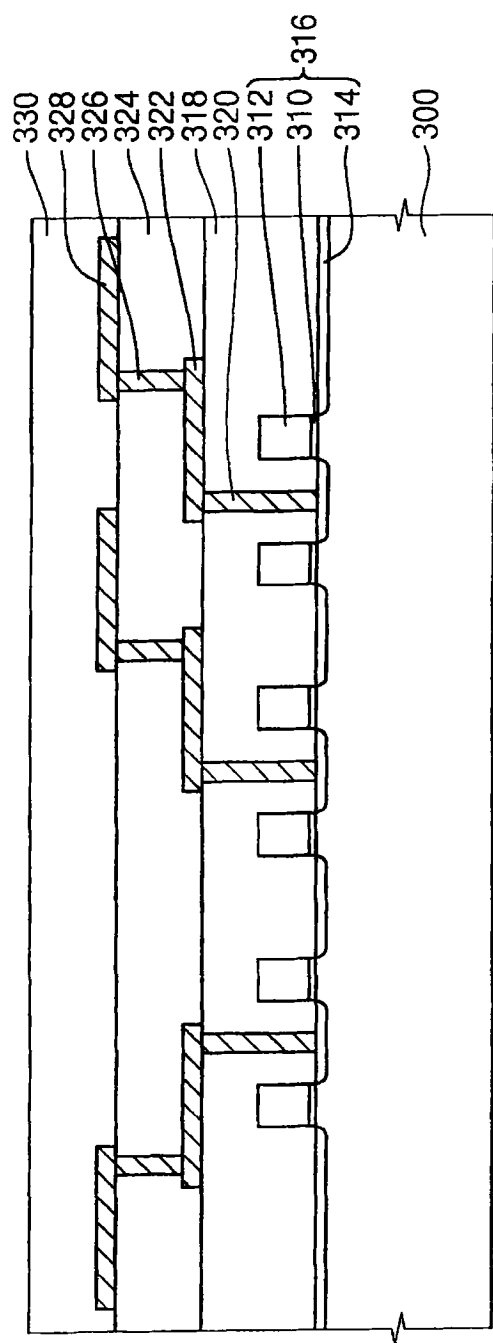


图 7B

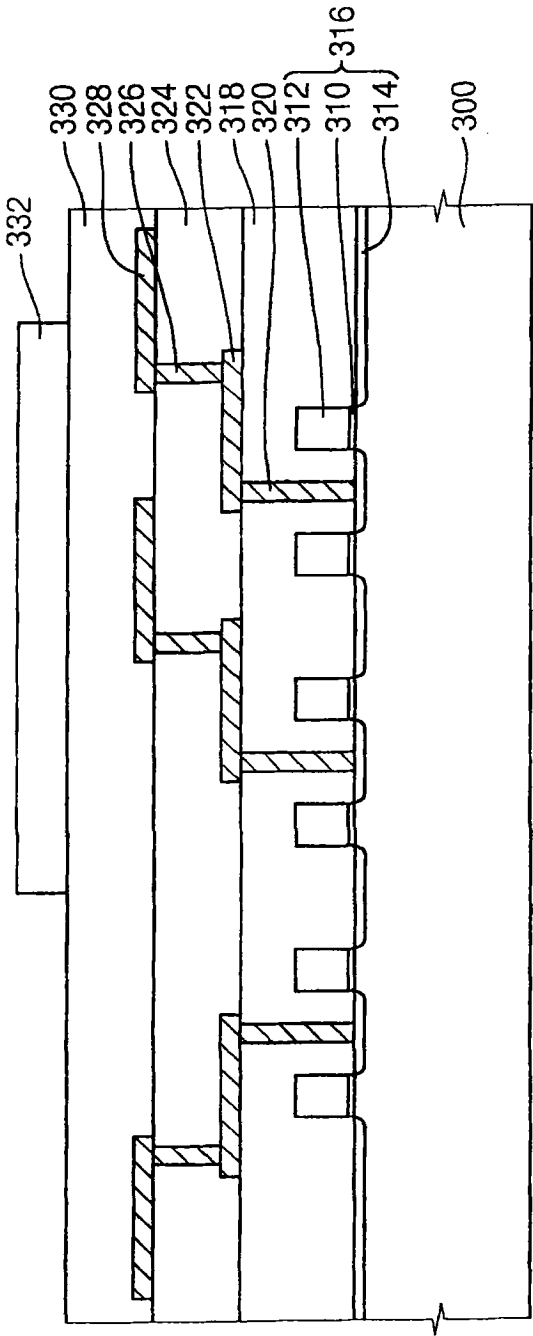


图 7C

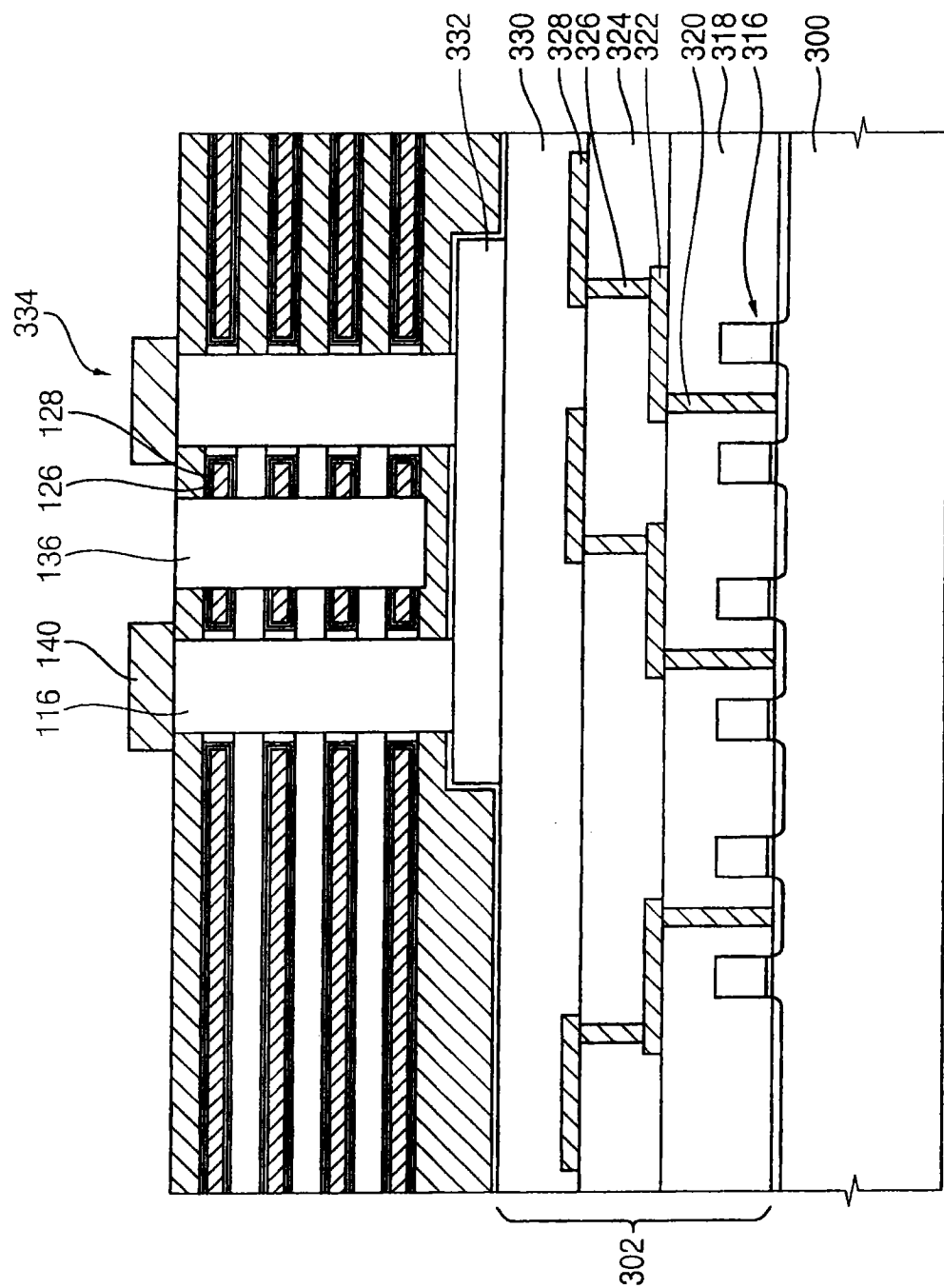


图 7D

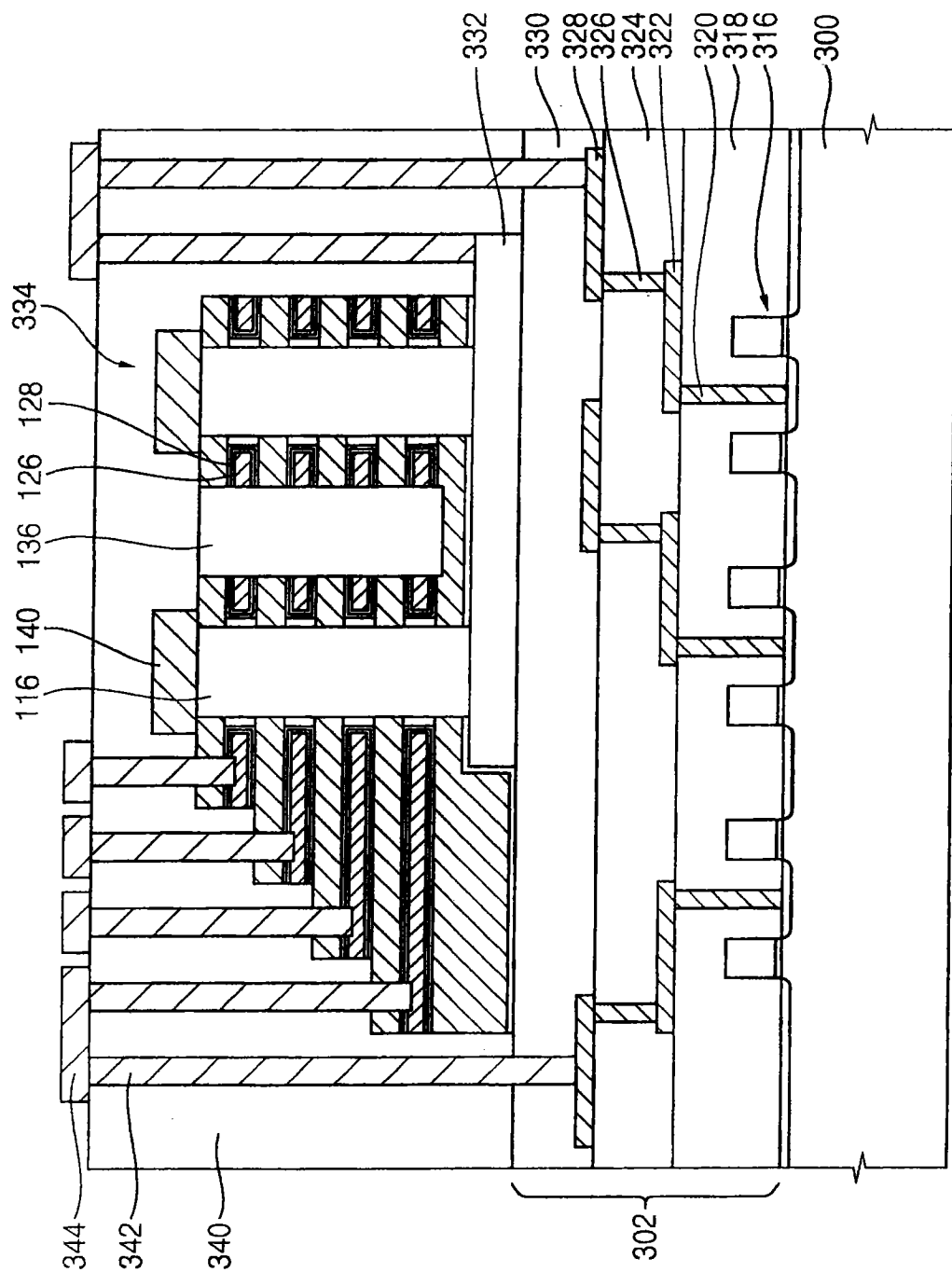


图 7E

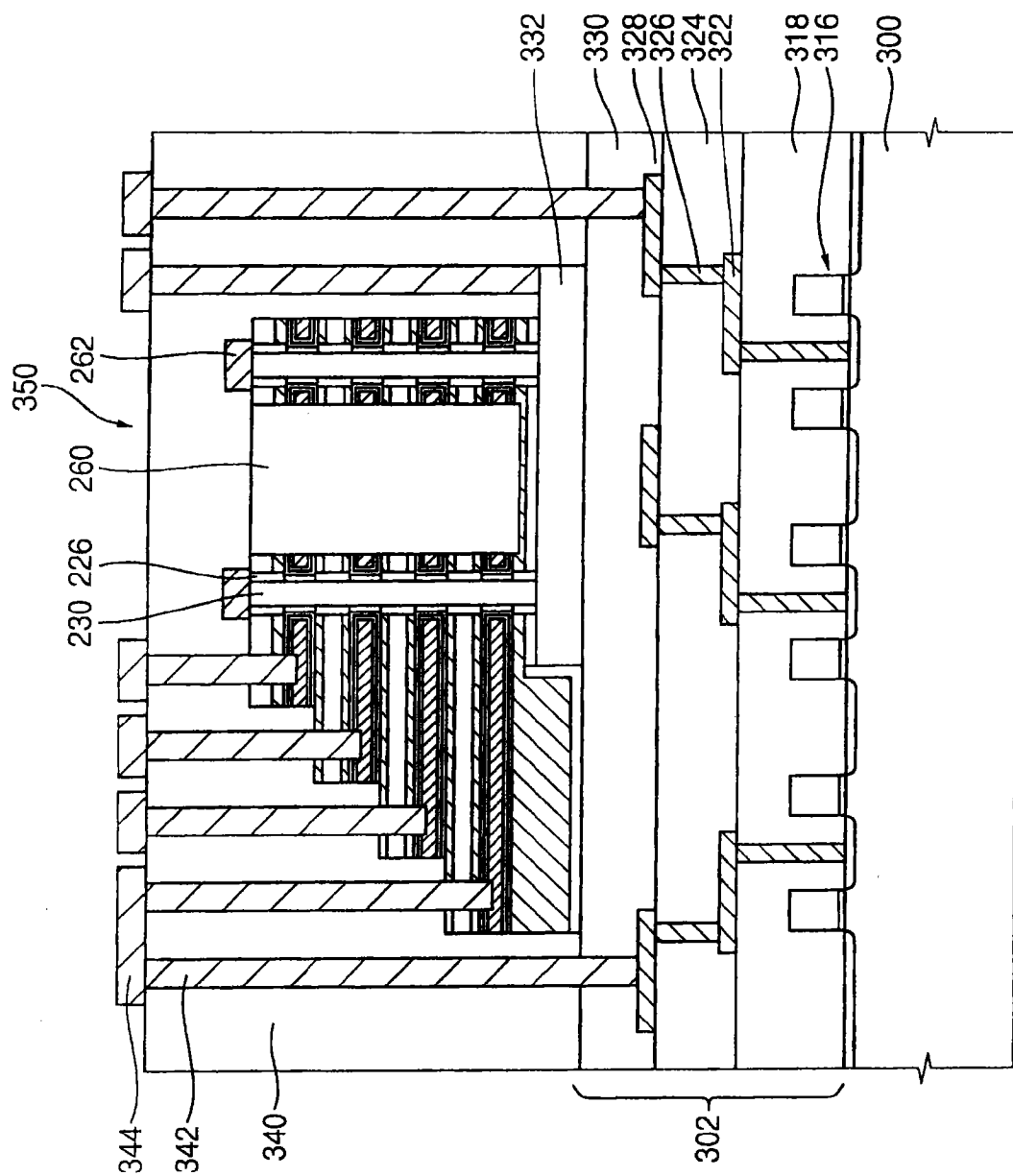


图 8

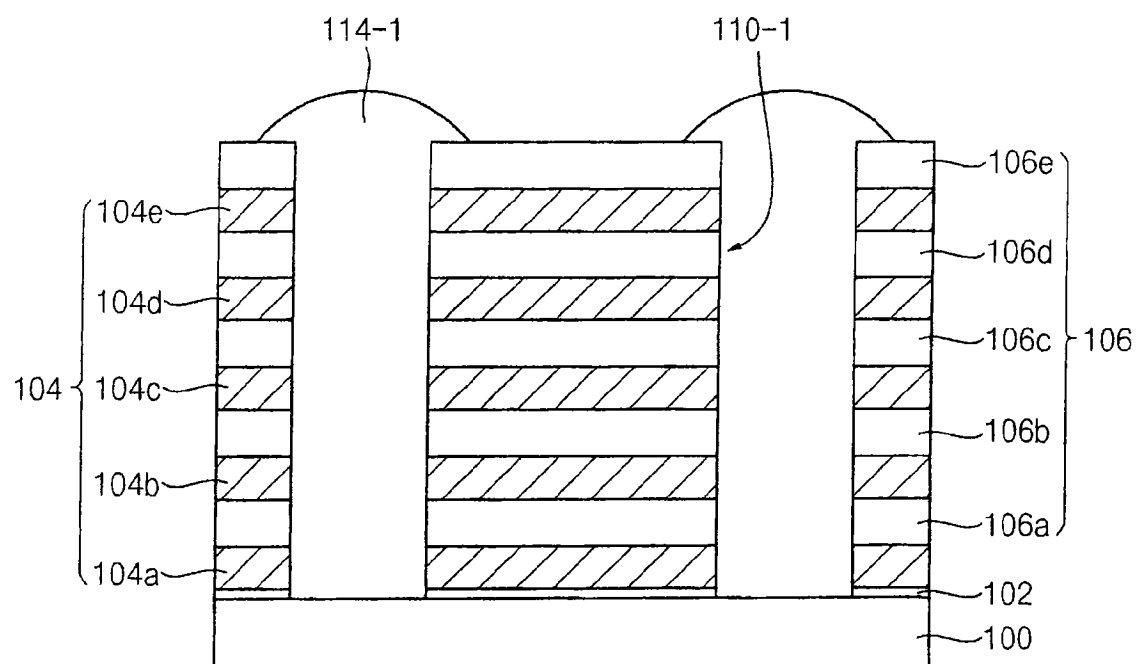


图 9

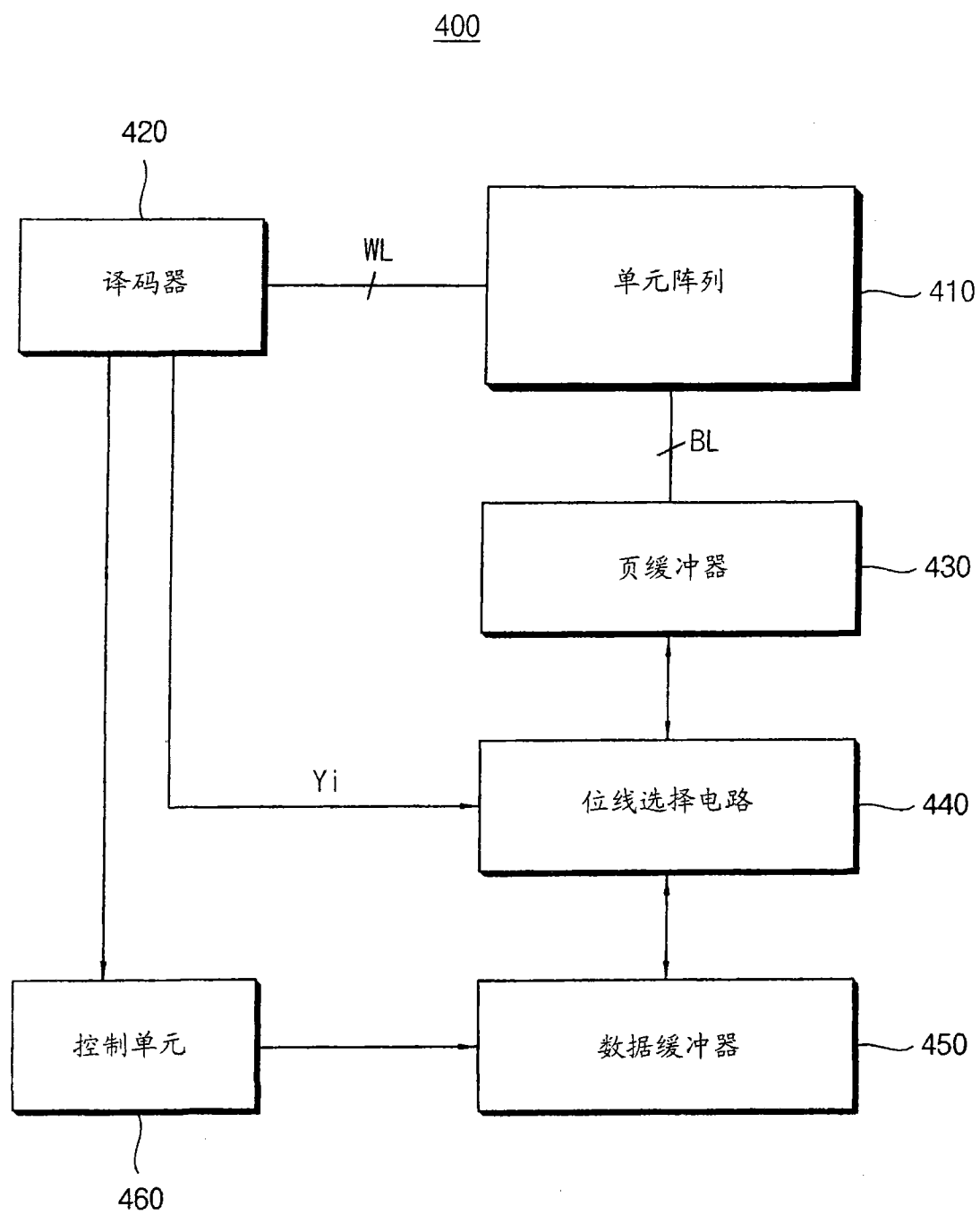


图 10

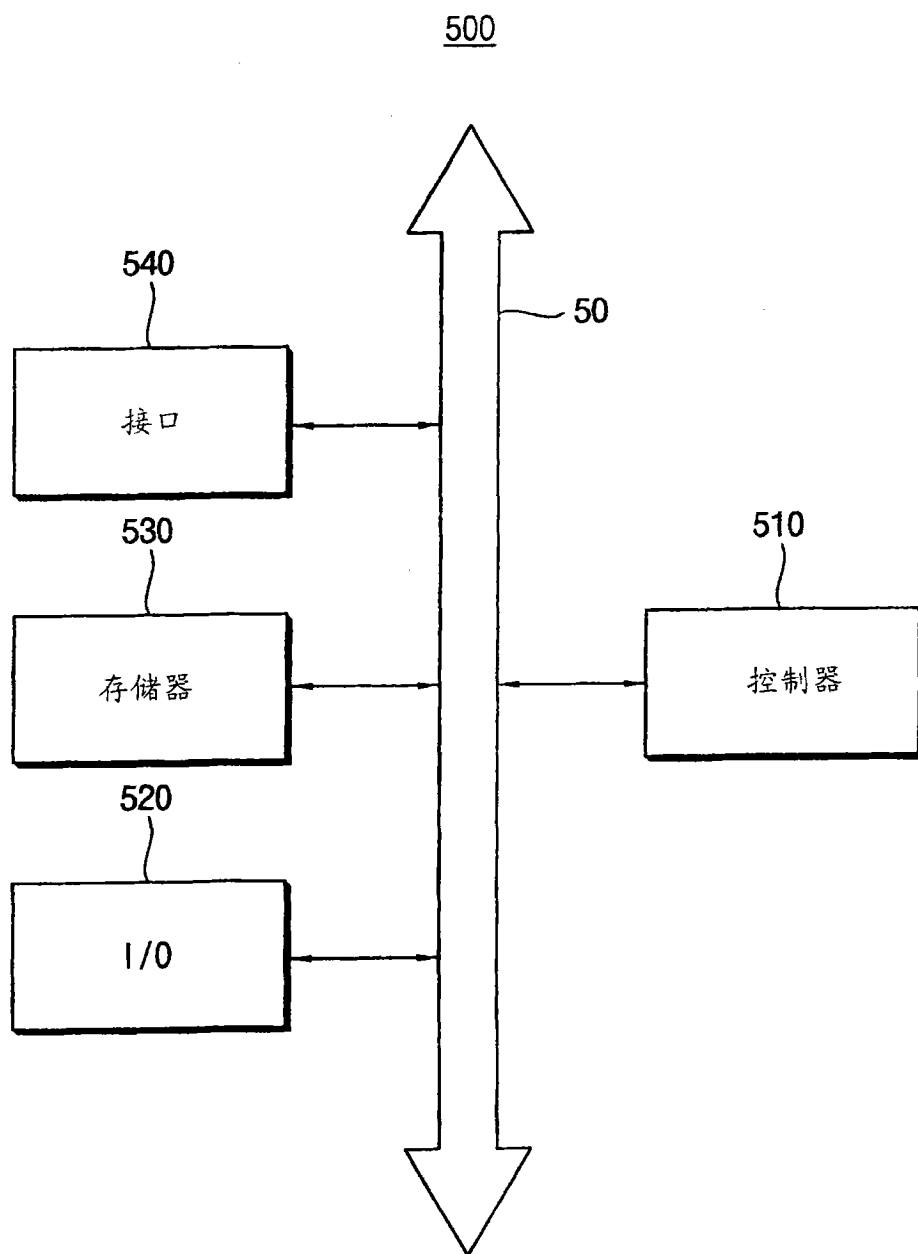


图 11