(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2023-0154734
(43) 공개일자 2023년11월09일

(51) 국제특허분류(Int. Cl.)
H01J 37/32 (2006.01) *H01L 21/311* (2006.01)
H01L 21/3213 (2006.01) *H01L 21/66* (2006.01)
(52) CPC특허분류
H01J 37/32165 (2013.01)
H01J 37/32146 (2013.01)
(21) 출원번호 10-2022-7045602
(22) 출원일자(국제) 2022년02월25일
심사청구일자 없음
(85) 번역문제출일자 2022년12월26일
(86) 국제출원번호 PCT/US2022/018038
(87) 국제공개번호 WO 2022/192016
국제공개일자 2022년09월15일
(30) 우선권주장
63/159,391 2021년03월10일 미국(US)

(71) 출원인
램 리써치 코포레이션
미국 94538 캘리포니아주 프레몬트 쿠싱 파크웨이 4650
(72) 발명자
지앙, 베이베이
미국, 94538 캘리포니아, 프레몬트, 쿠싱 파크웨이 4650
오젤, 태너
미국, 94538 캘리포니아, 프레몬트, 쿠싱 파크웨이 4650
(뒷면에 계속)
(74) 대리인
특허법인인벤싱크

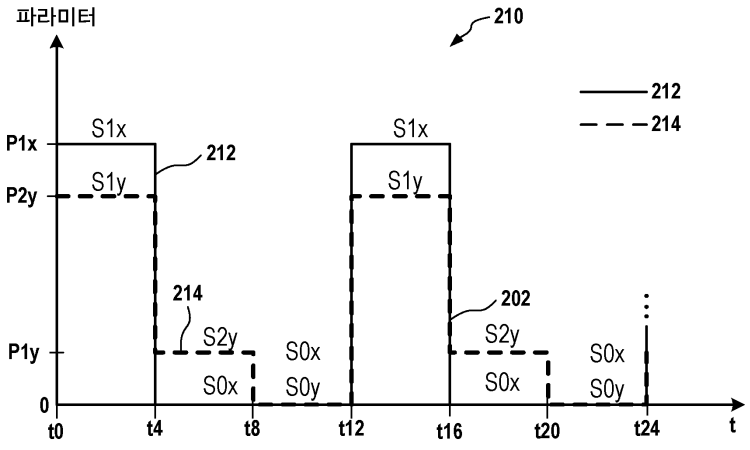
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 **마스크 CD의 제어**

(57) 요 약

마스크 층의 임계 치수 (critical dimension; CD) 를 제어하기 위한 방법이 기술된다. 방법은 제 1 주 (primary) 파라미터 레벨, 제 2 주 파라미터 레벨, 제 1 보조 (secondary) 파라미터 레벨, 제 2 보조 파라미터 레벨, 및 제 3 보조 파라미터 레벨을 수신하는 단계를 포함한다. 방법은 또한 제 1 주 파라미터 레벨을 갖는 주 신호를 생성하는 단계, 및 주 신호를 제 1 주 파라미터 레벨로부터 제 2 주 파라미터 레벨로 전이하는 단계를 포함한다. 방법은 제 1 보조 파라미터 레벨을 갖는 보조 무선 주파수 (radio frequency; RF) 신호를 생성하는 단계, 및 보조 RF 신호를 제 1 보조 파라미터 레벨로부터 제 2 보조 파라미터 레벨로 전이하는 단계를 더 포함한다. 방법은 보조 RF 신호를 제 2 보조 파라미터 레벨로부터 제 3 보조 파라미터 레벨로 전이하는 단계를 포함한다.

대 표 도 - 도2b



(Sx & Sy 랩)

(52) CPC특허분류
H01J 37/32183 (2022.08)
H01L 21/31116 (2013.01)
H01L 21/31144 (2013.01)
H01L 21/32137 (2013.01)
H01L 21/32139 (2013.01)
H01L 22/20 (2013.01)
H01J 2237/24578 (2013.01)
H01J 2237/334 (2013.01)

(72) 발명자
첸, 첸
미국, 94538 캘리포니아, 프레몬트, 쿠싱 파크웨이 4650
피, 슈앙
미국, 94538 캘리포니아, 프레몬트, 쿠싱 파크웨이 4650
아가월, 닥쉬
미국, 94538 캘리포니아, 프레몬트, 쿠싱 파크웨이 4650
수, 칭
미국, 94538 캘리포니아, 프레몬트, 쿠싱 파크웨이 4650
웡, 메렛
미국, 94538 캘리포니아, 프레몬트, 쿠싱 파크웨이 4650
무코파디아이, 아밋
미국, 94538 캘리포니아, 프레몬트, 쿠싱 파크웨이 4650

명 세 서

청구범위

청구항 1

기판의 마스크 층의 임계 치수 (critical dimension; CD) 를 제어하기 위한 방법에 있어서,

주 생성기 (primary generator) 에 의해, 제 1 주 파라미터 레벨 및 제 2 주 파라미터 레벨을 수신하는 단계;

보조 (secondary) 무선 주파수 (radio frequency; RF) 생성기에 의해, 제 1 보조 파라미터 레벨, 제 2 보조 파라미터 레벨, 및 제 3 보조 파라미터 레벨을 수신하는 단계;

상기 주 생성기에 의해, 상기 제 1 주 파라미터 레벨을 갖는 주 신호를 생성하는 단계;

클록 사이클 동안 상기 주 생성기에 의해, 상기 주 신호를 상기 제 1 주 파라미터 레벨로부터 상기 제 2 주 파라미터 레벨로 전이하는 단계;

상기 보조 RF 생성기에 의해, 상기 제 1 보조 파라미터 레벨을 갖는 보조 RF 신호를 생성하는 단계;

상기 클록 사이클 동안 상기 보조 RF 생성기에 의해, 상기 보조 RF 신호를 상기 제 1 보조 파라미터 레벨로부터 상기 제 2 보조 파라미터 레벨로 전이하는 단계; 및

상기 클록 사이클 동안 상기 보조 RF 생성기에 의해, 상기 보조 RF 신호를 상기 제 2 보조 파라미터 레벨로부터 상기 제 3 보조 파라미터 레벨로 전이하는 단계를 포함하고,

상기 제 1 주 파라미터 레벨로부터 상기 제 2 주 파라미터 레벨로의 상기 주 신호의 상기 전이는 상기 제 1 보조 파라미터 레벨로부터 상기 제 2 보조 파라미터 레벨로의 상기 보조 RF 신호의 상기 전이와 동기화하여 발생하고,

상기 제 2 보조 파라미터 레벨은 상기 마스크 층의 임계 치수를 제어하도록 생성되는, 임계 치수를 제어하기 위한 방법.

청구항 2

제 1 항에 있어서,

상기 제 2 보조 파라미터 레벨은 100 W 내지 1000 W 범위인, 임계 치수를 제어하기 위한 방법.

청구항 3

제 1 항에 있어서,

상기 임계 치수의 측정 값을 수신하는 단계를 더 포함하고, 상기 제 2 보조 파라미터 레벨은 상기 임계 치수의 상기 측정 값에 기초하는, 임계 치수를 제어하기 위한 방법.

청구항 4

제 3 항에 있어서,

상기 임계 치수의 상기 측정 값은 미리 결정된 임계 치수보다 더 작고,

상기 방법은,

상기 임계 치수의 상기 측정 값이 상기 미리 결정된 임계 치수보다 더 작다는 지표를 수신한 후 제 4 보조 파라미터 레벨을 상기 제 2 보조 파라미터 레벨로 수정하는 단계를 포함하는, 임계 치수를 제어하기 위한 방법.

청구항 5

제 4 항에 있어서,

상기 임계 치수의 상기 측정 값이 상기 미리 결정된 임계 치수보다 더 작다는 상기 지표를 수신한 후 상기 제 4

보조 파라미터 레벨의 듀티 사이클을 변화시키는 단계를 더 포함하는, 임계 치수를 제어하기 위한 방법.

청구항 6

제 1 항에 있어서,

상기 제 2 보조 파라미터 레벨은 상기 제 1 보조 파라미터 레벨의 듀티 사이클의 1 내지 3 배인 듀티 사이클을 갖는, 임계 치수를 제어하기 위한 방법.

청구항 7

제 1 항에 있어서,

상기 제 2 보조 파라미터 레벨은 상기 제 1 보조 파라미터 레벨의 듀티 사이클의 4 내지 5 배인 듀티 사이클을 갖는, 임계 치수를 제어하기 위한 방법.

청구항 8

제 1 항에 있어서,

상기 임계 치수는 상기 마스크에 인접한 제 1 패시베이션 층과 상기 마스크에 인접한 제 2 패시베이션 층 사이의 거리를 포함하고, 상기 제 1 패시베이션 층은 상기 제 2 패시베이션 층과 대면하는, 임계 치수를 제어하기 위한 방법.

청구항 9

제 1 항에 있어서,

상기 제 1 주 파라미터 레벨로부터 상기 제 2 주 파라미터 레벨로의 상기 주 신호의 전이가 상기 제 1 보조 파라미터 레벨로부터 상기 제 2 보조 파라미터 레벨로의 상기 보조 RF 신호의 상기 전이와 동시에 개시되도록 제어될 때 상기 제 1 주 파라미터 레벨로부터 상기 제 2 주 파라미터 레벨로의 상기 주 신호의 상기 전이는 상기 제 1 보조 파라미터 레벨로부터 상기 제 2 보조 파라미터 레벨로의 상기 보조 RF 신호의 상기 전이와 동기화하여 발생하는, 임계 치수를 제어하기 위한 방법.

청구항 10

제 1 항에 있어서,

상기 제 3 보조 파라미터 레벨 및 상기 제 2 주 파라미터 레벨의 제 1 부분 동안, 증착 동작이 상기 마스크 층 상에서 발생하고, 상기 제 2 보조 파라미터 레벨 및 상기 제 2 주 파라미터 레벨의 제 2 부분 동안, 상기 마스크 층의 상기 임계 치수와 막힘 사이에 트레이드 오프가 발생하고, 상기 제 1 주 파라미터 레벨 및 상기 제 1 보조 파라미터 레벨 동안, 상기 기판이 에칭되는, 임계 치수를 제어하기 위한 방법.

청구항 11

마스크 층의 임계 치수를 제어하기 위한 제어기에 있어서,

프로세서로서,

제 1 주 파라미터 레벨 및 제 2 주 파라미터 레벨을 수신하고;

제 1 보조 파라미터 레벨, 제 2 보조 파라미터 레벨, 및 제 3 보조 파라미터 레벨을 수신하고;

상기 제 1 주 파라미터 레벨을 갖는 주 신호를 생성하도록 주 생성기를 제어하고;

클록 사이클 동안, 상기 주 신호를 상기 제 1 주 파라미터 레벨로부터 상기 제 2 주 파라미터 레벨로 전이하도록 상기 주 생성기를 제어하고;

상기 제 1 보조 파라미터 레벨을 갖는 보조 무선 주파수 (RF) 신호를 생성하도록 보조 RF 생성기를 제어하고;

상기 클록 사이클 동안 상기 보조 RF 신호를 상기 제 1 보조 파라미터 레벨로부터 상기 제 2 보조 파라미터 레벨로 전이하도록 상기 보조 RF 생성기를 제어하고; 그리고

상기 클록 사이클 동안 상기 보조 RF 신호를 상기 제 2 보조 파라미터 레벨로부터 상기 제 3 보조 파라미터 레

벨로 전이하도록 상기 보조 RF 생성기를 제어하도록 구성되고,

상기 주 신호는 상기 제 1 보조 파라미터 레벨로부터 상기 제 2 보조 파라미터 레벨로의 상기 보조 RF 신호의 상기 전이와 동기화하여 상기 제 1 주 파라미터 레벨로부터 상기 제 2 주 파라미터 레벨로 전이하도록 제어되고,

상기 제 2 보조 파라미터 레벨은 상기 마스크 층의 임계 치수를 제어하도록 생성되는, 상기 프로세서; 및

상기 프로세서에 커플링된 메모리 디바이스로서, 상기 메모리 디바이스는 상기 제 1 주 파라미터 레벨, 상기 제 2 주 파라미터 레벨, 상기 제 1 보조 파라미터 레벨, 상기 제 2 보조 파라미터 레벨, 및 상기 제 3 보조 파라미터 레벨을 저장하도록 구성되는, 상기 메모리 디바이스를 포함하는, 제어기.

청구항 12

제 11 항에 있어서,

상기 제 2 보조 파라미터 레벨은 100 W 내지 1000 W 범위인, 제어기.

청구항 13

제 11 항에 있어서,

상기 프로세서는 상기 임계 치수의 측정 값을 수신하도록 구성되고, 상기 제 2 보조 파라미터 레벨은 상기 임계 치수의 상기 측정 값에 기초하는, 제어기.

청구항 14

제 13 항에 있어서,

상기 임계 치수의 상기 측정 값은 미리 결정된 임계 치수보다 더 작고, 상기 프로세서는,

상기 임계 치수의 상기 측정 값이 상기 미리 결정된 임계 치수보다 더 작다는 지표를 수신한 후 제 4 보조 파라미터 레벨을 상기 제 2 보조 파라미터 레벨로 수정하도록 구성되는, 제어기.

청구항 15

제 14 항에 있어서,

상기 프로세서는 상기 임계 치수의 상기 측정 값이 상기 미리 결정된 임계 치수보다 더 작다는 상기 지표를 수신한 후 상기 제 4 보조 파라미터 레벨의 듀티 사이클을 변화시키도록 구성되는, 제어기.

청구항 16

제 11 항에 있어서,

상기 제 2 보조 파라미터 레벨은 상기 제 1 보조 파라미터 레벨의 듀티 사이클의 1 내지 3 배인 듀티 사이클을 갖는, 제어기.

청구항 17

마스크의 임계 치수를 제어하기 위한 플라즈마 시스템에 있어서,

제 1 주 파라미터 레벨 및 제 2 주 파라미터 레벨을 수신하도록 구성된 주 생성기;

제 1 보조 파라미터 레벨, 제 2 보조 파라미터 레벨, 및 제 3 보조 파라미터 레벨을 수신하도록 구성된 보조 RF 생성기;

상기 주 생성기는 상기 제 1 주 파라미터 레벨을 갖는 주 신호를 생성하도록 구성되고,

상기 주 생성기는 클록 사이클 동안, 상기 주 신호를 상기 제 1 주 파라미터 레벨로부터 상기 제 2 주 파라미터 레벨로 전이하도록 구성되고,

상기 보조 RF 생성기는 상기 제 1 보조 파라미터 레벨을 갖는 보조 RF 신호를 생성하도록 구성되고,

상기 보조 RF 생성기는 상기 클록 사이클 동안 상기 보조 RF 신호를 상기 제 1 보조 파라미터 레벨로부터 상기

제 2 보조 파라미터 레벨로 전이하도록 구성되고,

상기 보조 RF 생성기는 상기 클록 사이클 동안 상기 보조 RF 신호를 상기 제 2 보조 파라미터 레벨로부터 상기 제 3 보조 파라미터 레벨로 전이하도록 구성되고,

상기 제 1 주 파라미터 레벨로부터 상기 제 2 주 파라미터 레벨로의 상기 주 신호의 상기 전이는 상기 제 1 보조 파라미터 레벨로부터 상기 제 2 보조 파라미터 레벨로의 상기 보조 RF 신호의 상기 전이와 동기화하여 발생하고,

상기 제 2 보조 파라미터 레벨은 상기 마스크의 임계 치수를 제어하도록 생성되고;

상기 주 생성기 및 상기 보조 RF 생성기에 커플링된 임피던스 매칭 회로로서, 상기 임피던스 매칭 회로는 수정된 RF 신호를 출력하기 위해 상기 주 신호 및 상기 보조 RF 신호를 수신하도록 구성되는, 상기 임피던스 매칭 회로; 및

상기 임피던스 매칭 회로에 커플링된 플라즈마 챔버로서, 상기 플라즈마 챔버는 상기 마스크 층의 상기 임계 치수를 제어하도록 상기 수정된 RF 신호를 수신하도록 구성되는, 상기 플라즈마 챔버를 포함하는, 플라즈마 시스템.

청구항 18

제 17 항에 있어서,

상기 제 2 보조 파라미터 레벨은 100 W 내지 1000 W 범위인, 플라즈마 시스템.

청구항 19

제 17 항에 있어서,

상기 주 생성기 및 상기 보조 RF 생성기에 커플링된 호스트 컴퓨터를 더 포함하고, 상기 호스트 컴퓨터는 상기 임계 치수의 측정 값을 수신하도록 구성되고, 상기 제 2 보조 파라미터 레벨은 상기 임계 치수의 상기 측정 값에 기초하는, 플라즈마 시스템.

청구항 20

제 19 항에 있어서,

상기 주 생성기 및 상기 보조 RF 생성기에 커플링된 호스트 컴퓨터를 더 포함하고, 상기 임계 치수의 상기 측정 값은 미리 결정된 임계 치수보다 더 작고,

상기 프로세서는,

상기 임계 치수의 상기 측정 값이 상기 미리 결정된 임계 치수보다 더 작다는 지표를 수신한 후 제 4 보조 파라미터 레벨을 상기 제 2 보조 파라미터 레벨로 수정하도록 구성되고,

상기 호스트 컴퓨터는 상기 임계 치수의 상기 측정 값이 상기 미리 결정된 임계 치수보다 더 작다는 지표를 수신한 후 상기 제 4 보조 파라미터 레벨의 듀티 사이클을 변화시키도록 구성되는, 플라즈마 시스템.

발명의 설명

기 술 분 야

[0001] 본 실시 예들은 마스크 층의 임계 치수 (critical dimension; CD) 를 제어하기 위한 시스템들 및 방법들에 관한 것이다.

배 경 기 술

[0002] 플라즈마 툴은 무선 주파수 (radio frequency; RF) 생성기, 매칭 네트워크 및 플라즈마 반응기를 포함한다. RF 생성기는 매칭 네트워크를 통해 플라즈마 반응기에 커플링된다. 웨이퍼는 에칭되도록 플라즈마 챔버 내에 배치된다.

[0003] RF 생성기는 매칭 네트워크에 공급되는 RF 신호를 생성한다. 매칭 네트워크는 RF 생성기를 향하여 반사된 전력

을 감소시키고 출력 RF 신호를 플라즈마 반응기에 제공한다. 출력 RF 신호는 웨이퍼를 에칭하는데 사용된다. 그러나, 때때로, 목표된 것과 상이한 프로세스 결과가 출력 RF 신호로 달성될 수도 있다.

[0004] 본 명세서에 제공된 배경기술 기술 (description) 은 본 개시의 맥락을 일반적으로 제시할 목적이다. 이 배경기술 섹션에 기술된 정도의 본 명세서에 명명된 발명자들의 업적, 뿐만 아니라 출원 시 종래 기술로서 달리 인증되지 않을 수도 있는 본 기술의 양태들은 본 개시에 대한 종래 기술로서 명시적으로나 암시적으로 인정되지 않는다.

발명의 내용

[0005] 본 개시의 실시 예들은 기판의 마스크 층의 CD (critical dimension) 를 제어하기 위한 시스템들, 장치, 방법들 및 컴퓨터 프로그램들을 제공한다. 본 실시 예들은 다수의 방식들, 예를 들어, 프로세스, 장치, 시스템, 디바이스, 또는 컴퓨터 판독 가능 매체 상의 방법으로 구현될 수 있다는 것이 인식되어야 한다. 몇몇 실시 예들이 이하에 기술된다.

[0006] 일 실시 예에서, 고 종횡비 (high aspect ratio; HAR) 콘택트 에칭에서, 마스크 층과 비교하여 스택 층을 선택적으로 에칭하려고 하는 동안 적절한 프로세스 마진이 유지되어야 한다. 예로서, 스택 층은 반복되는 옥사이드 층 및 폴리-실리콘 층을 포함하고 마스크 층은 탄소를 갖는다. 마스크 선택도는 마스크 층에 근접한 중합 종 (polymerizing species) 에 연결된다 (tie). 중합 종은 마스크 개구부의 크기를 제한하고, 이는 프로세스 마진을 제한한다. 본 명세서에 기술된 방법들은 선택도와 프로세스 마진 사이의 트레이드 오프를 개선하면서 마스크 에칭 레이트를 제어한다.

[0007] 2-레벨 RF (radio frequency) 펄싱의 경우, 바이어스 및 플럭스 모두의 전력을 로우 레벨로 전환하거나 제 2 레벨에서 오프하는 프로세스는 로우 레벨 또는 오프 상태가 충분히 길게 설정될 때 마스크 선택도를 상승시킬 수도 있다. 그러나, 이 프로세스는 때때로 마스크의 상단에서 더 큰 패시베이션으로 인해 마스크 막힘 (clog) 의 위험을 증가시킨다. 로우 레벨 또는 오프 상태는 본 명세서에서 때때로 로우 레벨/오프 상태로 지칭된다.

[0008] 프로세스 캡핑 마진을 확대하려는 (widen) 화학적 시도는 마스크 선택도를 악화시킬 수도 있고, 2-레벨 RF 펄싱으로부터 마스크 선택도의 이점들의 감소로 끝날 수도 있다. 더 적은 중합체 소스를 사용한 더 약한 화학 물질은 프로세스 마진을 확대하고 마스크 막힘을 제거하기 위한 효과적인 노브 (knob) 이다. 그러나, 이 화학적 접근법 (chemistry approach) 은 다른 파라미터들과의 트레이드 오프되고 (tradeoff), 예컨대 더 큰 최대 CD (critical dimension) 를 가질수록 불량한 프로파일 및 불량한 마스크 선택도로 인해 더 적은 마스크가 남아 있다.

[0009] 본 명세서에 기술된 방법들은 멀티-상태 펄싱을 포함한다. 멀티-상태 펄싱에서, 무 바이어스 및 저 플럭스 레짐을 사용하는 제 3 펄싱 동작이 저 레벨/오프 상태에 추가된다. 제 3 펄싱 동작을 추가함으로써, 마스크 막힘과의 트레이드 오프는 마스크 선택도를 상당히 개선하면서 해결된다.

[0010] 무 바이어스 및 저 플럭스 레짐은 마스크의 상단에 도달할 수 있는 플라즈마를 생성하고 기판의 상단 및 넥 영역 상에 저 레벨/오프 상태 동안 증착된 중합체들을 제거한다. 멀티-상태 펄싱에서, 무 바이어스 및 저 플럭스 레짐은 제 3 상태로서 구현되고, 이는 넥 형성 상태인 저 레벨/오프 상태 전 또는 후에 삽입될 수 있다. 사이클 각각 동안, 무 바이어스 및 저 플럭스 레짐은 넥을 트리밍하고 (trim) 곧게 하고 (straighten), 마스크 막힘의 축적 효과를 제거하고, 결국 프로세스 캡핑 마진을 확대한다. 그 결과, 저 레벨/오프 상태로부터 오는 마스크 선택도의 이점들 및 확대된 프로세스 마진의 이점들 모두가 유지될 수 있다. 무 바이어스 및 저 플럭스 레짐은 마스크 막힘을 제거하기 위한 방법으로서 제공되고, 화학 물질의 선택들에 많은 유연성을 제공한다.

[0011] 일 실시 예에서, 마스크 층의 임계 치수 (critical dimension; CD) 를 제어하기 위한 방법이 기술된다. 방법은 주 (primary) 생성기에 의해, 제 1 주 파라미터 레벨 및 제 2 주 파라미터 레벨을 수신하는 단계를 포함한다. 방법은 메가헤르츠 (megahertz) RF 생성기에 의해, 제 1 보조 (secondary) 파라미터 레벨, 제 2 보조 파라미터 레벨, 및 제 3 보조 파라미터 레벨을 수신하는 단계를 더 포함한다. 방법은 또한 주 생성기에 의해, 제 1 주 파라미터 레벨을 갖는 주 신호를 생성하는 단계를 포함한다. 방법은 클록 사이클 동안 주 생성기에 의해, 주 신호를 제 1 주 파라미터 레벨로부터 제 2 주 파라미터 레벨로 전이하는 단계를 포함한다. 방법은 보조 RF 생성기에 의해, 제 1 보조 파라미터 레벨을 갖는 보조 RF 신호를 생성하는 단계를 더 포함한다. 방법은 또한 보조 RF 생성기에 의해, 클록 사이클 동안 제 1 보조 파라미터 레벨로부터 제 2 보조 파라미터 레벨로 보조 RF 신호를 전이하는 단계를 포함한다. 방법은 보조 RF 생성기에 의해, 클록 사이클 동안 제 2 보조 파라미터 레벨로부터 제 3 보조 파라미터 레벨로 보조 RF 신호를 전이하는 단계를 포함한다. 제 1 주 파라미터 레벨로부터 제

2 주 파라미터 레벨로의 주 신호의 전이 동작은 제 1 보조 파라미터 레벨로부터 제 2 보조 파라미터 레벨로의 보조 RF 신호의 전이 동작과 동기화되어 발생한다. 제 2 보조 파라미터 레벨은 마스크 층의 임계 치수를 제어하도록 생성된다.

[0012] 일 실시 예에서, 마스크 층의 임계 치수를 제어하기 위한 제어기가 기술된다. 제어기는 프로세서 및 메모리 디바이스를 포함한다. 프로세서는 제 1 주 파라미터 레벨, 제 2 주 파라미터 레벨, 제 1 보조 파라미터 레벨, 제 2 보조 파라미터 레벨, 및 제 3 보조 파라미터 레벨을 수신한다. 프로세서는 제 1 주 파라미터 레벨을 갖는 주 신호를 생성하도록 주 생성기를 제어한다. 프로세서는 클록 사이클 동안 주 신호를 제 1 주 파라미터 레벨로부터 제 2 주 파라미터 레벨로 전이하도록 주 생성기를 제어한다. 프로세서는 제 1 보조 파라미터 레벨을 갖는 보조 RF 신호를 생성하도록 보조 RF 생성기를 제어한다. 프로세서는 클록 사이클 동안 보조 RF 신호를 제 1 보조 파라미터 레벨로부터 제 2 보조 파라미터 레벨로 전이하도록 보조 RF 생성기를 제어한다. 프로세서는 클록 사이클 동안 제 2 보조 파라미터 레벨로부터 제 3 보조 파라미터 레벨로 보조 RF 신호를 전이하도록 보조 RF 생성기를 더 제어한다. 주 신호는 제 1 보조 파라미터 레벨로부터 제 2 보조 파라미터 레벨로의 보조 RF 신호의 전이와 동기화하여 제 1 주 파라미터 레벨로부터 제 2 주 파라미터 레벨로 전이하도록 제어된다. 또한, 제 2 보조 파라미터 레벨은 마스크 층의 임계 치수를 제어하도록 생성된다. 메모리 디바이스는 제 1 주 파라미터 레벨, 제 2 주 파라미터 레벨, 제 1 보조 파라미터 레벨, 제 2 보조 파라미터 레벨, 및 제 3 보조 파라미터 레벨을 저장한다.

[0013] 마스크의 임계 치수를 제어하기 위한 플라즈마 시스템이 기술된다. 플라즈마 시스템은 제 1 주 파라미터 레벨 및 제 2 주 파라미터 레벨을 수신하는 주 생성기를 포함한다. 플라즈마 시스템은 제 1 보조 파라미터 레벨, 제 2 보조 파라미터 레벨, 및 제 3 보조 파라미터 레벨을 수신하는 보조 RF 생성기를 더 포함한다. 주 생성기는 제 1 주 파라미터 레벨을 갖는 주 신호를 생성한다. 또한, 주 생성기는 클록 사이클 동안 주 신호를 제 1 주 파라미터 레벨로부터 제 2 주 파라미터 레벨로 전이한다. 보조 RF 생성기는 제 1 보조 파라미터 레벨을 갖는 보조 RF 신호를 생성한다. 게다가, 보조 RF 생성기는 클록 사이클 동안 보조 RF 신호를 제 1 보조 파라미터 레벨로부터 제 2 보조 파라미터 레벨로 전이한다. 보조 RF 생성기는 클록 사이클 동안 보조 RF 신호를 제 2 보조 파라미터 레벨로부터 제 3 보조 파라미터 레벨로 전이한다. 제 1 주 파라미터 레벨로부터 제 2 주 파라미터 레벨로의 주 신호의 전이는 제 1 보조 파라미터 레벨로부터 제 2 보조 파라미터 레벨로의 보조 RF 신호의 전이와 동기화되어 발생한다. 제 2 보조 파라미터 레벨은 마스크의 임계 치수를 제어하도록 생성된다. 플라즈마 시스템은 주 생성기 및 보조 RF 생성기에 커플링된 임피던스 매칭 회로를 더 포함한다. 임피던스 매칭 회로는 수정된 RF 신호를 출력하기 위해 주 신호 및 보조 RF 신호를 수신한다. 플라즈마 시스템은 임피던스 매칭 회로에 커플링된 플라즈마 챔버를 포함한다. 플라즈마 챔버는 마스크 층의 임계 치수를 제어하도록 수정된 RF 신호를 수신한다.

[0014] 본 명세서에 기술된 시스템들 및 방법들의 몇몇 장점들은 마스크 층에서 막힘을 감소시키는 것을 포함한다. 고 주파수 (HF) RF 생성기의 두 상태들 사이에 중간 상태를 도입함으로써, 마스크 층에서 막힘이 감소된다. HF RF 생성기에 의해 생성된 HF RF 신호는 제 1 상태로부터 제 2 상태, 예컨대 중간 상태로, 그리고 이어서 중간 상태로부터 제 3 상태로 전이한다. 제 1 상태로부터 제 2 상태로의 전이는 제 1 상태로부터 제 2 상태로의 저 주파수 (LF) RF 신호의 전이와 동기화하여 발생한다. 이러한 방식으로 LF RF 신호들 및 HF RF 신호들을 펄싱함으로써, 마스크 층에서 막힘이 감소된다.

[0015] 다른 양태들은 첨부된 도면들과 함께 취해진, 이하의 상세한 기술로부터 자명해질 것이다.

도면의 간단한 설명

[0016] 실시 예들은 첨부된 도면들과 함께 취해진 이하의 기술을 참조하여 가장 잘 이해될 수도 있다.

도 1은 고 주파수 (HF) RF (radio frequency) 생성기에 의해 생성된 RF 신호의 파라미터 상태의 듀티 사이클 및 파라미터 레벨의 결정을 위한 랩 루틴을 예시하기 위한 시스템의 일 실시 예의 도면이다.

도 2a는 RF 신호들이 동기화되는 클록 신호를 예시하기 위한 그래프의 일 실시 예의 도면이다.

도 2b는 저 주파수 (LF) RF 생성기에 의해 생성되는 LF RF 신호의 파라미터 및 HF RF 생성기에 의해 생성되는 HF RF 신호의 파라미터를 예시하기 위한 그래프의 일 실시 예이다.

도 2c는 LF RF 신호의 파라미터 및 HF RF 신호의 파라미터를 예시하기 위한 그래프의 일 실시 예이다.

도 3a는 일단 부가적인 HF 레시피가 결정되면, 부가적인 HF 레시피가 기판들의 프로세싱 동안 하나 이상의 기판

들에 적용된다는 것을 예시하기 위한 시스템의 일 실시 예의 도면이다.

도 3b는 파라미터 레벨 및 듀티 사이클의 선택을 위한 데스크탑 컴퓨터의 일 실시 예의 도면이다.

도 4는 RF 생성기들의 상세들을 예시하기 위한 LF RF 생성기 및 HF RF 생성기의 일 실시 예의 도면이다.

도 5a는 기판 상의 상태 S1y 및 상태 S1x 동안 수행된 에칭 동작의 효과를 예시하기 위한 기판의 일 실시 예의 도면이다.

도 5b는 기판 상의 상태 S2y 및 상태 S0x의 효과를 예시하기 위한 기판의 일 실시 예의 도면이다.

도 5c는 기판 상의 상태 S0y 및 상태 S0x의 효과를 예시하기 위한 기판의 일 실시 예의 도면이다.

발명을 실시하기 위한 구체적인 내용

[0017] 이하의 실시 예들은 기판의 마스크 층의 임계 치수 (critical dimension; CD) 를 제어하기 위한 시스템들 및 방법들을 기술한다 (describe). 본 실시 예들은 이들 구체적인 상세들 중 일부 또는 전부가 없이 실시될 수도 있다는 것이 자명할 것이다. 다른 예들에서, 공지된 동작들은 본 실시 예들을 불필요하게 모호하게 하지 않기 위해 상세히 기술되지 않았다.

[0018] 2-상태 펄싱인 레벨-투-레벨 RF 펄싱에서, s0 상태의 바이어스 및 플럭스 모두를 턴 오프하는 것은 중합체들로부터 더 큰 패시베이션을 가져올 수도 있다. s0 상태는 때때로 0 W-s0 레짐 (0W-s0) 레짐으로서 본 명세서에서 지칭된다. 패시베이션은 주로 마스크의 상단에서 발생하고, 마스크 에칭 레이트를 감소시킬 수도 있고, 마스크 선택도를 상승시킬 수도 있다. 상부 마스크 CD는 더 많은 패시베이션의 결과로서 감소될 수도 있어, 네킹 (necking) 및 마스크 막힘 (mask clogging) 을 유발한다.

[0019] 화학 물질 최적화 또는 조정에 의해, 마스크 막힘이 감소되지만, 에칭 레이트와 같은 선택도 이점들이 또한 감소될 수도 있다. 예를 들어, 캡핑이 기판의 넥 영역에서 마스크 계단화 (terracing) 및 증착에 의해 유발된다면, 화학 물질 최적화 또는 조정은 마스크 막힘의 위험을 감소시킬 수 있다. 그러나, 화학 물질 조정은 선택도 이점들을 감소시킬 수도 있다. 화학 물질 최적화 또는 조정은 본 명세서에서 때때로 화학적 접근법 (chemistry approach) 으로 지칭된다.

[0020] 본 명세서에 기술된, CD를 제어하기 위한 방법들은 마스크의 상단에 도달하고, 상단 및 넥 영역에 증착된 중합체들을 제거함으로써 넥 영역을 트리밍하고 곧게 할 수 있는 (straighten) 플라즈마를 생성하는 플라즈마를 생성하는, 무 바이어스/저 플럭스 레짐을 포함한다. CD를 제어하기 위한 방법들은 마스크 막힘 위험을 감소시키고 프로세스 마진을 확대한다. 무 바이어스/저 플럭스 레짐은 S0x 상태 및 멀티-상태 펄싱의 제 3 상태인 S2y 상태의 조합으로서 구현된다. 확대된 프로세스 마진은 더 우수한 마스크 선택도 또는 더 우수한 최대 CD의 잠재적인 이점들을 가져온다. 특히, 확대된 프로세스 마진은 건전한 프로세스 마진을 유지하는 동안 마스크 선택도를 상당히 상승시키는 S0x 상태로서 0 W를 구현하는 사치를 야기한다. 따라서, S0x 상태에서 0 W를 사용한 멀티-상태 펄싱 및 제 3 상태로서 무 바이어스/저 플럭스 레짐은 마스크 선택도 대 마스크 막힘의 트레이드 오프 (tradeoff) 를 파괴한다. 멀티-상태 펄싱은 프로세스 마진을 확대하는 프로세스를 단순화하고 화학 가스의 선택에 더 많은 유연성을 부가한다.

[0021] S0x 상태 동안 마스크 막힘의 레벨에 따라, 멀티-상태 펄싱에서 무 바이어스/저 플럭스 레짐은 프로세스 마진 및 마스크 선택도 모두에서 이점들을 유지하면서 트레이드 오프를 최소화하도록 제어될 수 있다. 무 바이어스/저 플럭스 레짐의 플럭스 전력은 넥에서 CD 및 넥의 형상을 제어하도록 사용될 수 있다. CD의 제어는 넥의 확대로 인한 에칭 레이트의 증가를 제공할 수 있고 종횡비를 개선한다. 플럭스 확장 인자는 S2y 상태의 듀티 사이클 및 S0x 상태의 듀티 사이클과 같은 양을 제어하기 위한 또 다른 노브 (knob) 이다. 이러한 튜닝 가능성은 에칭 레이트와 마스크 선택도 사이의 균형의 용이한 제어를 제공한다.

[0022] 본 명세서에 기술된, CD를 제어하기 위한 방법들은 마스크 선택도 대 마스크 막힘의 트레이드 오프를 중단하는 방법을 제공한다. 마스크 막힘을 해결하기 위한 화학적 접근 방식에서, 트레이드 오프, 예컨대 불량하거나 감소된 마스크 선택도가 발생한다. CD를 제어하기 위한 방법에서, 무 바이어스/저 플럭스 레짐이 상태 S0x로서 0 W와 함께 제 3 상태로서 구현되기 때문에, 상태 S0x로부터 오는 마스크 선택도의 이점들 및 무 바이어스/저 플럭스 레짐으로부터 오는 건전한 마스크의 이점들이 동일한 클록 사이클에 대해 유지될 수 있다. 고 마스크 선택도를 유지하는 동안 마스크 막힘 제거에서 이러한 제어성은 마스크 타입 및 마스크 두께의 선택에 더 큰 유연성을 제공하고, 이는 기판을 제조하는 비용을 더 감소시킨다.

[0023] 도 1은 고 주파수 (HF) 무선 주파수 (radio frequency; RF) 생성기에 의해 생성되는 RF 신호 (104) 의 파라미터의 상태 S1y의 파라미터 레벨 및 듀티 사이클을 결정하기 위한 랩 루틴을 예시하기 위한 시스템 (100) 의 일 실시 예의 도면이다. 파라미터의 예들은 전력 및 전압을 포함한다. 파라미터 레벨의 듀티 사이클의 예는 파라미터 레벨이 유지되는 시간 기간을 포함한다.

[0024] 시스템 (100) 은 저 주파수 (LF) RF 생성기, HF RF 생성기, 매칭부 (104), 플라즈마 챔버 (106), 호스트 컴퓨터 (108), 및 전자 현미경 (110) 을 포함한다. LF RF 생성기의 예시는 100 ㎑ (kilohertz), 또는 400 ㎑, 또는 1 ㎒ (megahertz), 또는 2 ㎒의 저 주파수 동작을 갖는 RF 생성기이다. HF RF 생성기의 예시는 2 ㎒, 13.56 ㎒, 27 ㎒, 60 ㎒, 또는 120 ㎒의 고 주파수 동작을 갖는 RF 생성기이다. 더 예시하기 위해, HF RF 생성기는 LF RF 생성기의 동작 주파수보다 더 높은 주파수를 갖는다. LF RF 생성기는 주 (primary) 생성기의 예이고 HF RF 생성기는 보조 (secondary) RF 생성기의 예이다.

[0025] 매칭 네트워크 (104) 는 임피던스 매칭 회로 또는 임피던스 매칭 네트워크로서 본 명세서에서 상호 교환 가능하게 지칭된다. 예로서, 매칭부 (104) 는 서로 커플링된 회로 컴포넌트들의 네트워크를 포함한다. 회로 컴포넌트의 예는 레지스터, 인덕터, 또는 커패시터이다.

[0026] 호스트 컴퓨터 (108) 의 예들은 데스크탑 컴퓨터, 랩탑 컴퓨터, 태블릿, 및 스마트 폰, 제어기를 포함한다. 호스트 컴퓨터 (108) 는 프로세서 (112) 및 메모리 디바이스 (114) 를 포함한다. 예로서, 프로세서 (112) 는 CPU (central processing unit), CPU 및 GPU (graphical processing unit) 의 조합, FPGA (field programmable gate array), ASIC (application specific integrated circuit), PLD (programmable logic device) 또는 마이크로제어기일 수 있다. 또한, 메모리 디바이스 (114) 의 예들은 RAM (random access memory) 및 ROM (read-only memory) 을 포함한다. 프로세서 (112) 는 메모리 디바이스 (114) 에 커플링된다.

[0027] 프로세싱 챔버 (106) 는 ESC (electrostatic chuck) 와 같은 기판 지지부 (116) 를 포함한다. 플라즈마 챔버 (106) 는 상부 전극 (118) 과 기판 지지부 (116) 사이에 갭 (120) 을 형성하도록 기판 지지부 (116) 위에 위치된 상부 전극 (118) 을 더 포함한다. 기판 지지부 (116) 내에 임베딩된 (embed) 하부 전극은 알루미늄 또는 알루미늄의 합금과 같은 금속으로 이루어진다. 기판 지지부 (116) 는 금속 및 알루미늄 옥사이드 (Al_2O_3) 와 같은, 세라믹으로 이루어진다. 상부 전극 (118) 은 금속으로 제조되고 접지 전위 또는 네거티브 전위와 같은 기준 전위에 커플링된다. 플라즈마 챔버 (106) 의 예는 CCP (capacitively coupled plasma) 챔버이다.

[0028] 예로서, 전자 현미경 (110) 은 기판 S의 이미지를 확대하기 위해 전자들의 빔 및 파동과 같은 특성들 (wave-like characteristics) 을 사용한다. 예시를 위해, 전자 현미경 (110) 은 백만 배보다 더 작은 기판 S의 피처들을 해상할 (resolve) 수 있다. 전자 현미경 (110) 의 예들은 TEM (transmission electron microscope), SEM (scanning electron microscope) 및 STEM (scanning transmission electron microscope) 을 포함한다. 본 명세서에 사용된 기판의 예는 복수의 층들을 갖는 반도체 웨이퍼를 포함한다. 예시를 위해, 기판은 ASIC 또는 PLD와 같은 집적 회로를 형성하는 복수의 층들을 포함한다. 프로세서 (112) 는 LF RF 생성기, HF RF 생성기, 및 전자 현미경 (110) 에 커플링된다.

[0029] LF RF 생성기의 출력부 O1은 RF 케이블 RFC1을 통해 매칭부 (104) 의 입력부 I1에 커플링된다. 또한, 매칭부 (104) 의 출력부 OM은 RF 송신 라인 RFT를 통해 기판 지지부 (116) 의 하부 전극에 커플링된다. RF 송신 라인 RFT의 예는 RF 케이블과 RF 시스 사이에 절연체를 갖는, RF 시스에 의해 둘러싸인 RF 케이블을 포함한다.

[0030] 플라즈마 챔버 (106) 는 측벽 (122), 상단 벽 (124), 및 하단 벽 (126) 을 갖는다. 측벽 (122) 은 상단 벽 (124) 과 하단 벽 (126) 사이에 위치된다. 측벽 (122) 은 상단 벽 (124) 및 하단 벽 (126) 과 피팅된다 (fit). 슬롯 (129) 은 측벽 (122) 을 통해 연장한다.

[0031] 프로세서 (114) 는 레시피 신호 (128) 를 생성하고 레시피 신호 (128) 를 LF RF 생성기로 전송한다. 레시피 신호 (128) 는 LF RF 생성기에 의해 생성될 RF 신호 (130) 의 파라미터의 상태들의 수, RF 신호 (130) 의 상태 각각에 대한 파라미터 레벨, 상태들 각각의 듀티 사이클, 및 RF 신호 (130) 의 주파수와 같은 LF 레시피 정보를 포함한다. 유사하게, 프로세서 (114) 는 레시피 신호 (132) 를 생성하고 레시피 신호 (132) 를 HF RF 생성기로 전송한다. 레시피 신호 (132) 는 HF RF 생성기에 의해 생성될 RF 신호 (102) 의 파라미터의 상태들의 수, RF 신호 (102) 의 상태 각각에 대한 파라미터 레벨, 상태들 각각의 듀티 사이클, 및 RF 신호 (102) 의 주파수를 포함한다.

[0032] 레시피 신호 (128) 를 수신한 후, LF RF 생성기는 레시피 신호 (128) 내에서 수신된 상태들의 수에 대한 파라미터 레벨들에 기초하여 RF 신호 (130) 를 생성한다. 예를 들어, RF 신호 (130) 는 2 개의 상태들을 갖고 2 개의

상태들 각각은 레시피 신호 (128) 내에서 수신된 파라미터 레벨들 중 대응하는 파라미터 레벨을 갖는다. RF 신호 (130) 는 또한 레시피 신호 (128) 내에서 수신된 주파수를 갖는다. 또한, 레시피 신호 (132) 를 수신한 후, HF RF 생성기는 레시피 신호 (132) 내에서 수신된 상태들의 수에 대한 파라미터 레벨들을 갖는 RF 신호 (102) 를 생성한다. 예를 들어, RF 신호 (102) 는 2 개의 상태들을 갖고 상태 각각은 레시피 신호 (132) 내에서 수신된 파라미터 레벨들 중 대응하는 파라미터 레벨을 갖는다. RF 신호 (130) 는 또한 레시피 신호 (128) 내에서 수신된 주파수를 갖는다.

[0033] RF 신호 (130) 는 출력부 O1로부터 RF 케이블 RFC1 및 입력부 I1을 통해 매칭부 (104) 로 전송된다. 또한, RF 신호 (102) 는 출력부 O2로부터 RF 케이블 RFC2 및 입력부 I2를 통해 매칭부 (104) 로 전송된다.

[0034] 매칭부 (104) 는 RF 신호들 (130 및 102) 을 수신하고, 출력부 OM에 커플링된 부하의 임피던스를 입력부들 (I1 및 I2) 에 커플링된 소스의 임피던스와 매칭시킨다. 임피던스 매칭은 출력부 OM에서 수정된 RF 신호 (134) 를 출력하도록 RF 신호들 (130 및 102) 의 임피던스들을 수정한다. 부하의 예는 RF 송신 라인 RFT 및 플라즈마 챔버 (106) 를 포함한다. 입력부 I1 및 입력부 I2에 커플링된 소스의 예는 LF RF 생성기, RF 케이블 RFC1, HF RF 생성기, 및 RF 케이블 RFC2를 포함한다. 수정된 RF 신호 (134) 는 출력부 OM으로부터 RF 송신 라인 RFT를 통해 기판 지지부 (128) 의 하부 전극으로 전송된다.

[0035] 하나 이상의 프로세스 가스들이 수정된 RF 신호 (134) 에 더하여 플라즈마 챔버 (106) 내의 갭 (120) 에 공급될 때, 플라즈마는 기판 S를 프로세싱하기 위해 갭 (134) 내에 스트라이킹되거나 (strike) 유지된다. 기판 S를 프로세싱하는 예들은 기판 S 상에 재료를 증착하는 단계, 기판 S의 층을 에칭하는 단계, 기판 S를 세정하는 단계, 및 기판 S를 스퍼터링하는 단계를 포함한다. 하나 이상의 프로세스 가스들의 예들은 산소 함유 가스, 불소 함유 가스, 및 이들의 조합을 포함한다. 예시를 위해, 하나 이상의 프로세스 가스들은 탄소 및 수소, 예를 들어 CHF_3를 포함한다. 또 다른 예시로서, 탄소 및 수소의 양이 감소될 때, 수소 가스 또는 질소 트리플루오라이드 (NF_3) 가스가 하나 이상의 프로세스 가스들로서 사용될 수 있다.

[0036] 미리 결정된 시간량, 예컨대 15 분 또는 20 분 동안 기판 S를 프로세싱할 때, 기판 S는 슬롯 (129) 을 통해 플라즈마 챔버 (106) 로부터 제거된다. 예로서, 기판 S가 프로세싱을 종료하는데 1 시간 정도 걸린다. 이어서 기판 S는 전자 현미경 (110) 아래에 배치되어 사용자에 의해 엑스-시츄 (ex-situ) 검사된다. 예를 들어, 기판 S가 전자 현미경 (110) 아래에 배치될 때, 전자 현미경 (110) 에 의해 생성되거나 캡처된 기판 S의 피처들의 이미지는 호스트 컴퓨터 (108) 의 디스플레이 디바이스 상의 프로세서 (112) 에 의해 디스플레이된다. 디스플레이 디바이스의 예들은 액정 디스플레이 (LCD), 발광 다이오드 (LED) 디바이스, 및 플라즈마 디스플레이를 포함한다. 호스트 컴퓨터 (108) 의 디스플레이 디바이스는 호스트 컴퓨터 (108) 의 프로세서 (112) 에 커플링된다.

[0037] 사용자 또는 프로세서 (112) 에 의해, 기판 S의 마스크 층의 막힘량이 미리 결정된 막힘량보다 더 큰지 또는 마스크 층의 프로파일의 형상이 미리 결정된 형상 또는 이들의 조합인지의 결정이 이루어진다. 예를 들어, 사용자는 디스플레이된 이미지로부터 CD가 미리 결정된 CD보다 더 작은지 여부를 결정하기 위해 기판 S의 넥에서 폭과 같은 CD를 측정한다. 이 예에서, 사용자는 호스트 컴퓨터 (108) 의 입력 디바이스를 통해 프로세서 (112) 로 CD를 제공한다. 또한, 이 예에서, 프로세서 (112) 는 메모리 디바이스 (114) 에 CD를 저장한다. 또한, 예에서, CD가 미리 결정된 CD보다 더 작을 때, 마스크 층의 막힘량은 미리 결정된 막힘량보다 더 크다. 이 예에서, 미리 결정된 CD는 메모리 디바이스 (114) 에 저장된다. 또한, 이 예에서, 다른 한편으로, CD가 미리 결정된 CD보다 더 클 때, 마스크 층의 막힘량은 미리 결정된 막힘량보다 더 적다. 이 예에서, CD가 미리 결정된 CD보다 더 큰지 여부의 결정은 사용자에 의해 이루어진다.

[0038] 또 다른 예로서, 프로세서 (112) 는 캡처된 이미지로부터 CD가 미리 결정된 CD보다 더 작은지 여부를 결정하기 위해 기판 S의 넥에서 CD를 측정한다. 또한, 이 예에서, 프로세서 (112) 는 메모리 디바이스 (114) 에 CD를 저장한다. 또한, 예에서, CD가 미리 결정된 CD보다 작을 때, 프로세서 (112) 는 마스크 층의 막힘량이 미리 결정된 막힘량보다 더 크다고 결정한다. 또한, 이 예에서, 다른 한편으로, CD가 미리 결정된 CD보다 더 클 때, 프로세서 (112) 는 마스크 층의 막힘량이 미리 결정된 막힘량보다 더 적다고 결정한다.

[0039] 또 다른 예로서, 사용자는 디스플레이된 이미지로부터 기판의 넥의 복수의 위치들에서 CD들을 측정한다. 이 예에서, 사용자는 넥에서 제 1 수평 레벨에서 제 1 CD를 측정하고 넥에서 제 2 수평 레벨에서 제 2 CD를 측정한다. 제 2 수평 레벨은 제 1 수평 레벨보다 더 낮다. 예를 계속하면, 사용자는 입력 디바이스를 통해 프로세서 (112) 에 2 개의 CD를 제공한다. 이 예에서, 프로세서 (112) 는 2 개의 CD들을 메모리 디바이스 (114)

에 저장한다. 또한, 이 예에서, 제 1 CD가 제 1 미리 설정된 (preset) CD로부터 미리 설정된 범위 밖에 있고 제 2 CD가 제 2 미리 설정된 CD로부터 미리 설정된 범위 밖에 있을 때, 마스크 층의 프로파일의 형상은 미리 결정된 형상이 아니다. 한편, 이 예에서, 제 1 CD가 제 1 미리 설정된 CD로부터 미리 설정된 범위 내에 있고 제 2 CD가 제 2 미리 설정된 CD로부터 미리 설정된 범위 내에 있을 때, 마스크 층의 프로파일의 형상은 미리 결정된 형상이다. 이 예에서, 제 1 미리 설정된 CD, 미리 설정된 범위, 및 제 2 미리 설정된 CD는 메모리 디바이스 (114) 에 저장된다. 또한, 이 예에서, 제 1 미리 설정된 CD, 미리 설정된 범위, 및 제 2 미리 설정된 CD는 미리 결정된 형상을 규정한다. 또한, 예에서, 제 1 CD가 제 1 미리 설정된 CD로부터 미리 설정된 범위 내에 있고 제 2 CD가 제 2 미리 설정된 CD로부터 미리 설정된 범위 내에 있는지 여부의 결정은 사용자에 의해 또는 프로세서 (112) 에 의해 이루어진다. 또 다른 예로서, CD들은 동일한 수의 미리 설정된 CD들과의 비교를 위해 넥에서 3 개 이상의 수평 레벨들에서 측정될 수 있다는 것을 주의해야 한다.

[0040] 또 다른 예로서, 프로세서 (112) 는 캡처된 이미지로부터 기판의 넥의 복수의 위치들에서 CD들을 측정한다. 이 예에서, 프로세서 (112) 는 넥에서 제 1 수평 레벨에서 제 1 CD를 측정하고 넥에서 제 2 수평 레벨에서 제 2 CD를 측정한다. 이 예에서, 프로세서 (112) 는 2 개의 CD들을 메모리 디바이스 (114) 에 저장한다. 또한, 이 예에서, 제 1 CD가 제 1 미리 설정된 CD로부터 미리 설정된 범위 밖에 있고 제 2 CD가 제 2 미리 설정된 CD로부터 미리 설정된 범위 밖에 있을 때, 프로세서 (112) 는 마스크 층의 프로파일의 형상이 미리 결정된 형상이 아니라고 결정한다. 한편, 이 예에서, 제 1 CD가 제 1 미리 설정된 CD로부터 미리 설정된 범위 내에 있고 제 2 CD가 제 2 미리 설정된 CD로부터 미리 설정된 범위 내에 있을 때, 프로세서 (112) 는 마스크 층의 프로파일의 형상을 미리 결정된 형상이라고 결정한다.

[0041] 막힘량이 미리 결정된 막힘량보다 더 크거나 마스크 층의 프로파일의 형상이 미리 결정된 형상 또는 이들의 조합이 아니라는 결정시, RF 신호 (102) 의 레시피는 HF 레시피를 제공하도록 입력 디바이스를 통해 사용자에 의해 수정되거나 또는 프로세서 (112) 에 의해 수정된다. 예를 들어, 사용자 또는 프로세서 (112) 는 RF 신호 (102) 의 2 개의 상태들 사이에 중간 상태를 도입한다. 예시를 위해, RF 신호 (102) 의 2 개의 상태들이 S1y 및 S0y일 때, 사용자는 2 개의 상태 S1y와 상태 S0y 사이의 중간 상태 S2y에 관한 HF 레시피 정보를 제공한다. 더 예시하기 위해, 사용자는 입력 디바이스를 통해 프로세서 (112) 로 중간 상태 S2y의 파라미터 레벨 및 듀티 사이클을 제공한다. 다른 예시에서, 나머지 데이터는 레시피 신호 (132) 내의 데이터와 동일하다. 또한, 추가 예시에서, 중간 상태를 도입함으로써, 상태 S1y의 듀티 사이클이 감소된다. 다른 예시에서, 사용자는 상태 S1y의 듀티 사이클 및 상태 S1y에 대한 파라미터 레벨을 입력 디바이스를 통해 프로세서 (112) 에 제공한다. 다른 예시에서, 사용자는 상태 S0y에 대한 파라미터 레벨을 입력 디바이스를 통해 프로세서 (112) 에 제공한다. 이 예에서, 사용자는 입력 디바이스를 통해 프로세서 (112) 에 HF 레시피를 제공한다. 또한, 이 예에서, 프로세서 (112) 는 메모리 디바이스 (114) 에 HF 레시피를 저장한다. 또 다른 예로서, 프로세서 (112) 는 중간 상태를 도입하고 사용자 대신 중간 상태 S2y의 파라미터 레벨 및 듀티 사이클을 설정한다. 또한, 이 예에서, 프로세서 (112) 는 사용자 대신 상태 S0y에 대한 파라미터 레벨을 설정한다.

[0042] 입력 디바이스의 예들은 마우스, 스타일러스, 키보드 및 키패드를 포함한다. 입력 디바이스는 호스트 컴퓨터 (108) 의 프로세서 (112) 에 커플링된다.

[0043] 또한, HF 레시피를 제공하기 위해 RF 신호 (102) 의 레시피를 변경할 때, RF 신호 (130) 를 생성하도록 사용된 LF 레시피 정보는 LF 레시피를 출력하도록 사용자에 의해 또는 프로세서 (112) 에 의해 수정된다. 예를 들어, 사용자는 HF 레시피 내 상태 S1y의 듀티 사이클과 같도록 RF 신호 (130) 의 상태 S1x의 듀티 사이클을 수정한다. 또한 이 예에서, 사용자는 LF 레시피 정보 내에서 파라미터 레벨들과 같은 임의의 다른 데이터는 수정하지 않는다. 이 예에서, 사용자는 입력 디바이스를 통해 프로세서 (112) 로 LF 레시피를 제공한다. 또한, 이 예에서, 프로세서 (112) 는 메모리 디바이스 (114) 에 LF 레시피를 저장한다. 또 다른 예로서, 사용자 대신 프로세서 (112) 는 HF 레시피 내 상태 S1y의 듀티 사이클과 같도록 RF 신호 (130) 의 상태 S1x의 듀티 사이클을 수정한다. 또한 이 예에서, 프로세서 (112) 는 LF 레시피 정보 내에서 파라미터 레벨들과 같은 임의의 다른 데이터는 수정하지 않는다. 또한, 이 예에서, 프로세서 (112) 는 메모리 디바이스 (114) 에 LF 레시피를 저장한다.

[0044] RF 신호 (102) 의 레시피를 수정하고 RF 신호 (130) 의 레시피를 수정하는 것에 더하여, 기판 S는 슬롯 (129) 을 통해 기판 지지부 (116) 의 상단에 다시 배치된다 (place). HF 레시피를 수신하거나 생성하면, 프로세서 (112) 는 HF 레시피에 기초하여 레시피 신호 (136A) 를 생성하고 레시피 신호 (136A) 를 HF RF 생성기로 전송한다. 또한, LF 레시피를 수신하거나 생성하는 것에 응답하여, 프로세서 (112) 는 레시피 신호 (137A) 를 생성하

고 레시피 신호 (137A) 를 LF RF 생성기로 전송한다.

[0045] 레시피 신호 (136A) 의 수신시, HF RF 생성기는 HF 레시피에 기초하여 RF 신호 (138A) 를 생성한다. 예를 들어, RF 신호 (138A) 는 3 개의 상태 S1y, 상태 S2y, 및 상태 S0y 각각에 대해 하나씩, 3 개의 파라미터 레벨들을 갖는다. HF RF 생성기는 출력부 O2 및 RF 케이블 RFC2 및 입력부 I2를 통해 RF 신호 (138A) 를 매칭부 (104) 에 공급한다.

[0046] 또한, 레시피 신호 (137A) 의 수신시, LF RF 생성기는 LF 레시피에 기초하여 RF 신호 (139A) 를 생성한다. 예를 들어, RF 신호 (139A) 의 상태 S1x는 RF 신호 (138A) 의 듀티 사이클과 같은 듀티 사이클을 갖는다. LF RF 생성기는 출력부 O2 및 RF 케이블 RFC1 및 입력부 I1을 통해 RF 신호 (139A) 를 매칭부 (104) 에 공급한다.

[0047] 매칭부 (104) 는 RF 신호들 (138A 및 139A) 을 수신하고, 출력부 OM에 커플링된 부하의 임피던스를 입력부 I1 및 입력부 I2에 커플링된 소스의 임피던스와 매칭시킨다. 임피던스 매칭은 출력부 OM에서 수정된 RF 신호 (140A) 를 출력하도록 RF 신호들 (138A 및 139B) 의 임피던스들을 변화시킨다. 수정된 RF 신호 (140A) 는 출력부 OM으로부터 RF 송신 라인 RFT를 통해 기판 지지부 (116) 의 하부 전극으로 전송된다.

[0048] 하나 이상의 프로세스 가스들이 수정된 RF 신호 (140A) 에 더하여 플라즈마 챔버 (106) 내의 갭 (120) 에 제공될 때, 기판 S는 플라즈마 챔버 (106) 내에서 더 프로세싱된다. 미리 설정된 시간량, 예컨대 15 분 또는 20 분 동안 기판 S를 프로세싱할 때, 기판 S는 슬롯 (129) 을 통해 플라즈마 챔버 (106) 로부터 제거되고 이어서 사용자에 의해 엑스 시츄 검사되도록 전자 현미경 (110) 아래에 배치된다. 기판 S가 전자 현미경 (110) 아래에 배치될 때, 이미지가 전자 현미경 (110) 에 의해 캡처되거나 생성되고 호스트 컴퓨터 (108) 의 디스플레이 디바이스 상의 프로세서 (112) 에 의해 디스플레이된다.

[0049] 사용자 또는 프로세서 (112) 는 기판 S의 마스크 층의 막힘량이 미리 결정된 막힘량보다 더 큰지 또는 마스크 층의 형상이 미리 결정된 형상 또는 이들의 조합인지 여부를 결정한다. 예를 들어, 사용자는 CD가 미리 결정된 CD보다 더 작은지 여부를 결정하기 위해 디스플레이된 이미지로부터, 기판 S의 넥에서 CD를 다시 측정하고, CD를 입력 디바이스를 통해 프로세서 (112) 에 제공한다. 이 예에서, 다시 측정된 CD가 사용자에 의해 결정된 미리 결정된 CD보다 더 작을 때, 마스크 층의 막힘량은 미리 결정된 막힘량보다 더 크다. 또한, 이 예에서, 다른 한편으로, 다시 측정된 CD가 사용자에 의해 결정된 미리 결정된 CD보다 더 클 때, 마스크 층의 막힘량은 미리 결정된 막힘량보다 더 적다. 이 예에서, 프로세서 (112) 는 다시 측정된 CD를 메모리 디바이스 (114) 에 저장한다. 또 다른 예로서, 프로세서 (112) 는 다시 캡처된 이미지로부터, CD가 미리 결정된 CD보다 더 작은지 여부를 결정하기 위해 기판 S의 넥에서 CD를 측정한다. 이 예에서, 다시 측정된 CD가 프로세서 (112) 에 의해 결정된 미리 결정된 CD보다 더 작을 때, 마스크 층의 막힘량은 미리 결정된 막힘량보다 더 크다. 또한, 이 예에서, 다른 한편으로, 다시 측정된 CD가 프로세서 (112) 에 의해 결정된 미리 결정된 CD보다 클 때, 마스크 층의 막힘량은 미리 결정된 막힘량보다 더 적다. 이 예에서, 프로세서 (112) 는 다시 측정된 CD를 메모리 디바이스 (114) 에 저장한다.

[0050] 또 다른 예로서, 사용자는 마스크 층의 형상이 미리 결정된 형상인지 여부를 결정하기 위해 이전과 동일한 방식으로, 디스플레이된 이미지로부터 기판의 넥에서 복수의 위치들에서 CD들을 측정한다. 또 다른 예로서, 프로세서 (112) 는 마스크 층의 형상이 미리 결정된 형상인지 여부를 결정하기 전에, 캡처된 이미지로부터 기판의 넥에서 복수의 위치들에서 CD들을 측정한다.

[0051] 막힘량이 미리 결정된 막힘량보다 더 크거나 마스크 층의 형상이 미리 결정된 형상 또는 이들의 조합이 아니라는 결정시, RF 신호 (138A) 의 HF 레시피는 부가적인 HF 레시피를 제공하도록 입력 디바이스를 통해 사용자에 의해 또는 프로세서 (112) 에 의해 수정된다. 예를 들어, 사용자는 RF 신호 (138A) 의 2 개의 상태들 사이에서 중간 상태 S2y의 파라미터 레벨 또는 듀티 사이클 또는 파라미터 레벨 및 듀티 사이클 모두를 수정한다. 예시를 위해, 사용자는 RF 신호 (138A) 의 중간 상태 S2y의 파라미터 레벨을 증가시키거나 감소시킨다. 예시에서, 나머지 데이터는 레시피 신호 (136A) 를 생성하도록 사용된 HF 레시피 내 데이터와 동일하다. 더 예시하기 위해, 사용자는 중간 상태 S2y의 파라미터 레벨이 100 내지 1000 W가 되도록 선택한다. 또 다른 예시로서, 사용자는 RF 신호 (138A) 의 중간 상태 S2y의 듀티 사이클을 증가시키거나 감소시킨다. 예시에서, 나머지 데이터는 레시피 신호 (136A) 를 생성하도록 사용된 HF 레시피 내 데이터와 동일하다. 더 예시하기 위해, 사용자는 중간 상태 S2y의 듀티 사이클을 상태 S1y의 듀티 사이클의 1 배 내지 3 배가 되도록 증가시킨다. 또 다른 추가 예시로서, 사용자는 상태 S1y의 듀티 사이클과 같거나 상태 S1y의 듀티 사이클의 3 배가 되도록 중간 상태 S2y의 듀티 사이클을 증가시킨다. 또 다른 추가 예시로서, 사용자는 중간 상태 S2y의 듀티 사이클을 상태 S1y의 듀티 사이클의 4 배 내지 5 배가 되도록 증가시킨다. 또 다른 추가 예시로서, 사용자는 상태 S1y의 듀티 사이클의 4

배 또는 상태 S1y의 듀티 사이클의 5 배와 같도록 중간 상태 S2y의 듀티 사이클을 증가시킨다. 사용자는 입력 디바이스를 통해 프로세서 (112) 에 부가적인 HF 레시피를 제공한다. 프로세서 (112) 는 부가적인 HF 레시피를 메모리 디바이스 (114) 에 저장한다.

[0052] 또 다른 예로서, 프로세서 (112) 는 RF 신호 (138A) 의 2 개의 상태들 사이에서 중간 상태 S2y의 파라미터 레벨 또는 듀티 사이클 또는 파라미터 레벨 및 듀티 사이클 모두를 수정한다. 예시를 위해, 프로세서 (112) 는 RF 신호 (138A) 의 중간 상태 S2y의 파라미터 레벨을 증가시키거나 감소시킨다. 예시에서, 나머지 데이터는 레시피 신호 (136A) 를 생성하도록 사용된 HF 레시피 내 데이터와 동일하다. 더 예시하기 위해, 프로세서 (112) 는 중간 상태 S2y의 파라미터 레벨을 100 내지 300 W로 설정한다. 또 다른 예시로서, 프로세서 (112) 는 RF 신호 (138A) 의 중간 상태 S2y의 듀티 사이클을 증가시키거나 감소시킨다. 예시에서, 나머지 데이터는 레시피 신호 (136A) 를 생성하도록 사용된 HF 레시피 내 데이터와 동일하다. 더 예시하기 위해, 프로세서 (112) 는 중간 상태 S2y의 듀티 사이클을 상태 S1y의 듀티 사이클의 1 배 내지 3 배가 되도록 증가시킨다. 또 다른 추가 예시로서, 프로세서 (112) 는 상태 S1y의 듀티 사이클과 같거나 상태 S1y의 듀티 사이클의 3 배가 되도록 중간 상태 S2y의 듀티 사이클을 증가시킨다. 또 다른 예시로서, 프로세서 (112) 는 중간 상태 S2y의 듀티 사이클을 상태 S1y의 듀티 사이클의 4 배 내지 5 배가 되도록 증가시킨다. 또 다른 추가 예시로서, 프로세서 (112) 는 중간 상태 S2y의 듀티 사이클을 상태 S1y의 듀티 사이클의 4 배 또는 상태 S1y의 듀티 사이클의 5 배와 같도록 증가시킨다. 프로세서 (112) 는 부가적인 HF 레시피를 메모리 디바이스 (114) 에 저장한다.

[0053] 또한, 부가적인 HF 레시피를 제공하기 위해 RF 신호 (138A) 의 레시피를 변경할 때, RF 신호 (139A) 의 LF 레시피는 부가적인 LF 레시피를 출력하도록 사용자에 의해 또는 프로세서 (112) 에 의해 수정된다. 예를 들어, 사용자는 부가적인 HF 레시피 내 상태 S1y의 듀티 사이클과 같도록 RF 신호 (139A) 의 상태 S1x의 듀티 사이클을 수정한다. 이 예에서, 부가적인 LF 레시피 내의 파라미터 레벨들 및 주파수는 RF 신호 (139A) 를 생성하도록 사용된 LF 레시피 내의 파라미터 레벨들 및 주파수와 동일하다. 또한, 이 예에서, 사용자는 LF 레시피 내에서 파라미터 레벨들과 같은 임의의 다른 데이터는 수정하지 않는다. 이 예에서, 사용자는 입력 디바이스를 통해 프로세서 (112) 에 부가적인 LF 레시피를 제공한다. 이 예에서, 프로세서 (112) 는 메모리 디바이스 (114) 에 부가적인 LF 레시피를 저장한다. 또 다른 예로서, 프로세서 (112) 는 부가적인 HF 레시피 내 상태 S1y의 듀티 사이클과 같도록 RF 신호 (139A) 의 상태 S1x의 듀티 사이클을 수정한다. 이 예에서, 부가적인 LF 레시피 내의 파라미터 레벨들 및 주파수는 RF 신호 (139A) 를 생성하도록 사용된 LF 레시피 내의 파라미터 레벨들 및 주파수와 동일하다. 또한, 이 예에서, 프로세서 (112) 는 LF 레시피 내에서 파라미터 레벨들과 같은 임의의 다른 데이터는 수정하지 않는다. 이 예에서, 프로세서 (112) 는 부가적인 LF 레시피를 메모리 디바이스 (114) 에 저장한다.

[0054] RF 신호 (138A) 의 HF 레시피를 수정하고 RF 신호 (139A) 의 LF 레시피를 수정하는 것에 더하여, 기판 S는 슬롯 (129) 을 통해 기판 지지부 (116) 의 상단에 다시 배치된다. 부가적인 HF 레시피를 수신하면, 프로세서 (112) 는 부가적인 HF 레시피에 기초하여 레시피 신호 (136B) 를 생성하고 레시피 신호 (136B) 를 HF RF 생성기로 전송한다. 유사하게, 부가적인 LF 레시피를 수신하는 것에 응답하여, 프로세서 (112) 는 부가적인 LF 레시피에 기초하여 레시피 신호 (137B) 를 생성하고 레시피 신호 (137B) 를 LF RF 생성기로 전송한다.

[0055] 레시피 신호 (136B) 의 수신시, HF RF 생성기는 부가적인 HF 레시피에 기초하여 RF 신호 (138B) 를 생성한다. 예를 들어, RF 신호 (138B) 는 RF 신호 (138A) 의 상태 S2y에 대한 파라미터 레벨과 상이한 파라미터 레벨, 예컨대 상태 S2y에 대해 더 높은 파라미터 레벨 또는 더 낮은 파라미터 레벨을 갖는다. HF RF 생성기는 출력부 O2 및 RF 케이블 RFC2 및 입력부 I2를 통해 RF 신호 (138B) 를 매칭부 (104) 에 공급한다.

[0056] 유사하게, 레시피 신호 (137B) 수신시, LF RF 생성기는 부가적인 LF 레시피에 기초하여 RF 신호 (139B) 를 생성한다. 예를 들어, RF 신호 (139B) 는 상태 S1x에 대한 듀티 사이클을 갖고 듀티 사이클은 RF 신호 (138B) 의 상태 S1y의 듀티 사이클과 같다. LF RF 생성기는 출력부 O1 및 RF 케이블 RFC1 및 입력부 I1을 통해 RF 신호 (139B) 를 매칭부 (104) 에 공급한다.

[0057] 매칭부 (104) 는 RF 신호들 (138B 및 139B) 을 수신하고, 출력부 OM에 커플링된 부하의 임피던스를 입력부 I2에 커플링된 소스의 임피던스와 매칭시킨다. 임피던스 매칭은 출력부 OM에서 수정된 RF 신호 (140B) 를 출력하도록 RF 신호들 (138B 및 139B) 의 임피던스들을 수정한다. 수정된 RF 신호 (140B) 는 출력부 OM로부터 RF 송신 라인 RFT를 통해 기판 지지부 (116) 의 하부 전극으로 전송된다.

[0058] 하나 이상의 프로세스 가스들이 수정된 RF 신호 (140B) 에 더하여 플라즈마 챔버 (106) 내의 갭 (120) 에 제공될 때, 기판 S는 플라즈마 챔버 (106) 내에서 더 프로세싱된다. 미리 계산된 시간량, 예컨대 15 분 또는 20 분

동안 기판 S를 프로세싱할 때, 기판 S는 슬롯 (129) 을 통해 플라즈마 챔버 (106) 로부터 제거되고 이어서 사용자에 의해 엑스 시츄 검사되도록 전자 현미경 (110) 아래에 배치된다. 기판 S가 전자 현미경 (110) 아래에 배치될 때, 이미지가 전자 현미경 (110) 에 의해 캡처되거나 생성되고 호스트 컴퓨터 (108) 의 디스플레이 디바이스 상의 프로세서 (112) 에 의해 디스플레이된다.

[0059] 기판 S의 마스크 층의 막힘량이 미리 결정된 막힘량보다 더 큰지 또는 마스크 층의 프로파일의 형상이 미리 결정된 형상 또는 이들의 조합인지 여부가 결정된다. 예를 들어, 사용자는 디스플레이된 이미지로부터, 기판 S의 마스크 층의 막힘량이 미리 결정된 막힘량보다 더 큰지 여부를 결정한다. 이 예에서, 막힘량이 미리 결정된 막힘량보다 더 적다는 결정시, 사용자는 RF 신호 (138B) 의 부가적인 HF 레시피를 수정하지 않는다. 또한, 이 예에서, 프로세서 (112) 는 RF 신호 (138B) 의 부가적인 HF 레시피를 메모리 디바이스 (118) 에 저장한다. 한편, 이 예에서, 막힘량이 미리 결정된 막힘량보다 더 적지 않다고, 예컨대, 미리 결정된 막힘량 이상이라는 결정시, 사용자는 RF 신호 (138B) 의 부가적인 HF 레시피를 더 수정한다. 이러한 방식으로, 이 예에서, 사용자는 막힘량이 미리 결정된 막힘량보다 더 적을 때까지 HF RF 생성기에 의해 생성된 RF 신호들의 레시피들을 수정하는 것을 계속한다.

[0060] 또 다른 예로서, 사용자는 디스플레이된 이미지로부터, 기판 S의 마스크 층의 프로파일의 형상이 미리 결정된 형상인지 여부를 결정한다. 이 예에서, 프로파일의 형상이 미리 결정된 형상이라는 결정시, 사용자는 RF 신호 (138B) 의 부가적인 HF 레시피를 수정하지 않는다. 또한, 이 예에서, 프로세서 (112) 는 RF 신호 (138B) 의 부가적인 HF 레시피를 메모리 디바이스 (118) 에 저장한다. 한편, 이 예에서, 프로파일의 형상이 미리 결정된 형상이 아니라고 결정할 때, 사용자는 RF 신호 (138B) 의 부가적인 HF 레시피를 더 수정한다. 이러한 방식으로, 이 예에서, 사용자는 프로파일의 형상이 미리 결정된 형상이 될 때까지 HF RF 생성기에 의해 생성된 RF 신호들의 레시피들을 수정하는 것을 계속한다.

[0061] 또 다른 예로서, 프로세서 (112) 는 캡처된 이미지로부터, 기판 S의 마스크 층의 막힘량이 미리 결정된 막힘량보다 더 큰지 여부를 결정한다. 이 예에서, 막힘량이 미리 결정된 막힘량보다 더 적다는 결정시, 프로세서 (112) 는 RF 신호 (138B) 의 부가적인 HF 레시피를 수정하지 않는다. 또한, 이 예에서, 프로세서 (112) 는 RF 신호 (138B) 의 부가적인 HF 레시피를 메모리 디바이스 (118) 에 저장한다. 한편, 이 예에서, 막힘량이 미리 결정된 막힘량보다 더 적지 않다고, 예컨대, 미리 결정된 막힘량 이상이라는 결정시, 프로세서 (112) 는 RF 신호 (138B) 의 부가적인 HF 레시피를 더 수정한다. 이러한 방식으로, 이 예에서, 프로세서 (112) 는 막힘량이 미리 결정된 막힘량보다 더 적을 때까지 HF RF 생성기에 의해 생성된 RF 신호들의 레시피들을 수정하는 것을 계속한다.

[0062] 또 다른 예로서, 프로세서 (112) 는 캡처된 이미지로부터, 기판 S의 마스크 층의 프로파일의 형상이 미리 결정된 형상인지 여부를 결정한다. 이 예에서, 프로파일의 형상이 미리 결정된 형상이라는 결정시, 프로세서 (112) 는 RF 신호 (138B) 의 부가적인 HF 레시피를 수정하지 않는다. 또한, 이 예에서, 프로세서 (112) 는 RF 신호 (138B) 의 부가적인 HF 레시피를 메모리 디바이스 (118) 에 저장한다. 한편, 이 예에서, 프로파일의 형상이 미리 결정된 형상이 아니라는 결정시, 프로세서 (112) 는 RF 신호 (138B) 의 부가적인 HF 레시피를 더 수정한다. 이러한 방식으로, 이 예에서, 프로세서 (112) 는 프로파일의 형상이 미리 결정된 형상이 될 때까지 HF RF 생성기에 의해 생성된 RF 신호들의 레시피들을 수정하는 것을 계속한다.

[0063] 도 2a는 RF 신호들 (102, 138A, 138B, 130, 139A, 및 139B) (도 1) 과 같은 RF 신호들이 동기화되는 클록 신호 (202) 를 예시하기 위한 그래프 (200) 의 일 실시 예의 도면이다. 예로서, 클록 신호 (202) 는 프로세서 (112) (도 1) 에 의해 생성되고, LF 생성기 및 HF RF 생성기로 전송된다. 또 다른 예로서, 클록 신호 (202) 는 LF RF 생성기의 DSP (digital signal processor) 에 의해 생성되고 LF RF 생성기의 DSP로부터 HF RF 생성기의 DSP로 전송된다. LF RF 생성기의 DSP는 HF RF 생성기의 DSP에 커플링된다. 또 다른 예로서, 클록 신호 (202) 는 HF RF 생성기의 DSP에 의해 생성되고 HF RF 생성기의 DSP로부터 LF RF 생성기의 DSP로 전송된다.

[0064] 그래프 (200) 는 클록 신호 (202) 의 논리 레벨 대 시간 t를 플롯팅한다. 전압 레벨과 같은 논리 레벨은 y-축에 플롯팅되고 시간 t는 x-축에 플롯팅된다. x-축은 같은 시간 간격들로 분할된다. 예를 들어, x-축은 2 개의 연속적인 시간들, 예컨대 시간 ta 및 t(a+1) 사이에서 같은 시간 간격들로 분할되고, 여기서 a는 0과 같은 정수이다. 예시를 위해, x-축은 시간 t0과 시간 t1 사이의 제 1 시간 간격 및 시간 t1과 시간 t2 사이의 제 2 시간 간격으로 분할된다. 제 1 시간 간격은 제 2 시간 간격과 같다.

[0065] 클록 신호 (202) 의 사이클 1 동안, 클록 신호 (202) 는 시간 t0에서, 0의 논리 레벨로부터 1의 논리 레벨로 전이하고, 시간 t0에서 시간 t6까지 1의 논리 레벨로 유지된다. 또한, 클록 신호 (202) 의 사이클 1 동안, 클록

신호 (202) 는 시간 t6에서, 1의 논리 레벨로부터 0의 논리 레벨로 전이하고, 시간 t6에서 시간 t12까지 0의 논리 레벨로 유지된다..

[0066] 유사하게, 클록 신호 (202) 의 사이클 2 동안, 클록 신호 (202) 는 시간 t12에서, 0의 논리 레벨로부터 1의 논리 레벨로 전이하고, 시간 t12에서 시간 t18까지 1의 논리 레벨로 유지된다.. 또한, 클록 신호 (202) 의 사이클 2 동안, 클록 신호 (202) 는 시간 t18에서, 1의 논리 레벨로부터 0의 논리 레벨로 전이하고, 시간 t18에서 시간 t24까지 0의 논리 레벨로 유지된다.

[0067] 사이클 2는 사이클 1에 연속적이다. 예를 들어, 사이클 1과 사이클 2 사이에 클록 신호 (202) 의 다른 사이클들이 없다.

[0068] 도 2b는 LF RF 생성기 (도 1) 및 LF RF 생성기 (도 1) 에 의해 생성되는 LF RF 신호, 예컨대 RF 신호 (139A 또는 139B) (도 1) 의 파라미터 (212) 및 HF RF 생성기 (도 1) 에 의해 생성되는, RF 신호 (138A 또는 138B) (도 1) 와 같은 HF RF 신호의 파라미터 (214) 를 예시하기 위한 그래프 (210) 의 일 실시 예이다. 그래프 (210) 는 파라미터 대 시간 t를 플롯팅한다. 파라미터는 y 축에 플롯팅되고 시간 t는 x 축에 플롯팅된다. 파라미터 (212) 는 실선으로 플롯팅되고 파라미터 (214) 는 파선으로 플롯팅된다.

[0069] 사이클 1 동안, 파라미터 (212) 는 시간 t0에서, 0의 파라미터 레벨로부터 P1x의 파라미터 레벨로 전이하고 그리고 시간 t0에서 시간 t4까지 파라미터 레벨 P1x로 유지된다. 파라미터 레벨 P1x는 LF RF 신호의 상태 S1x의 예이다. 또한, 사이클 1 동안, 시간 t4에서, 파라미터 (212) 는 파라미터 레벨 P1x로부터 0의 파라미터 레벨로 전이하고 시간 t4에서 시간 t12까지 0의 파라미터 레벨로 유지된다. LF RF 신호의 0의 파라미터 레벨은 LF RF 신호의 상태 S0x의 예이다. 파라미터 레벨 P1x는 0의 파라미터 레벨보다 더 크다.

[0070] 더욱이, 사이클 1 동안, 파라미터 (214) 는 시간 t0에서, 0의 파라미터 레벨로부터 P2y의 파라미터 레벨로 전이하고 그리고 시간 t0에서 시간 t4까지 파라미터 레벨 P2y로 유지된다. 파라미터 레벨 P2y는 HF RF 신호의 상태 S1y의 예이다. 또한, 사이클 1 동안, 시간 t4에서, 파라미터 (214) 는 파라미터 레벨 P2y로부터 파라미터 레벨 P1y로 전이하고 시간 t4에서 시간 t8까지 파라미터 레벨 P1y로 유지된다. 파라미터 레벨 P1y는 파라미터 레벨 P2y보다 더 낮거나 더 작다. 파라미터 레벨 P1y는 HF RF 신호의 상태 S2y의 예이다.

[0071] 파라미터 (212) 는 파라미터 레벨 P2y로부터 파라미터 레벨 P1y로의 파라미터 (214) 의 전이와 동기하거나 동기화하여 파라미터 레벨 P1x로부터 0의 파라미터 레벨로 전이한다. 예를 들어, 파라미터 (212) 는 파라미터 (214) 가 파라미터 레벨 P2y로부터 파라미터 레벨 P1y로 전이를 시작하는 동일한 시간 t4에 파라미터 레벨 P1x로부터 0의 파라미터 레벨로 전이를 시작한다. 또 다른 예로서, 파라미터 (212) 는 파라미터 (214) 가 파라미터 레벨 P2y로부터 파라미터 레벨 P1y로 전이하는 동일한 시간 t4에 파라미터 레벨 P1x로부터 0의 파라미터 레벨로 전이한다. 또 다른 예로서, 파라미터 (212) 는 파라미터 (214) 가 파라미터 레벨 P2y로부터 파라미터 레벨 P1y로 전이하는 동일한 시간 기간 동안 파라미터 레벨 P1x로부터 0의 파라미터 레벨로 전이한다. 또 다른 예로서, 파라미터 (212) 는 파라미터 레벨 P2y로부터 파라미터 레벨 P1y로의 파라미터 (214) 의 전이와 동시에 파라미터 레벨 P1x로부터 0의 파라미터 레벨로 전이한다.

[0072] 게다가, 사이클 1 동안, 파라미터 (214) 는 시간 t8에서, 파라미터 레벨 P1y로부터 0의 파라미터 레벨로 전이하고 시간 t8에서 시간 t12까지 0의 파라미터 레벨로 유지된다. HF RF 신호의 0의 파라미터 레벨은 HF RF 신호의 상태 S0y의 예이다.

[0073] 파라미터 (212) 는 클록 신호 (202) (도 2a) 의 사이클 각각 동안 파라미터 레벨 P1x와 파라미터 레벨 0 사이의 전이를 주기적으로 반복한다. 예를 들어, 사이클 2 동안, 시간 t12에서, 파라미터 (212) 는 0의 파라미터 레벨로부터 파라미터 레벨 P1x로 전이하고, 시간 t12에서 시간 t16까지 파라미터 레벨 P1x로 유지되고, 시간 t16에서 파라미터 레벨 P1x로부터 0의 파라미터 레벨로 전이하고, 시간 t16에서 시간 t24까지 0의 파라미터 레벨로 유지된다.

[0074] 파라미터 (214) 는 클록 신호 (202) (도 2a) 의 사이클 각각 동안 파라미터 레벨들 (P2y, P1y, 및 0) 사이에서 전이를 주기적으로 반복한다. 예를 들어, 사이클 2 동안, 시간 t12에서, 파라미터 (214) 는 0의 파라미터 레벨로부터 파라미터 레벨 P2y로 전이하고, 시간 t12에서 시간 t16까지 파라미터 레벨 P2y로 유지되고, 시간 t16에서 파라미터 레벨 P2y로부터 파라미터 레벨 P1y로 전이하고, 시간 t16에서 시간 t20까지 파라미터 레벨 P1y로 유지되고, 시간 t20에서 파라미터 레벨 P1y로부터 0의 파라미터 레벨로 전이하고, 시간 t20에서 시간 t24까지 0의 파라미터 레벨로 유지된다.

[0075] 예로서, RF 신호의 파라미터의 파라미터 레벨은 RF 신호의 제로-투-피크 엔벨로프 (zero-to-peak envelope) 이

고 RF 신호의 또 다른 파라미터 레벨과 구별된다. 예시를 위해, RF 신호의 파라미터의 제 1 파라미터 레벨은 파라미터의 진폭들 또는 크기들과 같은 하나 이상의 값들을 포함하고 RF 신호의 파라미터의 제 2 파라미터 레벨은 파라미터의 크기들 또는 진폭들과 같은 하나 이상의 값들을 포함한다. 제 1 파라미터 레벨의 하나 이상의 값들은 제 2 파라미터 레벨의 하나 이상의 값들을 배제한다. 더 예시하기 위해, 제 1 파라미터 레벨이 제 2 파라미터 레벨보다 더 클 때, 제 1 파라미터 레벨의 값들의 최소 값은 제 2 파라미터 레벨의 값들의 최대 값보다 더 크다.

[0076] 사이클 1 동안 시간 t8과 시간 t12 사이의 시간 기간 동안, 증착 동작이 기판 S의 마스크 층의 측벽들 상에서 발생한다는 것을 주의해야 한다. 더욱이, 시간 t4와 시간 t8 사이의 시간 기간 동안 사이클 1에서, 마스크 층의 CD와 마스크 층의 막힘 사이에 트레이드 오프가 발생한다. 예를 들어, 파라미터 레벨 P1y가 적용될 때 마스크 층의 CD의 증가 및 막힘량의 감소가 있다. 또한, 시간 t0과 시간 t4 사이의 시간 기간 동안, 기판 S 내에서 피처들을 에칭하기 위한 에칭 동작은 시간 t4와 시간 t8 사이에서 발생하는 트레이드 오프로 인해 매끄럽게 발생한다. 유사하게, 에칭 동작, 트레이드 오프, 및 증착 동작은 사이클 2 동안이 순서로 반복된다.

[0077] 일 실시 예에서, 시간 t8과 시간 t12 사이의 시간 간격 동안 0의 파라미터 레벨로 전이하는 대신, 파라미터 (214) 는 0과 상이한 로우 파라미터 레벨로 전이한다. 예를 들어, 파라미터 (214) 의 로우 파라미터 레벨은 0 파라미터 레벨로부터 5 내지 10 % 이내이다. 파라미터 (214) 의 로우 파라미터 레벨은 파라미터 레벨 P1y보다 더 낮다. 유사하게, 파라미터 (214) 는 사이클 2 동안 그리고 그 이후로 로우 파라미터 레벨로 전이한다.

[0078] 일 실시 예에서, 시간 t4와 시간 t12 사이의 시간 간격 동안 0의 파라미터 레벨로 전이하는 대신, 파라미터 (212) 는 0과 상이한 로우 파라미터 레벨로 전이한다. 예를 들어, 파라미터 (212) 의 로우 파라미터 레벨은 0 파라미터 레벨로부터 5 내지 10 % 이내이다. 파라미터 (212) 의 로우 파라미터 레벨은 파라미터 레벨 P1x보다 더 낮다. 유사하게, 파라미터 (212) 는 사이클 2 동안 그리고 그 이후로 로우 파라미터 레벨로 전이한다.

[0079] 도 2c는 LF RF 신호의 파라미터 (212) 및 HF RF 생성기 (도 1) 에 의해 생성되는 HF RF 신호의 파라미터 (218) 를 예시하기 위한 그래프 (216) 의 일 실시 예이다. 그래프 (216) 는 파라미터 대 시간 t를 플롯팅한다. 파라미터는 y 축에 플롯팅되고 시간 t는 x 축에 플롯팅된다. 파라미터 (212) 는 실선으로 플롯팅되고 파라미터 (218) 는 파선으로 플롯팅된다.

[0080] 사이클 1 동안, 파라미터 (218) 는 시간 t0에서, 0의 파라미터 레벨로부터 P2y의 파라미터 레벨로 전이하고 시간 t0에서 시간 t4까지 파라미터 레벨 P2y로 유지된다. 파라미터 (218) 의 파라미터 레벨 P2y는 HF RF 신호의 상태 S1y의 예이다. 또한, 사이클 1 동안, 시간 t4에서, 파라미터 (218) 는 파라미터 레벨 P2y로부터 0의 파라미터 레벨로 전이하고 시간 t4에서 시간 t8까지 0의 파라미터 레벨로 유지된다. 0의 파라미터 레벨은 상태 S0y의 예이다. 상태 S0y는 HF RF 신호의 파라미터 (218) 의 상태이다.

[0081] 파라미터 (212) 는 파라미터 레벨 P2y로부터 0의 파라미터 레벨로의 파라미터 (218) 의 전이와 동기하거나 동기화하여 파라미터 레벨 P1x로부터 0의 파라미터 레벨로 전이한다. 예를 들어, 파라미터 (212) 는 파라미터 (218) 가 파라미터 레벨 P2y로부터 0의 파라미터 레벨로 전이를 시작하는 동일한 시간 t4에 파라미터 레벨 P1x로부터 0의 파라미터 레벨로 전이를 시작한다. 또 다른 예로서, 파라미터 (212) 는 파라미터 (218) 가 파라미터 레벨 P2y로부터 0의 파라미터 레벨로 전이하는 동일한 시간 t4에 파라미터 레벨 P1x로부터 0의 파라미터 레벨로 전이한다. 또 다른 예로서, 파라미터 (212) 는 파라미터 (218) 가 파라미터 레벨 P2y로부터 0의 파라미터 레벨로 전이하는 동일한 시간 기간 동안 파라미터 레벨 P1x로부터 0의 파라미터 레벨로 전이한다. 또 다른 예로서, 파라미터 (212) 는 파라미터 레벨 P2y로부터 0의 파라미터 레벨로의 파라미터 (218) 의 전이와 동시에 파라미터 레벨 P1x로부터 0의 파라미터 레벨로 전이한다.

[0082] 게다가, 사이클 1 동안, 파라미터 (218) 는 시간 t8에서, 0의 파라미터 레벨로부터 파라미터 레벨 P1y로 전이하고 그리고 시간 t8에서 시간 t12까지 파라미터 레벨 P1y로 유지된다. HF RF 신호의 파라미터 레벨 P1y는 HF RF 신호의 파라미터 (218) 의 상태 S2y의 예이다.

[0083] 파라미터 (218) 는 클록 신호 (202) (도 2a) 의 사이클 각각 동안 파라미터 레벨들 (P2y, 0, 및 P1y) 사이에서 전이를 주기적으로 반복한다. 예를 들어, 사이클 2 동안, 시간 t12에서, 파라미터 (218) 는 0의 파라미터 레벨로부터 파라미터 레벨 P2y로 전이하고, 시간 t12에서 시간 t16까지 파라미터 레벨 P2y로 유지되고, 시간 t16에서 파라미터 레벨 P2y로부터 0의 파라미터 레벨로 전이하고, 시간 t16에서 시간 t20까지 0의 파라미터 레벨로 유지되고, 시간 t20에서 0의 파라미터 레벨로부터 파라미터 레벨 P1y로 전이하고, 시간 t20에서 시간 t24까지 파라미터 레벨 P1y로 유지된다.

[0084] 사이클 1 동안 시간 t4와 시간 t8 사이의 시간 기간 동안, 증착 동작은 기판 S의 마스크 층의 측벽들 상에서 발생한다는 것을 주의해야 한다. 또한, 사이클 1의 시간 t8과 시간 t12 사이의 시간 기간 동안, 마스크 층의 CD와 마스크 층의 막힘 사이에 트레이드 오프가 발생한다. 또한, 시간 t0과 시간 t4 사이의 시간 기간 동안, 에칭 동작은 시간 t8과 시간 t12 사이에 발생하는 트레이드 오프로 인해 매끄럽게 발생한다. 유사하게, 에칭 동작, 증착 동작, 및 트레이드 오프는 사이클 2 동안이 순서대로 반복된다.

[0085] 일 실시 예에서, LF RF 생성기 대신, DC (direct current) 생성기가 사용된다. DC 생성기는 2 개의 파라미터 레벨들 사이에서 펄싱하는 DC 신호를 생성한다. 예를 들어, DC 신호는 LF RF 생성기에 의해 생성된 RF 신호가 2 개의 전력 레벨들 사이를 펄싱하는 동일한 방식으로, 전력 레벨 P1x와 전력 레벨 0과 같은 2 개의 전력 레벨들 사이에서 펄싱된다. DC 생성기는 주 생성기의 또 다른 예이다.

[0086] 일 실시 예에서, 시간 t4와 시간 t8 사이의 시간 간격 동안 0의 파라미터 레벨로 전이하는 대신, 파라미터 (218) 는 0과 상이한 로우 파라미터 레벨로 전이한다. 예를 들어, 파라미터 (218) 의 로우 파라미터 레벨은 0 파라미터 레벨로부터 5 내지 10 % 이내이다. 파라미터 (218) 의 로우 파라미터 레벨은 파라미터 레벨 P1y보다 더 낮다. 유사하게, 파라미터 (218) 는 사이클 2 동안 그리고 그 이후로 로우 파라미터 레벨로 전이한다.

[0087] 도 3a는 일단 레시피 신호 (136B) 의 부가적인 HF 레시피가 결정되면, 부가적인 HF 레시피가 기판들의 프로세싱 동안 하나 이상의 기판들에 적용된다는 것을 예시하기 위한 시스템 (300) 의 일 실시 예의 도면이다. 시스템 (300) 은 호스트 컴퓨터 (108), LF RF 생성기, HF RF 생성기, 매칭부 (104), 및 플라즈마 챔버 (106) 를 포함한다. 기판 S1은 기판 지지부 (116) 상에 배치되고 상부 전극 (118) 과 기판 지지부 (116) 사이에 형성된 갭 (120) 내에 놓인다 (lie).

[0088] 프로세서 (112) 는 레시피 신호 (137B) 를 LF RF 생성기로 전송하고 레시피 신호 (136B) 를 HF RF 생성기로 전송한다. LF RF 생성기는 레시피 신호 (137B) 내에 수신된 부가적인 LF 레시피를 저장한다. 또한, HF RF 생성기는 레시피 신호 (136B) 내에 수신된 부가적인 HF 레시피를 저장한다.

[0089] 레시피 신호들 (137B 및 136B) 을 전송한 후, 프로세서 (112) 는 트리거 신호 (302) 를 생성하고 LF RF 생성기 및 HF RF 생성기로 전송한다. 트리거 신호 (302) 의 예는 디지털 펄스이다. 예시를 위해, 트리거 신호 (302) 는 단일 펄스를 갖는다.

[0090] 트리거 신호 (302) 의 수신시, LF RF 생성기는 부가적인 LF 레시피에 기초하여 RF 신호 (137B) 를 생성한다. 또한, 트리거 신호 (302) 의 수신에 응답하여, HF RF 생성기는 부가적인 HF 레시피에 기초하여 RF 신호 (138B) 를 생성한다.

[0091] 수정된 RF 신호 (140B) 는 RF 신호들 (138B 및 139B) 로부터 도 1을 참조하여 상기 기술된 것과 동일한 방식으로 생성된다. 하나 이상의 프로세스 가스들이 플라즈마 챔버 (106) 로 공급될 때 수정된 RF 신호 (140B) 는 플라즈마 챔버 (106) 내에서 플라즈마를 스트라이킹하거나 유지한다. 플라즈마는 기판 S1을 프로세싱한다. 유사한 방식으로, 기판 S1이 또 다른 기판으로 교체될 때, 수정된 RF 신호 (140B) 는 다른 기판을 프로세싱하도록 출력부 OM에서 다시 제공된다.

[0092] 도 3b는 호스트 컴퓨터 (108) (도 1) 의 예인 데스크탑 컴퓨터 (350) 의 일 실시 예의 도면이다. 데스크탑 컴퓨터 (350) 는 상태 S1y에 대한 전력 레벨 P2y, 상태 S2y에 대한 전력 레벨 P1y, 및 상태 S0y에 대한 0의 전력 레벨을 포함하는, 부가적인 HF 레시피의 선택 또는 입력을 예시한다. 더욱이, 데스크탑 컴퓨터 (350) 는 상태 S1y에 대한 듀티 사이클 및 상태 S2y에 대한 듀티 사이클의 선택을 예시한다.

[0093] 데스크탑 컴퓨터 (350) 는 모니터 (352), 키보드 (354), 및 마우스 (356) 를 포함한다. 키보드 (354) 및 마우스 (356) 는 모니터 (352) 에 커플링된다. 예를 들어, 키보드 (354) 및 마우스 (356) 는 무선 접속들을 통해 모니터 (352) 의 CPU에 커플링된다.

[0094] 모니터 (352) 의 하우징 내에, CPU, 그래픽 프로세싱 유닛 (GPU), 및 메모리 디바이스가 위치된다 (locate). CPU의 예는 프로세서 (112) (도 1) 이고 메모리 디바이스의 예는 메모리 디바이스 (114) (도 1) 이다. 모니터 (352) 는 상기 참조된 디스플레이 디바이스의 일부인 디스플레이 스크린을 포함한다.

[0095] GPU는 상태들 (S1y, S2y, 및 S0y) 에 대한 복수의 전력 레벨들을 수신하기 위한 필드들 (362, 364, 및 366) 을 갖는 행 (358) 을 디스플레이한다. 더욱이, GPU는 상태들 (S1y 및 S2y) 에 대한 듀티 사이클들을 수신하기 위한 필드들 (368 및 370) 을 갖는 또 다른 행 (360) 을 디스플레이한다.

[0096] 사용자는 RF 신호 (138B) (도 3a) 의 상태 S1y에 대해 전력 레벨 P2y를 선택하도록 필드 (362) 옆에 디스플레이

된 업/다운 버튼을 선택한다. 예를 들어, 사용자는 필드 (362) 옆에 디스플레이된 업/다운 버튼을 선택하도록 입력 디바이스 상의 버튼을 선택한다. 유사하게, 사용자는 RF 신호 (138B) 의 상태 S2y에 대해 전력 레벨 P1y를 선택하도록 필드 (364) 옆에 디스플레이되는 또 다른 업/다운 버튼을 선택하고 RF 신호 (138B) 의 상태 S0y에 대해 0의 레벨 전력을 선택하기 위해 필드 (366) 옆에 렌더링된 업/다운 버튼을 선택한다. 예시를 위해, 사용자는 100 내지 1000 W가 되도록 전력 레벨 P1y를 선택한다. 더 예시하기 위해, 사용자는 100 W 또는 200 W 또는 250 W 또는 300 W가 되도록 전력 레벨 P1y를 선택한다.

[0097] 이에 더하여, 사용자는 상태 S1y에 대해 듀티 사이클 DC1y를 선택하도록 필드 (368) 옆에 디스플레이된 업/다운 버튼을 선택하고 상태 S2y에 대해 듀티 사이클 DC2y를 선택하기 위해 필드 (370) 옆에 렌더링된 또 다른 업/다운 버튼을 선택한다. 예로서, 사용자는 듀티 사이클 DC1y의 1 배 내지 3 배가 되도록 듀티 사이클 DC2y를 선택한다. 또 다른 예로서, 사용자는 듀티 사이클 DC1y와 같거나 듀티 사이클 DC1y의 2 배가 되거나 듀티 사이클 DC1y의 3 배가 되도록 듀티 사이클 DC2y를 선택한다.

[0098] 듀티 사이클들 (DC1y 및 DC2y) 의 선택을 수신하면, 데스크탑 컴퓨터 (350) 의 CPU는 RF 신호 (138B) 의 상태 S0y에 대한 듀티 사이클 DC0y를 계산한다. 예를 들어, CPU는 100 퍼센트와 듀티 사이클 DC1y와 듀티 사이클 DC2y의 합 사이의 차로서 듀티 사이클 DC0y를 결정한다. 듀티 사이클 DC1y 및 듀티 사이클 DC2y 각각은 클록 신호 (202) (도 2a) 의 사이클의 총 시간 기간의 대응하는 백분율이다. 예를 들어, 듀티 사이클 DC1y는 총 시간 기간의 제 1 백분율이고 듀티 사이클 DC2y는 총 시간 기간의 제 2 백분율이다. 듀티 사이클들 (DC1y, DC2y, 및 DC0y) 는 부가적인 HF 레시피의 부분들이다. 또한, 듀티 사이클 DC1y의 선택을 수신하면, 데스크탑 컴퓨터 (350) 의 CPU는 RF 신호 (138B) 의 듀티 사이클 DC1y와 같도록 RF 신호 (139B) 의 상태 S1x에 대한 듀티 사이클을 매칭한다.

[0099] 일 실시 예에서, 모니터 (352) 는 플라즈마 챔버 (106) (도 3a) 내에서 기판들을 프로세싱하기 위한 다양한 레시피들을 디스플레이하고 레시피들 중 하나는 부가적인 HF 레시피를 포함한다. 사용자는 입력 디바이스를 통해 부가적인 HF 레시피를 선택한다. 부가적인 HF 레시피의 선택을 수신하면, 데스크탑 컴퓨터 (350) 의 CPU는 트리거 신호 (302) (도 3a) 를 생성하고 부가적인 HF 레시피의 실행을 위해 트리거 신호 (302) 를 HF RF 생성기로 전송한다.

[0100] 도 4는 RF 생성기들의 상세들을 예시하기 위한 LF RF 생성기 및 HF RF 생성기의 일 실시 예의 도면이다. LF RF 생성기는 DSP (digital signal processor) DSPx, 파라미터 제어기 PS1x, 파라미터 제어기 PS0x, 듀티 사이클 제어기 DCC1x, 듀티 사이클 제어기 DCC0x, 주파수 제어기 Fx, 드라이버 DRVRx, 및 전력 공급부 PSx를 포함한다. HF RF 생성기는 디지털 신호 프로세서 DSPy, 복수의 파라미터 제어기들 (PS1y, PS2y, 및 PS0y), 및 복수의 듀티 사이클 제어기들 (DCC1y, DCC2y, 및 DCC0y) 를 포함한다. HF RF 생성기는 주파수 제어기 Fy, 드라이버 DRVRy, 및 전력 공급부 PSy를 더 포함한다. 주파수 제어기는 때때로 본 명세서에서 자동 주파수 튜너 (auto-frequency tuner; AFT) 로 지칭된다.

[0101] 본 명세서에 사용된 바와 같은 제어기의 예들은 프로세서 및 메모리 디바이스를 포함한다. 제어기의 프로세서는 제어기의 메모리 디바이스에 커플링된다. 예시를 위해, 제어기는 ASIC 또는 PLD 내에 통합된 마이크로제어기 또는 통합된 제어기이다. 본 명세서에 사용된 바와 같이, 자동 주파수 튜너의 예들은 프로세서 및 메모리 디바이스를 포함한다. 자동 주파수 튜너의 프로세서는 자동 주파수 튜너의 메모리 디바이스에 커플링된다. 본 명세서에 사용될 때, 드라이버의 예들은 하나 이상의 트랜지스터들을 포함한다. 하나 이상의 트랜지스터들은 서로 커플링된다. RF 전력 공급부의 예는 사인파와 같은 주기적인 오실레이팅 전자 신호를 생성하는 전자 회로인, 전자 오실레이터를 포함한다.

[0102] 디지털 신호 프로세서 DSPx는 프로세서 (112) 에 커플링된다. 디지털 신호 프로세서 DSPx는 주파수 제어기 Fx, 듀티 사이클 제어기들 (DCC1x 및 DCC0x), 및 파라미터 제어기들 (PS1x 및 PS0x) 에 커플링된다. LF RF 생성기의 듀티 사이클 제어기 각각은 LF RF 생성기의 대응하는 파라미터 제어기에 커플링된다. 예를 들어, 듀티 사이클 제어기 DCC1x는 파라미터 제어기 PS1x에 커플링되고 듀티 사이클 제어기 DCC0x는 파라미터 제어기 PS0x에 커플링된다. 제어기들 (PS1x, PS0x, 및 Fx) 은 RF 전력 공급부 PSx에 커플링된 드라이버 DRVRx에 커플링된다. RF 전력 공급부 PSx는 출력부 O1에서 RF 케이블 RFC1에 커플링된다. 듀티 사이클 제어기 DCC1x는 듀티 사이클 제어기 DCC0x에 커플링된다.

[0103] 유사하게, 디지털 신호 프로세서 DSPy는 프로세서 (112) 에 커플링된다. 디지털 신호 프로세서 DSPy는 파라미터 제어기들 (PS1y, PS2y, 및 PS0y) 에, 듀티 사이클 제어기들 (DCC1y, DCC2y, 및 DCC0y) 에, 그리고 주파수 제어기 Fy에 커플링된다.

[0104] 듀티 사이클 제어기 (DCC1y, DC2y, 및 DC0y) 각각은 파라미터 제어기들 (PS1y, PS2y, 및 PS0y) 중 대응하는 제어기에 커플링된다. 예를 들어, 듀티 사이클 제어기 DCC1y는 파라미터 제어기 PS1y에 커플링되고, 듀티 사이클 제어기 DCC2는 파라미터 제어기 PS2y에 커플링되고, 그리고 듀티 사이클 제어기 DCC0y는 파라미터 제어기 PS0y에 커플링된다. 파라미터 제어기들 (PS1y, PS2y, 및 PS0y), 및 주파수 제어기 Fy는 RF 전력 공급부 PSy에 커플링된 드라이버 DRVRy에 커플링된다. RF 전력 공급부 PSy는 출력부 O2에서 RF 케이블 RFC2에 커플링된다. 듀티 사이클 제어기 DCC1y는 듀티 사이클 제어기 DCC2y에 커플링되고 듀티 사이클 제어기 DCC2y는 듀티 사이클 제어기 DCC0y에 커플링된다.

[0105] 프로세서 (112) 는 레시피 신호 (136A 또는 136B) (도 1) 와 같은 레시피 신호 (402) 내에 3 개의 상태들 (S1y, S2y, 및 S0y) 에 대한 레시피 정보를 임베딩한다. 예를 들어, 프로세서 (112) 는 3 개의 상태들 (S1y, S2y, 및 S0y) 각각에 대한 식별자를 할당한다. 이 예에서, 3 개의 상태들 각각에 대한 식별자는 본 명세서에서 때때로 HF 상태 식별자로서 지칭된다. 또한, 이 예에서, 프로세서 (112) 는 3 개의 상태들 (S1y, S2y, 및 S0y) 에 대한 레시피 정보가 상태에 대한 파라미터 레벨, 주파수, 또는 듀티 사이클인지를 식별한다. 이 예에서, 프로세서 (112) 는 상태들 (S1y, S2y, 및 S0y) 에 대한 듀티 사이클들의 실행 순서, 예컨대 시퀀스를 레시피 신호 (402) 내에 더 포함한다. 예시를 위해, 프로세서 (112) 는 상태 S1y에 대한 파라미터 레벨에 제 1 HF 파라미터 식별자, 상태 S1y에 대한 듀티 사이클에 제 1 HF 듀티 사이클 식별자, 및 HF RF 생성기의 주파수에 HF 주파수 식별자를 할당한다. 또한, 예시에서, 프로세서 (112) 는 상태 S2y에 대한 파라미터 레벨에 제 2 HF 파라미터 식별자를 할당하고 상태 S2y에 대한 듀티 사이클에 제 2 HF 듀티 사이클 식별자를 할당한다. 예시에서, 프로세서 (112) 는 상태 S0y에 대한 파라미터 레벨에 제 3 HF 파라미터 식별자를 할당하고 상태 S0y에 대한 듀티 사이클에 제 3 HF 듀티 사이클 식별자를 할당한다. 또한, 예시에서, 순서는 상태 S1y가 상태 S0y 전에 실행되는 상태 S2y 전에 실행되는 것을 포함한다.

[0106] 디지털 신호 프로세서 DSPy는 레시피 신호 (402) 를 수신하고 레시피 신호 (402) 로부터 레시피 정보를 추출한다. 예를 들어, 디지털 신호 프로세서 DSPy는 레시피 신호 (402) 내의 레시피 정보가 3 개의 상태들 (S1y, S2y, 및 S0y) 에 관한 정보를 포함한다는 것을 3 개의 HF 상태 식별자들로부터 결정한다. 예시를 위해, 디지털 신호 프로세서 DSPy는 레시피 신호 (402) 가 상태 (S1y, S2y, 및 S0y) 각각에 대한 파라미터 레벨, 또는 상태에 대한 듀티 사이클, 또는 상태에 대한 주파수에 관한 정보를 포함하는지 여부를 결정한다. 예시를 계속하면, 디지털 신호 프로세서 DSPy는 상태에 대한 HF 파라미터 식별자에 기초하여 레시피 신호 (402) 가 상태에 대한 파라미터 레벨을 포함한다고 결정한다. 유사하게, 예시에서, 디지털 신호 프로세서 DSPy는 상태에 대한 HF 듀티 사이클 식별자에 기초하여 레시피 신호 (402) 가 상태에 대한 듀티 사이클을 포함한다고 결정한다. 또한, 예시에서, 디지털 신호 프로세서 DSPy는 상태에 대한 HF 주파수 식별자에 기초하여 레시피 신호 (402) 가 상태에 대한 주파수를 포함한다고 결정한다. 예시에서, 디지털 신호 프로세서 DSPy는 레시피 신호 (402) 로부터 상태들 (S1y, S2y, 및 S0y) 에 대한 듀티 사이클들의 실행 순서를 식별한다.

[0107] 디지털 신호 프로세서 DSPy는 제어기들 (PS1y, PS2y, PS0y, DCC1y, DCC2y, DCC0y, 및 Fcy) 중 대응하는 제어기로 상태 각각에 대한 레시피 정보를 전송한다. 예를 들어, 디지털 신호 프로세서 DSPy는 상태 S1y에 대한 파라미터 레벨을 파라미터 제어기 PS1y로 전송하고, 상태 S2y에 대한 파라미터 레벨을 파라미터 제어기 PS2y로 전송하고, 상태 S0y에 대한 파라미터 레벨을 파라미터 제어기 PS0y에 전송한다. 또한, 이 예에서, 디지털 신호 프로세서 DSPy는 상태 S1y에 대한 듀티 사이클을 듀티 사이클 제어기 DCC1y로 전송하고, 상태 S2y에 대한 듀티 사이클을 듀티 사이클 제어기 DCC2y로 전송하고, 상태 S0y에 대한 듀티 사이클을 듀티 사이클 제어기 DCC0y로 전송한다. 게다가, 이 예에서, 디지털 신호 프로세서 DSPy는 3 개의 상태들 (S1y, S2y, 및 S0y) 에 대한 주파수를 주파수 제어기 Fy로 전송한다. 이 예에서, 디지털 신호 프로세서 DSPy는 듀티 사이클의 실행 순서를 상태 S1y에 대해 듀티 사이클 제어기 DCC1y로, 상태 S2y에 대해 듀티 사이클 제어기 DCC2y로, 그리고 상태 S0y에 대해 듀티 사이클 제어기 DCC0y로 전송한다.

[0108] HF RF 생성기 내의 제어기 각각은 디지털 신호 프로세서 DSPy로부터 수신된 레시피 정보의 일부를 저장한다. 예를 들어, 파라미터 제어기 PS1y의 프로세서는 파라미터 제어기 PS1y의 메모리 디바이스 내에 상태 S1y에 대한 파라미터 레벨을 저장한다. 예를 계속하면, 파라미터 제어기 PS2y의 프로세서는 파라미터 제어기 PS2y의 메모리 디바이스 내에 상태 S2y에 대한 파라미터 레벨을 저장한다. 또한, 이 예에서, 파라미터 제어기 PS0y의 프로세서는 파라미터 제어기 PS0y의 메모리 디바이스 내에 상태 S0y에 대한 파라미터 레벨을 저장한다. 더욱이, 이 예에서, 듀티 사이클 제어기 DCC1y의 프로세서는 듀티 사이클 제어기 DCC1y의 메모리 디바이스 내에 상태 S1y에 대한 듀티 사이클 및 실행 순서를 저장한다. 또한, 이 예에서, 듀티 사이클 제어기 DCC2y의 프로세서는 듀티 사이클 제어기 DCC2y의 메모리 디바이스 내에 상태 S2y에 대한 듀티 사이클 및 실행 순서를 저장한다. 이 예에

서, 듀티 사이클 제어기 DCC0y의 프로세서는 듀티 사이클 제어기 DCC0y의 메모리 디바이스 내에 상태 S0y에 대한 듀티 사이클 및 실행 순서를 저장한다. 또한, 이 예에서, 주파수 제어기 FCy의 프로세서는 주파수 제어기 FCy의 메모리 디바이스 내에 상태들 (S1y, S2y, 및 S0y) 에 대한 주파수를 저장한다.

[0109] 트리거 신호 (302) 의 수신에 응답하여, 디지털 신호 프로세서 DSPy는 클록 신호 (202) (도 2) 의 사이클의 펄스 각각의 시작에서, 인스트럭션을 제어기들 (DCC1y, DCC2y, DCC0y, 및 Fy) 각각으로 전송한다. 인스트럭션을 수신하면, 듀티 사이클 제어기 (DCC1y, DCC2y, 및 DC0y) 각각은 듀티 사이클 내의 시간 기간 동안 인스트럭션 신호를 생성하도록 실행 순서에 따라 대응하는 파라미터 제어기 (PS1y, PS2y, 및 PS0y) 로 명령을 전송한다. 예를 들어, 인스트럭션의 수신에 응답하여, 듀티 사이클 제어기 DCC1y는 제 1 시간 T1에서, 상태 S1y에 대한 파라미터 레벨에 기초하여 인스트럭션 신호를 생성하도록 파라미터 제어기 PS1y로 명령을 전송하고, 인스트럭션 신호는 상태 S1y에 대한 듀티 사이클 내에서 시간 기간 TP1y에 대해 생성된다. 유사하게, 이 예에서, 인스트럭션 수신시, 듀티 사이클 제어기 DCC2y는 시간 기간 TP1y 동안 대기하고, 제 2 시간 T2에서, 상태 S2y에 대한 파라미터 레벨에 기초하여 인스트럭션 신호를 생성하도록 파라미터 제어기 PS2y로 명령을 전송하고, 인스트럭션 신호는 상태 S2y에 대한 듀티 사이클 내에서 시간 기간 TP2y에 대해 생성된다. 이 예에서, 명령은 HF RF 신호를 상태 S1y에 대한 파라미터 레벨로부터 상태 S2y에 대한 파라미터 레벨로 전이하도록 파라미터 제어기 PS2y로 전송된다. 또한, 이 예에서, 시간 기간 TP1y는 듀티 사이클 제어기 DCC1y로부터 듀티 사이클 제어기 DCC2y로 전송된다. 또한, 이 예에서, 인스트럭션 수신시, 듀티 사이클 제어기 DCC0y는 시간 기간 TP2y 동안 대기하고, 제 3 시간 T3에서, 상태 S0y에 대한 파라미터 레벨에 기초하여 인스트럭션 신호를 생성하도록 파라미터 제어기 PS0y로 명령을 전송하고, 그리고 인스트럭션 신호는 상태 S0y에 대해 듀티 사이클 내 시간 기간에 대해 생성된다. 이 예에서, 명령은 HF RF 신호를 상태 S2y에 대한 파라미터 레벨로부터 상태 S0y에 대한 파라미터 레벨로 전이하도록 파라미터 제어기 PS0y로 전송된다. 이 예에서, 시간 기간 TP2y는 듀티 사이클 제어기 DCC2y로부터 듀티 사이클 제어기 DCC0y로 전송된다. 이 예에서, 제 3 시간은 제 1 시간에 이어지는 제 2 시간에 이어진다. 제 2 시간은 제 1 시간 및 시간 기간 TP1 직후에 발생하고 제 3 시간은 제 2 시간 및 시간 기간 TP2 직후에 발생한다.

[0110] 디지털 신호 프로세서 DSPy로부터 인스트럭션을 수신하는 것에 응답하여, 주파수 제어기 FCy는 상태들 (S1y, S2y, 및 S0y) 의 주파수에 기초하여 인스트럭션 신호를 생성하고, 인스트럭션 신호를 드라이버 DRVRy로 전송한다. 제어기들 (PS1y, PS2y, 및 PS0y 및 FCy) 로부터 상태 (S1y, S2y, 및 S0y) 에 대한 인스트럭션 신호들을 수신하면, 드라이버 DRVRy는 인스트럭션 신호들에 기초하여 전류 신호를 생성하고 전류 신호를 전력 공급부 PSy로 전송한다. 전류 신호가 드라이버 DRVRy로부터 수신될 때, 전력 공급부 PSy는 전류 신호에 기초하여 RF 신호 (404) 를 생성한다. RF 신호 (404) 의 예는 RF 신호 (138A) (도 1) 이다. RF 신호 (404) 의 또 다른 예는 RF 신호 (138B) (도 1) 이다. RF 신호 (404) 는 RF 케이블 RFC2를 통한 전송을 위해 출력부 O2에서 전력 공급부 PSy에 의해 공급된다.

[0111] 3 개 대신 2 개의 상태를 갖는 레시피 신호 (132) 가 프로세서 (112) 로부터 디지털 신호 프로세서 DSPy로 전송될 때, 디지털 신호 프로세서 DSPy는 상태 S2y에 관한 레시피 신호 (132) 내의 정보를 제어기들 (PS2y 및 DCC2y) 로 전송하지 않는다는 것을 주의해야 한다. 파라미터 제어기 PS2y로 전송될 상태 S2y에 대한 파라미터 레벨은 없고 듀티 사이클 제어기 DCC2y로 전송될 상태 S2y에 대한 듀티 사이클이 없다.

[0112] 프로세서 (112) 는 레시피 신호 (137A 또는 137B) (도 1) 와 같은 레시피 신호 (403) 내에 2 개의 상태 S1x 및 상태 S0x에 대한 레시피 정보를 임베딩한다. 예를 들어, 프로세서 (112) 는 2 개의 상태 S1x 및 상태 S0x 각각에 대한 식별자를 할당한다. 2 개의 상태 S1x 및 상태 S0x 각각에 대한 식별자는 본 명세서에서 때때로 LF 상태 식별자로서 지칭된다. 또한, 이 예에서, 프로세서 (112) 는 2 개의 상태 S1x 및 상태 S0x에 대한 레시피 정보가 상태에 대한 파라미터 레벨, 주파수, 또는 듀티 사이클인지를 식별한다. 이 예에서, 프로세서 (112) 는 레시피 신호 (403) 내에 상태 S1x 및 상태 S0x에 대한 듀티 사이클들의 실행 순서, 예컨대 시퀀스를 더 포함한다. 예시를 위해, 프로세서 (112) 는 상태 S1x에 대한 파라미터 레벨에 제 1 LF 파라미터 식별자, 상태 S1x에 대한 듀티 사이클에 제 1 LF 듀티 사이클 식별자, 및 LF RF 생성기의 주파수에 LF 주파수 식별자를 할당한다. 또한, 예시에서, 프로세서 (112) 는 상태 S0x에 대한 파라미터 레벨에 제 2 LF 파라미터 식별자를 할당하고 상태 S0x에 대한 듀티 사이클에 제 2 LF 듀티 사이클 식별자를 할당한다. 예시에서, 순서는 상태 S1x가 상태 S0x 전에 실행되는 것을 포함한다.

[0113] 디지털 신호 프로세서 DSPx는 레시피 신호 (403) 를 수신하고 레시피 신호 (403) 로부터 레시피 정보를 추출한다. 예를 들어, 디지털 신호 프로세서 DSPx는 레시피 신호 (403) 내의 레시피 정보가 2 개의 상태 S1x 및 상태 S0x에 관한 정보를 포함한다는 것을 2 개의 LF 상태 식별자들로부터 결정한다. 이 예에서, 그렇게 결정할 때,

디지털 신호 프로세서 DSPx는 레시피 신호 (403) 가 상태 S1x 및 상태 S0x 각각에 대한 파라미터 레벨, 또는 상태에 대한 듀티 사이클, 또는 상태에 대한 주파수에 관한 정보를 포함하는지 여부를 결정한다. 예를 계속하면, 디지털 신호 프로세서 DSPx는 상태에 대한 LF 파라미터 식별자에 기초하여 레시피 신호 (403) 가 상태에 대한 파라미터 레벨을 포함한다고 결정한다. 유사하게, 이 예에서, 디지털 신호 프로세서 DSPx는 상태에 대한 LF 듀티 사이클 식별자에 기초하여 레시피 신호 (403) 가 상태에 대한 듀티 사이클을 포함한다고 결정한다. 또한, 이 예에서, 디지털 신호 프로세서 DSPx는 상태에 대한 LF 주파수 식별자에 기초하여 레시피 신호 (403) 가 상태에 대한 주파수를 포함한다고 결정한다. 이 예에서, 디지털 신호 프로세서 DSPx는 레시피 신호 (403) 로부터 상태 S1x 및 상태 0x에 대한 듀티 사이클들의 실행 순서를 식별한다.

[0114] 디지털 신호 프로세서 DSPx는 제어기들 (PS1x, PS2x, 및 Fx) 중 대응하는 제어기로 상태 각각에 대한 레시피 정보를 전송한다. 예를 들어, 디지털 신호 프로세서 DSPx는 상태 S1x에 대한 파라미터 레벨을 파라미터 제어기 PS1x로 전송하고, 상태 S0x에 대한 파라미터 레벨을 파라미터 제어기 PS0x로 전송하고, 2 개의 상태 S1x 및 상태 0x에 대한 주파수를 주파수 제어기 Fx로 전송한다. 이 예에서, 디지털 신호 프로세서 DSPx는 상태 S1x에 대한 듀티 사이클의 실행 순서를 듀티 사이클 제어기 DCC1x로, 그리고 상태 S0x에 대해 듀티 사이클 제어기 DCC0x로 전송한다.

[0115] LF RF 생성기 내의 제어기 각각은 디지털 신호 프로세서 DSPx로부터 수신된 레시피 정보의 일부를 저장한다. 예를 들어, 파라미터 제어기 PS1x의 프로세서는 파라미터 제어기 PS1x의 메모리 디바이스 내에 상태 S1x에 대한 파라미터 레벨을 저장한다. 예를 계속하면, 파라미터 제어기 PS0x의 프로세서는 파라미터 제어기 PS0x의 메모리 디바이스 내에 상태 S0x에 대한 파라미터 레벨을 저장한다. 더욱이, 이 예에서, 듀티 사이클 제어기 DCC1x의 프로세서는 듀티 사이클 제어기 DCC1x의 메모리 디바이스 내에 상태 S1x에 대한 듀티 사이클 및 실행 순서를 저장한다. 또한, 이 예에서, 듀티 사이클 제어기 DCC0x의 프로세서는 듀티 사이클 제어기 DCC0x의 메모리 디바이스 내에 상태 S0x에 대한 듀티 사이클 및 실행 순서를 저장한다. 또한, 이 예에서, 주파수 제어기 FCx의 프로세서는 주파수 제어기 FCx의 메모리 디바이스 내에 상태 S1x 및 상태 S0x에 대한 주파수를 저장한다.

[0116] 트리거 신호 (302) 의 수신에 응답하여, 디지털 신호 프로세서 DSPx는 클록 신호 (202) (도 2) 의 사이클의 펄스 각각의 시작에서, 인스트럭션을 제어기들 (PS1x, PS0x, DCC1x, DCC0x 및 Fx) 각각으로 전송한다. 인스트럭션을 수신하면, 듀티 사이클 제어기 (DCC1x 및 DC0x) 각각은 듀티 사이클 내 시간 기간 동안 인스트럭션 신호를 생성하도록 실행 순서에 따라 대응하는 파라미터 제어기 (PS1x 및 PS0x) 로 명령을 전송한다. 예를 들어, 인스트럭션의 수신에 응답하여, 듀티 사이클 제어기 DCC1x는 제 1 시간 T1에서, 상태 S1x에 대한 파라미터 레벨에 기초하여 인스트럭션 신호를 생성하도록 파라미터 제어기 PS1x로 명령을 전송하고, 인스트럭션 신호는 상태 S1x에 대한 듀티 사이클 내에서 시간 기간 TP1y에 대해 생성된다. 유사하게, 이 예에서, 인스트럭션 수신시, 듀티 사이클 제어기 DCC0x는 시간 기간 TP1y동안 대기하고, 제 2 시간 T2에서, 상태 S0x에 대한 파라미터 레벨에 기초하여 인스트럭션 신호를 생성하도록 파라미터 제어기 PS0x로 명령을 전송하고, 인스트럭션 신호는 상태 S0x에 대한 듀티 사이클 내 시간 기간에 대해 생성된다. 이 예에서, 시간 기간 TP1y는 듀티 사이클 제어기 DCC1y로부터 듀티 사이클 제어기 DCC0x로 전송된다. 또한, 이 예에서, 명령은 LF RF 신호를 상태 S1x에 대한 파라미터 레벨로부터 상태 S0x에 대한 파라미터 레벨로 전이하도록 파라미터 제어기 PS0x로 전송된다. 이 예에서, 명령이 제 2 시간 T2에서 파라미터 제어기 PS0x로 전송될 때, LF RF 생성기에 의해 생성된 RF 신호 (405) 는 상태 S1y에 대한 파라미터 레벨로부터 상태 S2y에 대한 파라미터 레벨로의 RF 신호 (404) 의 전이와 동기화하여 상태 S1x에 대한 파라미터 레벨로부터 상태 S0x에 대한 파라미터 레벨로 전이한다.

[0117] 디지털 신호 프로세서 DSPx로부터 인스트럭션을 수신하는 것에 응답하여, 주파수 제어기 FCx는 상태 S1x 및 상태 S0x의 주파수에 기초하여 인스트럭션 신호를 생성하고, 인스트럭션 신호를 드라이버 DRVRx로 전송한다. 제어기들 (PS1x, PS0x, 및 FCy) 로부터 상태 S1x 및 상태 0x에 대한 인스트럭션 신호들을 수신하면, 드라이버 DRVRx는 인스트럭션 신호들에 기초하여 전류 신호를 생성하고 전류 신호를 전력 공급부 PSx로 전송한다. 전류 신호가 드라이버 DRVRx로부터 수신될 때, 전력 공급부 PSx는 전류 신호에 기초하여, RF 신호 (139A 또는 139B) (도 1) 와 같은 RF 신호 (405) 를 생성한다. RF 신호 (405) 는 RF 케이블 RFC1을 통한 전송을 위해 출력부 01에서 전력 공급부 PSx에 의해 공급된다.

[0118] 일 실시 예에서, 파라미터 (218) (도 2c) 가 생성된다. 이 실시 예에서, 트리거 신호 (302) 의 수신에 응답하여, 디지털 신호 프로세서 DSPy는 클록 신호 (202) (도 2) 의 사이클의 펄스 각각의 시작시, 인스트럭션을 제어기들 (DCC1y, DCC0y, DCC2y 및 Fy) 각각으로 전송한다. 인스트럭션을 수신하면, 듀티 사이클 제어기 (DCC1y, DCC0y, DCC2y) 각각은 듀티 사이클 내의 시간 기간 동안 인스트럭션 신호를 생성하도록 실행 순서에 따라 대응하는 파라미터 제어기 (PS1y, PS0y, 및 PS2y) 로 명령을 전송한다. 예를 들어, 인스트럭션의 수신에 응답하여,

듀티 사이클 제어기 DCC1y는 제 1 시간 T1.1에서, 상태 S1y에 대한 파라미터 레벨에 기초하여 인스트럭션 신호를 생성하도록 파라미터 제어기 PS1y로 명령을 전송하고 인스트럭션 신호는 상태 S1y에 대한 듀티 사이클 내에서 시간 기간 TP1.1y에 대해 생성된다. 유사하게, 이 예에서, 인스트럭션 수신시, 듀티 사이클 제어기 DCC0y는 시간 기간 TP1.1y 동안 대기하고, 제 2 시간 T2.1에서, 상태 S0y에 대한 파라미터 레벨에 기초하여 인스트럭션 신호를 생성하도록 파라미터 제어기 PS0y로 명령을 전송하고, 인스트럭션 신호는 상태 S0y에 대한 듀티 사이클 내에서 시간 기간 TP2.1y에 대해 생성된다. 이 예에서, 명령은 HF RF 신호를 상태 S1y에 대한 파라미터 레벨로부터 상태 S0y에 대한 파라미터 레벨로 전이하도록 파라미터 제어기 PS0y로 전송된다. 또한, 이 예에서, 시간 기간 TP1.1y는 듀티 사이클 제어기 DCC1y로부터 듀티 사이클 제어기 DCC0y로 전송된다. 또한, 이 예에서, 인스트럭션 수신시, 듀티 사이클 제어기 DCC2y는 시간 기간 TP2.1y 동안 대기하고, 제 3 시간 T3.1에서, 상태 S2y에 대한 파라미터 레벨에 기초하여 인스트럭션 신호를 생성하도록 파라미터 제어기 PS2y로 명령을 전송하고, 인스트럭션 신호는 상태 S2y에 대한 듀티 사이클 내에서 시간 기간 TP3.1y에 대해 생성된다. 이 예에서, 명령은 HF RF 신호를 상태 S0y에 대한 파라미터 레벨로부터 상태 S2y에 대한 파라미터 레벨로 전이하도록 파라미터 제어기 PS2y로 전송된다. 이 예에서, 시간 기간 TP2.1y는 듀티 사이클 제어기 DCC0y로부터 듀티 사이클 제어기 DCC2y로 전송된다. 이 예에서, 제 3 시간은 제 1 시간에 이어지는 제 2 시간에 이어진다. 또한, 이 예에서, 제 2 시간은 제 1 시간 및 시간 기간 TP1.1 직후에 발생하고 제 3 시간은 제 2 시간 및 시간 기간 TP2.1 직후 발생한다.

[0119] 일 실시 예에서, 듀티 사이클 제어기 DCC1x는 듀티 사이클 제어기 DCC1y에 커플링된다. 듀티 사이클 제어기 DCC1x의 프로세서는 듀티 사이클 제어기 DCC1y의 메모리 디바이스로부터 상태 S1y에 대한 듀티 사이클에 액세스한다. 상태 S1y에 대한 듀티 사이클에 액세스할 때, 듀티 사이클 제어기 DCC1x의 프로세서는 상태 S1x에 대한 듀티 사이클이 상태 DC1y에 대한 듀티 사이클과 매칭하는지 여부를 결정한다. 상태 S1x 및 상태 S1y에 대한 듀티 사이클들이 매칭되지 않는다는 결정시, 듀티 사이클 제어기 DCC1x의 프로세서는 상태 S1y에 대한 듀티 사이클과 매칭하도록 상태 S1x에 대한 듀티 사이클을 제어한다. 다른 한편으로, 상태 S1x 및 상태 S1y에 대한 듀티 사이클들이 매칭된다는 결정시, 듀티 사이클 제어기 DCC1x의 프로세서는 상태 S1y에 대한 듀티 사이클과 매칭하도록 상태 S1x에 대한 듀티 사이클을 제어하지 않는다.

[0120] 도 5a는 상태 S1y 및 상태 S1x 동안 기판 (500) 상에서 수행된 에칭 동작의 효과를 예시하기 위한 기판 (500)의 일 실시 예의 도면이다. 기판 (500) 은 기판 S (도 1) 또는 기판 S1 (도 3a) 의 예이다. 기판 (500) 은 NAND 스택과 같은 스택 층 (502) 및 마스크 층 (504) 을 갖는다.

[0121] 마스크 층 (504) 은 프로파일 (503) 을 갖는다. 마스크 층의 프로파일의 예는 마스크 층의 측면도이다. 측면도는 마스크 층의 형상을 예시하는 2 차원 도면이다. 형상은 y-축을 따른 높이 및 x-축을 따른 폭을 포함할 수 있다. 높이는 수직 방향이고 폭은 수평 방향이다.

[0122] 마스크 층 (504) 은 스택 층 (502) 의 상단 상에 형성된다. 예로서, 스택 층 (502) 은 하단부에 OPOP (oxide-polysilicon-oxide-polysilicon) 층을 포함한다. 스택 층 (502) 은 OPOP 층의 상단 상에 위치된 SGD (drain-side selection gate) 및 SGD 층의 상단 상에 있는 나이트라이드 층을 더 갖는다. 마스크 층 (504) 은 나이트라이드 층의 상단 상에 형성된다.

[0123] 패시베이션 층들 (506A 및 506B) 은 마스크 층 (504) 의 측벽 SW1 및 측벽 SW2 상에 형성된다. 예를 들어, 패시베이션 층 (506A) 은 마스크 층 (504) 의 측벽 SW1에 인접하고 패시베이션 층 (506B) 은 마스크 층 (504) 의 측벽 SW2에 인접하다. 예시를 위해, 패시베이션 층 (506A) 과 측벽 SW1 사이에 층이 없고 패시베이션 층 (506B) 과 측벽 SW2 사이에 층이 없다. 패시베이션 층 (506A) 은 패시베이션 층들 (506A 및 506B) 사이의 갭을 통해 패시베이션 층 (506B) 과 대면한다. 마스크 층 (504) 의 측벽 SW1 및 측벽 SW2는 때때로 본 명세서에서 기판 (500) 의 넥 영역 또는 넥으로서 지칭된다. 패시베이션 층은 마스크 층 (504) 의 측벽 상에 증착된 중합체 재료들을 포함한다. 예를 들어, 패시베이션 층들 (506A 및 506B) 은 스택 층 (502) 의 에칭으로부터 스퍼터링되는 스택 층 (502) 의 재료들, 또는 프로세스 가스들로부터 재료들, 또는 이들의 조합을 포함한다.

[0124] 상태 S1y 및 상태 S1x는 스택 층 (502) 을 에칭하고 패시베이션 층들 (506A 및 506B) 을 감소시키는데 거의 역할을 하지 않는다. 패시베이션 층들 (506A 및 506B) 이 감소되지 않을 때, 마스크 막힘이 발생하고 층들 (506A 및 506B) 사이의 수평 거리 (508) 가 감소한다. 예를 들어, 패시베이션 층들 (506A 및 506B) 은 패시베이션 층들 (506A 및 506B) 사이에 남아 있는 공간이 없을 때까지 성장한다. 수평 거리 (508) 는 마스크 층 (504) 의 CD의 예이다. 상태 S1y 및 상태 S1x의 인가 동안, 수평 거리 (508) 는 패시베이션 층들 (506A 및 506B) 사이의 거리의 최소량이다.

[0125] 도 5b는 기판 (500) 상의 상태 S2y 및 상태 S0x의 효과를 예시하기 위한 기판 (500) 의 일 실시 예의 도면이다. 상태 S2y 및 상태 S0x의 동시 (simultaneous) 발생 또는 동시 (concurrent) 발생 동안, 패시베이션 층들 (506A 및 506B) 사이의 수평 거리 (510) 는 수평 거리 (508) (도 5a) 와 비교하여 증가한다. 수평 거리 (510) 는 마스크 층 (504) 의 CD의 또 다른 예이다. 상태 S2y 및 상태 S0x의 인가 동안, 수평 거리 (510) 는 패시베이션 층들 (506A 및 506B) 사이의 거리의 최소량이다. 마스크 층 (504) 은 프로파일 (505) 을 갖는다.

[0126] 도 5c는 기판 (500) 상의 상태 S0y 및 상태 S0x의 효과를 예시하기 위한 기판 (500) 의 실시 예의 도면이다. 상태 S0y 및 상태 S0x 동안, 증착 동작이 기판 (500) 상에서 수행된다. 상태 S0y 및 상태 S0x의 발생 동안, 패시베이션 층들 (506A 및 506B) 사이의 수평 거리 (512) 는 수평 거리 (510) (도 5b) 와 비교하여 감소한다. 수평 거리 (512) 는 프로파일 (507) 을 갖는 마스크 층 (504) 의 CD의 또 다른 예이다. 상태 S0y 및 상태 S0x의 인가 동안, 수평 거리 (512) 는 패시베이션 층들 (506A 및 506B) 사이의 거리의 최소량이다. 상태 S2y 및 상태 S0x를 도입함으로써, 수평 거리 (510) 가 달성되고 따라서 마스크 층 (504) 의 CD가 증가한다. 상태 S2y 및 상태 S0x는 마스크 층 (504) 이 패시베이션 층들 (506A 및 506B) 에 의해 막힐 가능성을 감소시킨다.

[0127] 본 명세서에 기술된 실시 예들은 휴대형 하드웨어 유닛들, 마이크로프로세서 시스템들, 마이크로프로세서-기반 또는 프로그래밍 가능한 가전제품들, 미니컴퓨터들, 메인프레임 컴퓨터들 등을 포함하는 다양한 컴퓨터 시스템 구성들로 실시될 수도 있다. 실시 예들은 또한 네트워크를 통해 링크된 원격 프로세싱 하드웨어 유닛들에 의해 태스크들이 수행되는 분산 컴퓨팅 환경들에서 실시될 수 있다.

[0128] 일부 실시 예들에서, 제어기는 상기 기술된 예들의 일부일 수도 있는 시스템의 일부이다. 이러한 시스템들은, 프로세싱 툴 또는 툴들, 챔버 또는 챔버들, 프로세싱용 플랫폼 또는 플랫폼들, 및/또는 특정 프로세싱 컴포넌트들 (웨이퍼 페데스탈, 가스 플로우 시스템, 등) 을 포함하는, 반도체 프로세싱 장비를 포함한다. 이들 시스템들은 반도체 웨이퍼 또는 기판의 프로세싱 이전에, 프로세싱 동안에 그리고 프로세싱 이후에 그들의 동작을 제어하기 위한 전자 장치와 통합된다. 전자 장치는 시스템 또는 시스템들의 다양한 컴포넌트들 또는 하위부분들을 제어할 수도 있는 "제어기"로서 지칭된다. 제어기는, 시스템의 프로세싱 요건들 및/또는 타입에 따라서, 프로세스 가스들의 전달, 온도 설정들 (예를 들어, 가열 및/또는 냉각), 압력 설정들, 진공 설정들, 전력 설정들, RF 생성기 설정들, RF 매칭 회로 설정들, 주파수 설정들, 플로우 레이트 설정들, 유체 전달 설정들, 위치 및 동작 설정들, 툴 및 다른 이송 툴들 및/또는 시스템과 커플링되거나 인터페이싱된 로드록들 내외로의 웨이퍼 이송들을 포함하는, 본 명세서에 개시된 프로세스들 중 임의의 프로세스들을 제어하도록 프로그래밍된다.

[0129] 일반적으로 말하면, 다양한 실시 예들에서, 제어기는 인스트럭션들을 수신하고, 인스트럭션들을 발행하고, 동작을 제어하고, 세정 동작들을 인에이블하고, 엔드포인트 측정들을 인에이블하는, 등을 하는 다양한 집적 회로들, 논리, 메모리, 및/또는 소프트웨어를 갖는 전자 장치로서 규정된다. 집적 회로들은 프로그램 인스트럭션들을 저장하는 펌웨어의 형태의 칩들, 디지털 신호 프로세서들 (DSP), ASICs, PLDs로서 규정되는 칩들, 및/또는 프로그램 인스트럭션들 (예를 들어, 소프트웨어) 을 실행하는 하나 이상의 마이크로프로세서들, 또는 마이크로제어기들을 포함한다. 프로그램 인스트럭션들은 반도체 웨이퍼 상에서 또는 반도체 웨이퍼에 대한 특정 프로세스를 실행하기 위한 파라미터들, 인자들, 변수들, 등을 규정하는, 다양한 개별 설정들 (또는 프로그램 파일들) 의 형태로 제어기로 또는 시스템으로 전달된 인스트럭션들이다. 일부 실시 예들에서, 프로그램 인스트럭션들은 하나 이상의 층들, 재료들, 금속들, 옥사이드들, 실리콘, 실리콘 다이옥사이드, 표면들, 회로들 및/또는 웨이퍼의 다이들의 제조 동안 하나 이상의 프로세싱 단계들을 달성하도록 프로세스 엔지니어들에 의해 규정된 레시피의 일부이다.

[0130] 제어기는, 일부 실시 예들에서, 시스템에 통합되거나, 시스템에 커플링되거나, 그렇지 않으면 시스템에 네트워킹되거나, 또는 이들의 조합인 컴퓨터에 커플링되거나 일부이다. 예를 들어, 제어기는 웨이퍼 프로세싱의 원격 액세스를 가능하게 하는 공장 (fab) 호스트 컴퓨터 시스템의 전부 또는 일부이거나 "클라우드" 내에 있다. 컴퓨터는 제조 동작들의 현재 진행을 모니터링하고, 과거 제조 동작들의 이력을 조사하고, 복수의 제조 동작들로부터 경향들 또는 성능 메트릭들을 조사하고, 현재 프로세싱의 파라미터들을 변경하고, 현재 프로세싱에 후속하는 프로세싱 단계들을 설정하고, 또는 새로운 프로세스 시작하도록 시스템에 대한 원격 액세스를 인에이블한다.

[0131] 일부 실시 예들에서, 원격 컴퓨터 (예를 들어, 서버) 는 로컬 네트워크 또는 인터넷을 포함하는 네트워크를 통해 시스템에 프로세스 레시피들을 제공한다. 원격 컴퓨터는 차후에 원격 컴퓨터로부터 시스템으로 전달될 파라미터들 및/또는 설정들의 입력 또는 프로그래밍을 인에이블하는 사용자 인터페이스를 포함한다. 일부 예들에서, 제어기는 하나 이상의 동작들 동안에 수행될 프로세스 단계들 각각에 대한 파라미터들, 인자들, 및/

또는 변수들을 특정하는, 데이터의 형태의 인스트럭션들을 수신한다. 파라미터들, 인자들, 및/또는 변수들은 제어기가 제어하거나 인터페이싱하도록 구성되는 툴의 타입 및 수행될 프로세스의 타입에 특정적이라는 것이 이해되어야 한다. 따라서 상기 기술된 바와 같이, 제어기는 예컨대 본 명세서에 기술된 프로세스들 및 제어들과 같은, 공동의 목적을 향해 함께 네트워킹되고 작동되는 하나 이상의 개별 제어기들을 포함함으로써 분산된다. 이러한 목적들을 위한 분산형 제어기의 예는 챔버 상의 프로세스를 제어하도록 조합되는 (예컨대 플랫폼 레벨에서 또는 원격 컴퓨터의 일부로서) 원격으로 위치한 하나 이상의 집적 회로들과 통신하는 챔버 상의 하나 이상의 집적 회로들을 포함한다.

[0132] 비한정적으로, 다양한 실시 예들에서, 방법들이 적용되는 예시적인 시스템들은 플라즈마 에칭 챔버 또는 모듈, 증착 챔버 또는 모듈, 스핀-린스 챔버 또는 모듈, 금속 도금 챔버 또는 모듈, 세정 챔버 또는 모듈, 베벨 에지 에칭 챔버 또는 모듈, PVD (Physical Vapor Deposition) 챔버 또는 모듈, CVD 챔버 또는 모듈, ALD 챔버 또는 모듈, ALE 챔버 또는 모듈, 이온 주입 챔버 또는 모듈, 트랙 (track) 챔버 또는 모듈, 및 반도체 웨이퍼들의 제조 및/또는 제작 시에 사용되거나 연관되는 임의의 다른 반도체 프로세싱 시스템들을 포함한다.

[0133] 일부 실시 예들에서, 상기 기술된 동작들은 몇몇 타입들의 플라즈마 챔버들, 예를 들어, 유도 커플링 플라즈마 (inductively coupled plasma; ICP) 반응기, 변압기 커플링 플라즈마 챔버, 도전체 툴들, 유전체 툴들, 전자 사이클로트론 공명 (electron cyclotron resonance; ECR) 반응기 등을 포함하는 플라즈마 챔버를 포함하는 플라즈마 챔버에 적용된다는 것을 또한 주의한다. 예를 들어, 하나 이상의 RF 생성기들은 ICP 반응기 내의 인덕터에 커플링된다. 인덕터의 형상의 예들은 솔레노이드, 돔 형상 코일, 편평한 형상의 코일 등을 포함한다.

[0134] 상술한 바와 같이, 툴에 의해서 수행될 프로세스 단계 또는 단계들에 따라서, 호스트 컴퓨터는, 반도체 제작 공장 내의 툴 위치들 및/또는 로드 포트들로부터/로드 포트들로 웨이퍼들의 컨테이너들을 이동시키는 재료 이송 시에 사용되는, 다른 툴 회로들 또는 모듈들, 다른 툴 컴포넌트들, 클러스터 툴들, 다른 툴 인터페이스들, 인접 툴들, 이웃하는 툴들, 공장 도처에 위치한 툴들, 메인 컴퓨터, 또 다른 제어기, 또는 툴들 중 하나 이상과 통신한다.

[0135] 상기 실시 예들을 염두에 두고, 일부 실시 예들은 컴퓨터 시스템들에 저장된 데이터를 수반하는 다양한 컴퓨터-구현된 동작들을 채용한다는 것이 이해되어야 한다. 이들 동작들은 물리적으로 물리량들을 조작하는 동작들이다. 실시 예들의 일부를 형성하는 본 명세서에 기술된 임의의 동작들은 유용한 머신 동작들이다.

[0136] 실시 예들 중 일부는 또한 이들 동작들을 수행하기 위한 하드웨어 유닛 또는 장치와 관련된다. 장치는 특수 목적 컴퓨터를 위해 특별히 구성된다. 특수 목적 컴퓨터로서 규정될 때, 컴퓨터는 특수 목적의 일부가 아닌 다른 프로세싱, 프로그램 실행 또는 루틴들을 수행하지만, 여전히 특수 목적을 위해 동작할 수 있다.

[0137] 일부 실시 예들에서, 동작들은 컴퓨터 메모리, 캐시에 저장되거나 컴퓨터 네트워크를 통해 획득될 수 있는 하나 이상의 컴퓨터 프로그램들에 의해 선택적으로 활성화되거나 구성된 컴퓨터에 의해 프로세싱될 수도 있다. 데이터가 컴퓨터 네트워크를 통해 획득될 때, 데이터는 컴퓨터 네트워크 상의 다른 컴퓨터들, 예를 들어, 컴퓨팅 리소스들의 클라우드에 의해 프로세싱될 수도 있다.

[0138] 하나 이상의 실시 예들은 또한 비일시적인 컴퓨터 판독 가능 매체 상의 컴퓨터 판독 가능 코드로서 제조될 수 있다. 비일시적 컴퓨터-판독 가능 매체는 그 후 컴퓨터 시스템에 의해 판독되는, 데이터를 저장하는 임의의 데이터 저장 하드웨어 유닛, 예를 들어, 메모리 디바이스, 등이다. 비일시적 컴퓨터 판독 가능 매체의 예들은 하드 드라이브들, NAS (network attached storage), ROM, RAM, CD-ROM들, CD-Rs (CD-recordables), CD-RWs (CD-rewritables), 자기 테이프들 및 기타 광학 및 비광학 데이터 저장 하드웨어 유닛들을 포함한다. 일부 실시 예들에서, 비일시적인 컴퓨터-판독 가능 매체는 컴퓨터-판독 가능 코드가 분산된 방식으로 저장되고 실행되도록 네트워크-커플링된 컴퓨터 시스템을 통해 분산된 컴퓨터-판독 가능 유형의 (tangible) 매체를 포함한다.

[0139] 상기 방법 동작들이 특정한 순서로 기술되었지만, 다양한 실시 예들에서, 다른 하우스 키핑 동작들이 동작들 사이에 수행되거나, 방법 동작들이 약간 상이한 시간들에 발생하도록 조정되거나, 다양한 간격들로 방법 동작들의 발생을 허용하거나 상기 기술된 것과 상이한 순서로 수행되는 시스템에 분산된다는 것이 이해되어야 한다.

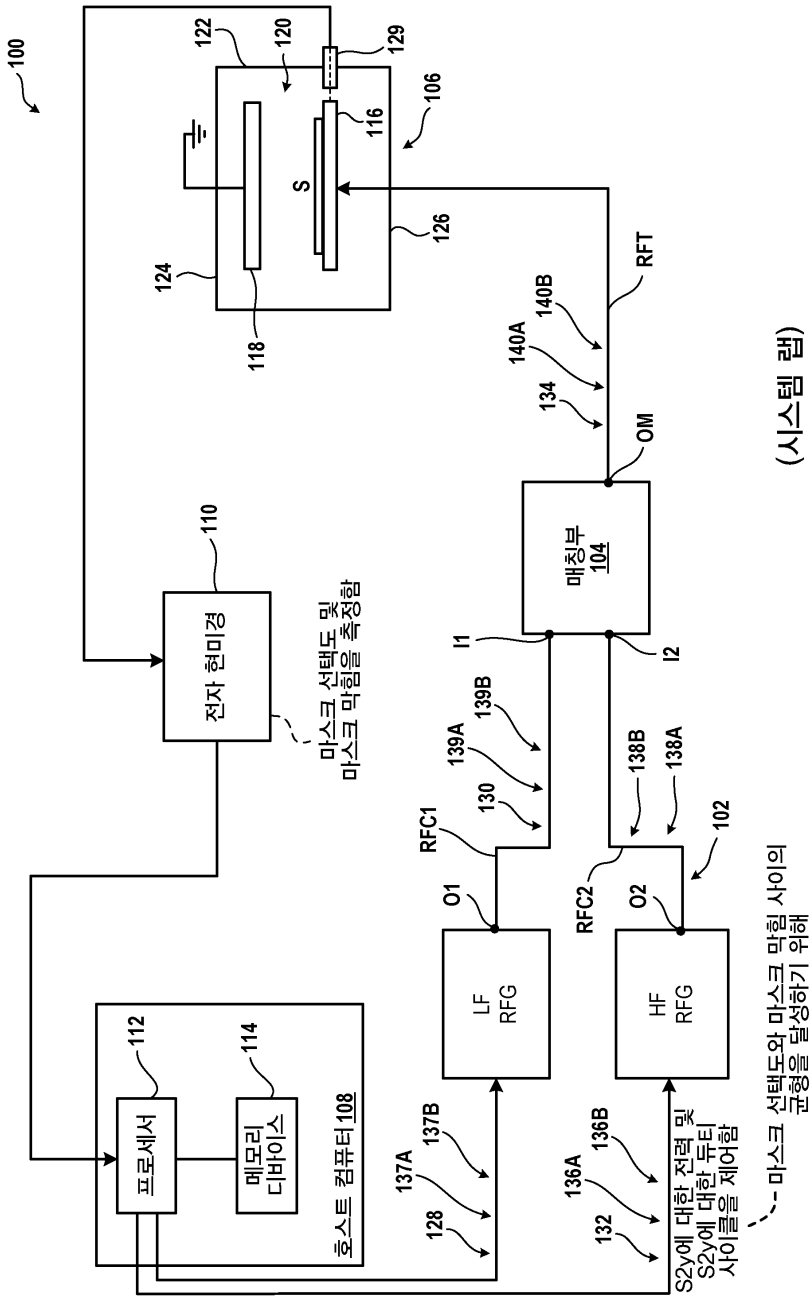
[0140] 일 실시 예에서, 상기 기술된 임의의 일 실시 예로부터의 하나 이상의 특징들은, 본 개시에 기술된 다양한 실시 예들에서 기술된 범위로부터 벗어나지 않고, 또한 상기 기술된 임의의 다른 실시 예의 하나 이상의 특징들과 결합된다는 것을 또한 주의해야 한다.

[0141] 전술한 실시 예들이 이해의 명확성의 목적들을 위해 다소 상세히 기술되었지만, 특정한 변화들 및 수정들이 첨부된 청구항들의 범위 내에서 실시될 수도 있다는 것이 자명할 것이다. 따라서, 본 실시 예들은 예시적이고,

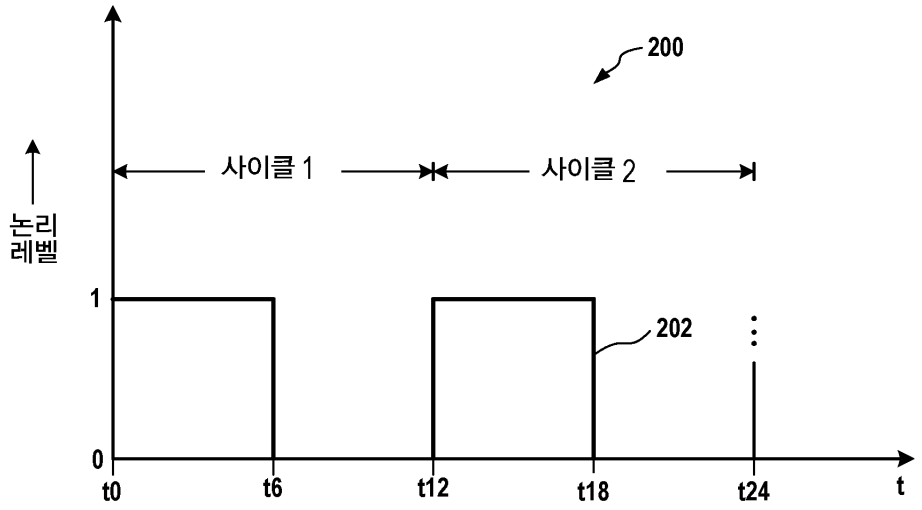
제한적이지 않은 것으로 간주될 것이며, 실시 예들은 본 명세서에 주어진 상세들로 제한되지 않을 것이다.

도면

도면1

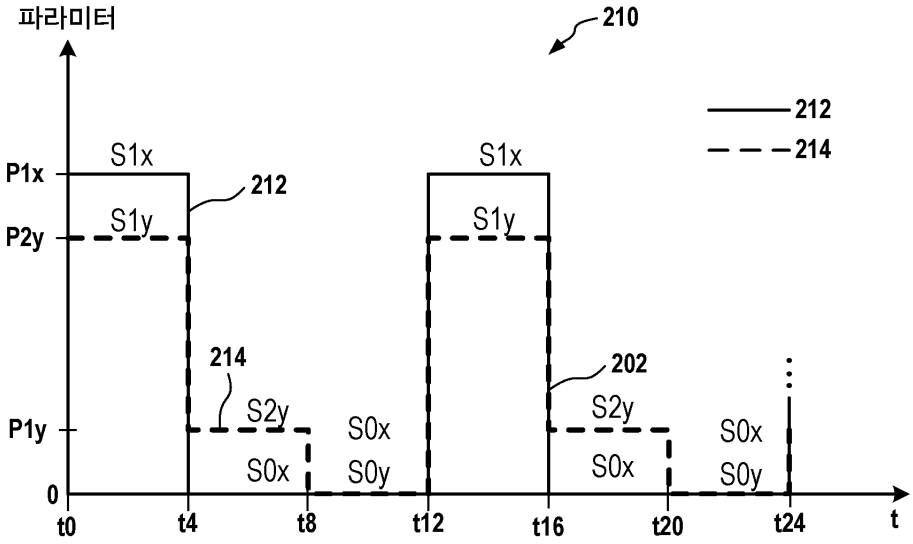


도면2a



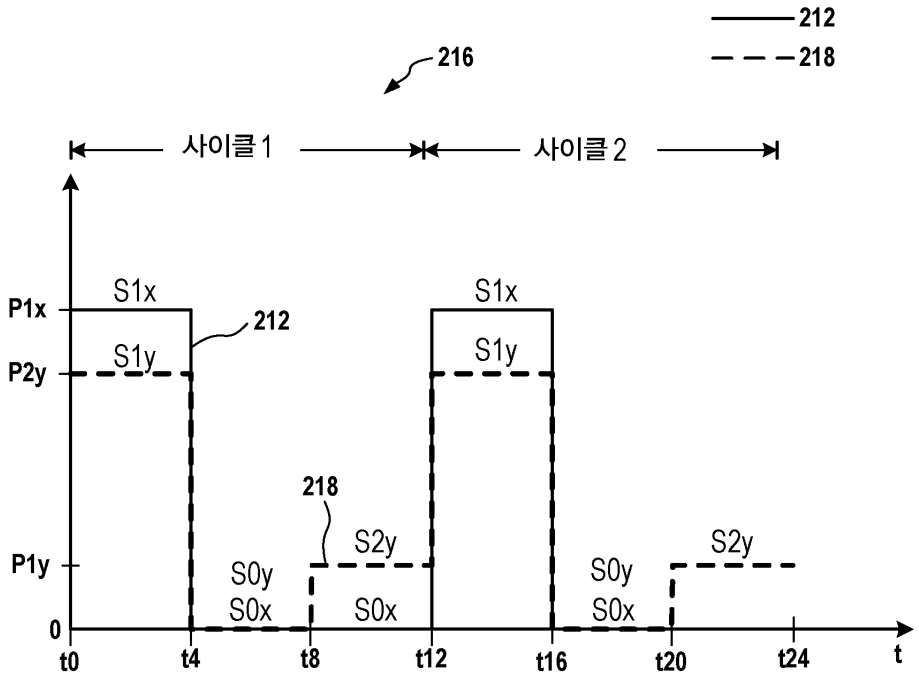
(클록)

도면2b



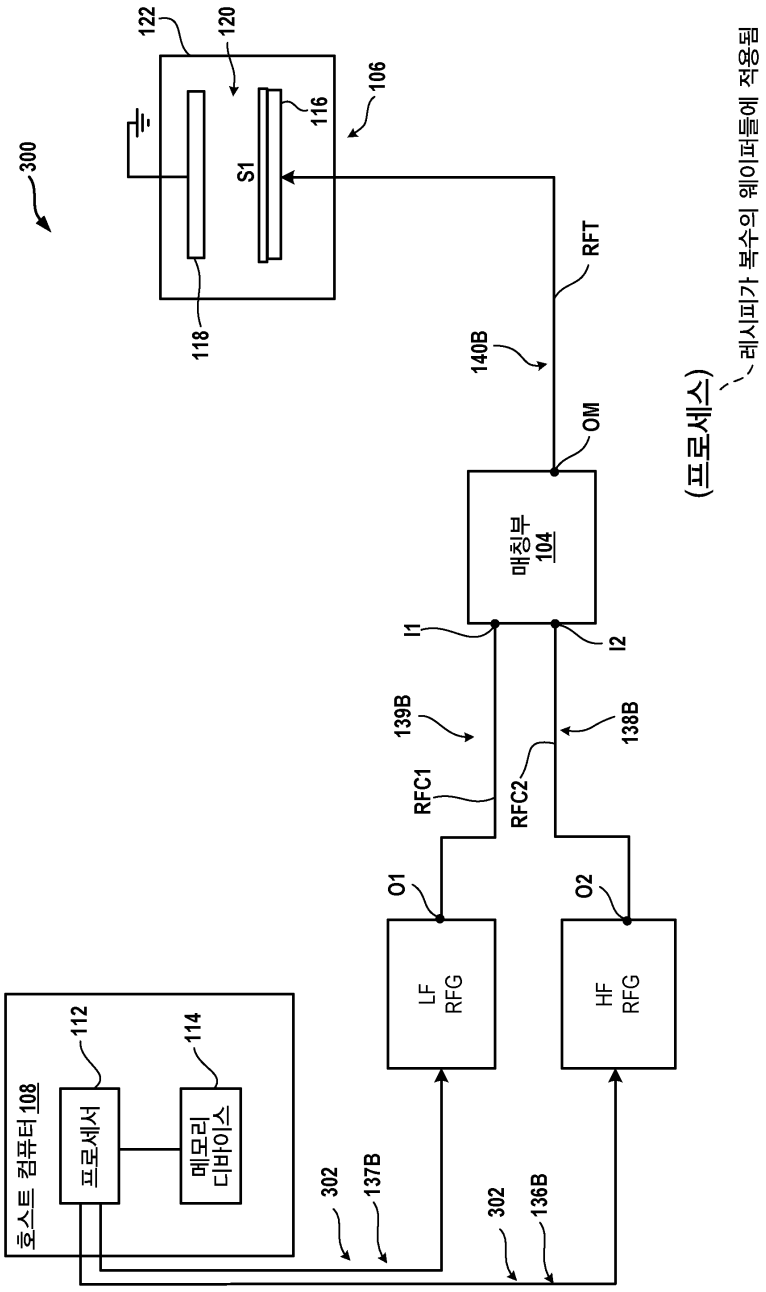
(Sx & Sy 랩)

도면2c

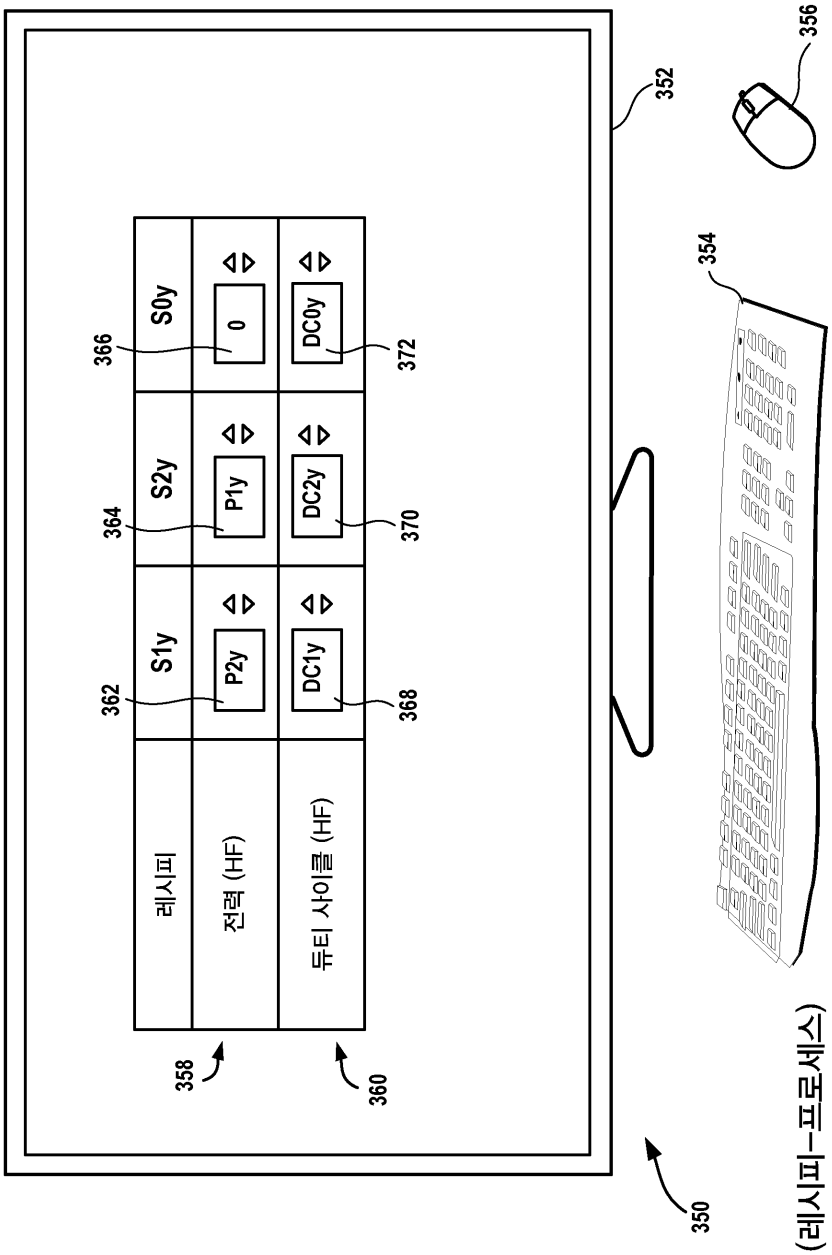


(S2y가 S0y에 이어짐)

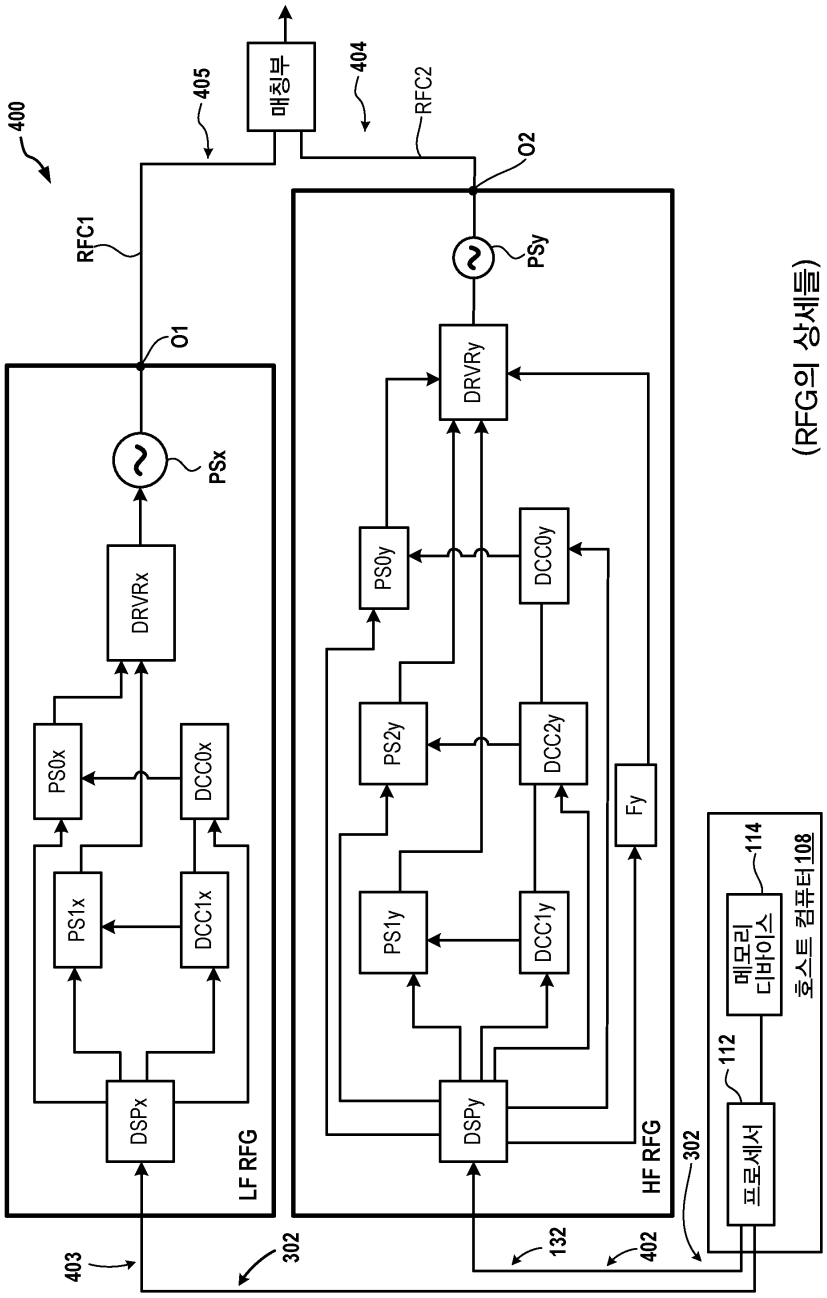
도면3a


300
122
120
106
116
S1
118
RFT
140B
OM
매칭부
104
I1
I2
139B
138B
RFC1
RFC2
O1
O2
LF
RFG
HF
RFG
302
137B
302
136B
호스트 컴퓨터 108
112
프로세서
114
메모리
디바이스
(프로세스)
레시피가 복수의 웨이퍼들에 적용됨

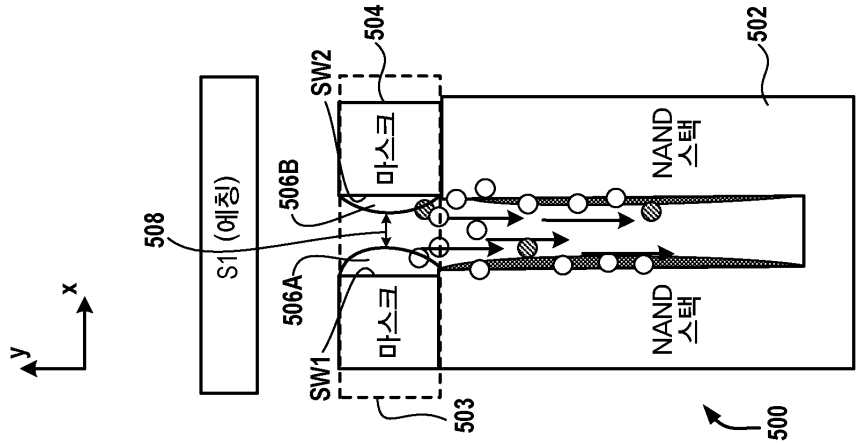
도면3b


352
356
354
366
364
362
372
370
368
S0y
S2y
S1y
0
P1y
P2y
DC0y
DC2y
DC1y
레시피
전력 (HF)
듀티 사이클 (HF)
358
360
350
(레시피-프로세스)

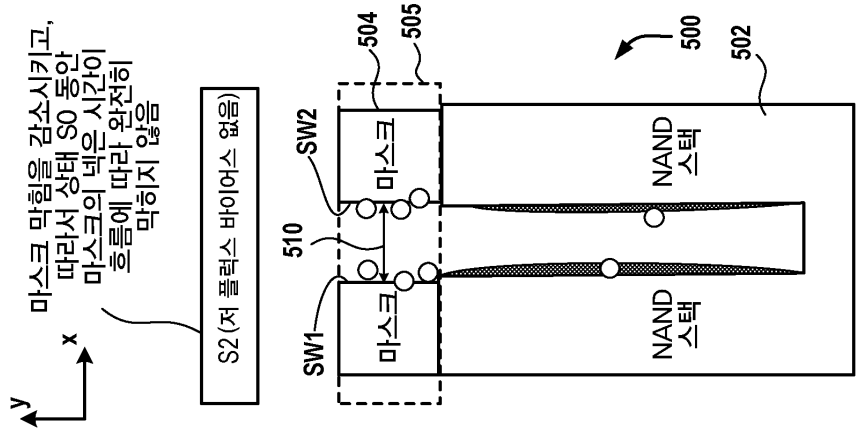
도면4


400
405
매칭부
404
RFC2
O2
RFC1
O1
PSy
PSx
DRVRy
DRVRx
PS0y
DCC0y
PS2y
DCC2y
PS0x
DCC0x
Fy
PS1y
DCC1y
PS1x
DCC1x
DSPy
DSPx
HF RFG
LF RFG
302
메모리 디바이스
114
112
프로세서
호스트 컴퓨터 108
403
302
132
402
302
(RFG의 상세들)

도면5a



도면5b



도면5c

