



(10) 授权公告号 CN 108615544 B

(45) 授权公告日 2022.04.29

(21) 申请号 201710595709.4

(51) Int.Cl.

(22) 申请日 2017.07.20

G11C 29/44 (2006.01)

(65) 同一申请的已公布的文献号

G11C 17/16 (2006.01)

申请公布号 CN 108615544 A

审查员 邓国秀

(43) 申请公布日 2018.10.02

(30) 优先权数据

10-2016-0169704 2016.12.13 KR

(73) 专利权人 爱思开海力士有限公司

地址 韩国京畿道

(72) 发明人 李政桓

(74) 专利代理机构 北京弘权知识产权代理有限公司

公司 11363

代理人 柴双 许伟群

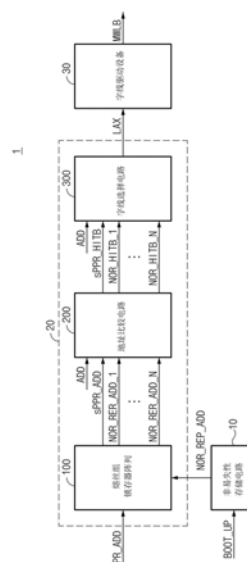
权利要求书2页 说明书8页 附图5页

(54) 发明名称

半导体器件及包括其的半导体系统

(57) 摘要

一种半导体器件,可以包括修复地址储存电路、地址比较电路以及字线选择电路。修复地址储存电路可以储存第一修复地址和第二修复地址。地址比较电路可以通过将输入地址与第一修复地址进行比较来产生第一比较信号,以及可以通过将输入地址与第二修复地址进行比较来产生第二比较信号。字线选择电路可以基于第一比较信号和第二比较信号来产生与第一比较信号相对应的第一冗余字线选择信号和与第二比较信号相对应的第二冗余字线选择信号。



1. 一种半导体器件,包括:

修复地址储存电路,适用于储存第一修复地址和第二修复地址;

地址比较电路,适用于通过将输入地址与第一修复地址进行比较来产生第一比较信号,以及通过将输入地址与第二修复地址进行比较来产生第二比较信号;以及

字线选择电路,适用于基于第一比较信号和第二比较信号来产生与第一比较信号相对应的第一冗余字线选择信号和与第二比较信号相对应的第二冗余字线选择信号,

其中,当所述第一比较信号和所述第二比较信号同时被激活时,所述字线选择电路激活所述第一冗余字线选择信号。

2. 根据权利要求1所述的半导体器件,还包括:

非易失性存储电路,适用于储存第二修复地址,

其中,修复地址储存电路从非易失性存储电路接收第二修复地址,以及将第二修复地址储存在修复地址储存电路中。

3. 根据权利要求2所述的半导体器件,其中,从耦接到半导体器件的外部设备输入第一修复地址。

4. 根据权利要求3所述的半导体器件,其中,通过使用模式寄存器命令将第一修复地址储存在修复地址储存电路中。

5. 根据权利要求1所述的半导体器件,其中,地址比较电路包括:

第一比较器,适用于通过将输入地址与第一修复地址进行比较来产生第一比较信号;以及

第二比较器,适用于通过将输入地址与第二修复地址进行比较来产生第二比较信号。

6. 根据权利要求1所述的半导体器件,其中,字线选择电路包括:

冗余字线选择电路,适用于产生第一冗余字线选择信号和第二冗余字线选择信号;以及

正常字线选择电路,适用于基于输入地址来产生正常字线选择信号。

7. 根据权利要求6所述的半导体器件,其中,在第一比较信号被激活而第二比较信号被去激活的情况下,冗余字线选择电路激活第一冗余字线选择信号。

8. 根据权利要求6所述的半导体器件,其中,在第二比较信号被激活而第一比较信号被去激活的情况下,冗余字线选择电路激活第二冗余字线选择信号。

9. 根据权利要求6所述的半导体器件,其中,正常字线选择电路包括:

解码器使能信号发生电路,适用于基于第一比较信号和第二比较信号来产生解码器使能信号;以及

解码器,适用于响应于解码器使能信号来产生正常字线选择信号。

10. 根据权利要求9所述的半导体器件,其中,在第一比较信号和第二比较信号两者都被去激活的情况下,解码器使能信号发生电路激活解码器使能信号。

11. 根据权利要求9所述的半导体器件,其中,解码器激活与通过对输入地址进行解码而获得的值相对应的正常字线选择信号。

12. 一种半导体系统,包括:

半导体器件,适用于基于将输入地址与第一修复地址和第二修复地址中的每个进行比较的结果,来产生与提供给半导体器件的第一修复地址相对应的第一冗余字线选择信号以

及与被记录在半导体器件中的第二修复地址相对应的第二冗余字线选择信号,其中所述半导体器件包括地址比较电路,该地址比较电路适用于通过将输入地址与储存在修复地址储存电路中的第一修复地址进行比较来产生第一比较信号,以及通过将输入地址与储存在修复地址储存电路中的第二修复地址进行比较来产生第二比较信号;以及

控制器,适用于将第一修复地址储存在半导体器件中,

其中,当所述第一比较信号和所述第二比较信号同时被激活时,所述第一冗余字线选择信号被激活。

13. 根据权利要求12所述的半导体系统,其中,半导体器件包括:

修复地址储存电路,适用于储存第一修复地址和第二修复地址;以及

字线选择电路,适用于基于第一比较信号和第二比较信号来产生与第一比较信号相对应的第一冗余字线选择信号和与第二比较信号相对应的第二冗余字线选择信号。

14. 根据权利要求13所述的半导体系统,其中,控制器通过将模式寄存器命令传输到半导体器件来将第一修复地址储存在修复地址储存电路中。

15. 根据权利要求13所述的半导体系统,其中,字线选择电路包括:

冗余字线选择电路,适用于产生第一冗余字线选择信号和第二冗余字线选择信号;以及

正常字线选择电路,适用于基于输入地址来产生正常字线选择信号。

16. 根据权利要求15所述的半导体系统,其中,在第一比较信号被激活而第二比较信号被去激活的情况下,冗余字线选择电路都激活第一冗余字线选择信号。

17. 根据权利要求15所述的半导体系统,其中,在第二比较信号被激活而第一比较信号被去激活的情况下,冗余字线选择电路激活第二冗余字线选择信号。

18. 根据权利要求15所述的半导体系统,其中,正常字线选择电路包括:

解码器使能信号发生电路,适用于基于第一比较信号和第二比较信号来产生解码器使能信号;以及

解码器,适用于响应于解码器使能信号来产生正常字线选择信号。

19. 根据权利要求18所述的半导体系统,其中,在第一比较信号和第二比较信号两者都被去激活的情况下,解码器使能信号发生电路激活解码器使能信号。

20. 根据权利要求18所述的半导体系统,其中,解码器激活与通过对输入地址进行解码而获得的值相对应的正常字线选择信号。

半导体器件及包括其的半导体系统

[0001] 相关申请的交叉引用

[0002] 本申请要求2016年12月13日在韩国知识产权局提交的第10-2016-0169704号韩国专利申请的优先权,其通过引用整体合并于此。

技术领域

[0003] 各种实施例总体而言涉及半导体器件及包括其的半导体系统,更具体地,涉及在存在与一个输入地址相对应的至少两个修复地址的情况下可以选择一个修复地址的半导体器件及半导体系统。

背景技术

[0004] 半导体器件可以包括大量存储单元。制造技术的发展使得能够将大量存储单元集成到半导体器件中。然而,如果半导体器件具有有缺陷存储单元,则可能会发生故障。即使半导体器件仅包括一个有缺陷存储单元,半导体器件也可能发生故障。

[0005] 目前,半导体器件通常在其中包括冗余存储单元。如果通过测试发现只有少量的存储单元有缺陷,则用冗余存储单元代替有缺陷存储单元,而不是丢弃半导体器件,以实现有利的产量水平。

[0006] 就此而言,当请求访问有缺陷存储单元时,可以使用冗余控制电路将有缺陷存储单元的地址重新映射到其他存储单元的地址。例如,可以通过将有缺陷存储单元的地址(以下,称为“故障单元”)重新映射到冗余存储单元的地址来修复半导体器件。

[0007] 如果在读取/写入操作期间尝试对故障单元进行访问,则通过将故障单元的地址重新映射到正常存储单元的地址来访问正常存储单元而不是访问故障单元。这里,正常存储单元可以是冗余存储单元。

[0008] 因此,即使与输入地址相对应的存储单元是故障单元,半导体器件也可以通过修复故障单元(以下,称为“修复操作”)来正确地操作。

[0009] 为了执行修复操作,半导体器件包括非易失性存储电路,并且故障单元的地址(以下,称为“修复地址”)被储存在非易失性存储电路中。这里,非易失性存储电路的示例可以包括电熔丝阵列电路、NAND快闪存储器、NOR快闪存储器、磁性随机存取存储器(MRAM)、自旋转移力矩磁性随机存取存储器(STT-MRAM)、电阻式随机存取存储器(ReRAM)以及相变随机存取存储器(PCRAM)。

[0010] 如果在非易失性存储器中仅储存修复地址一次,则每个修复地址只能存在一个冗余地址。

[0011] 然而,修复地址可以被储存多次,因此相同的修复地址可能储存在不同的位置。在这种情况下,由于对于相同的修复地址存在至少两个冗余地址,因此可能发生地址冲突。

发明内容

[0012] 在实施例中,半导体器件可以包括修复地址储存电路、地址比较电路以及字线选

择电路。修复地址储存电路可以储存第一修复地址和第二修复地址。地址比较电路可以通过将输入地址与第一修复地址进行比较来产生第一比较信号,以及通过将输入地址与第二修复地址进行比较来产生第二比较信号。字线选择电路可以基于第一比较信号和第二比较信号来产生与第一比较信号相对应的第一冗余字线选择信号和与第二比较信号相对应的第二冗余字线选择信号。

[0013] 在实施例中,半导体系统可以包括控制器和半导体器件。半导体器件可以基于将输入地址与第一修复地址和第二修复地址中的每个进行比较的结果,来产生与提供给半导体器件的第一修复地址相对应的第一冗余字线选择信号以及与被记录在半导体器件中的第二修复地址相对应的第二冗余字线选择信号。控制器可以将第一修复地址储存在半导体器件中。

附图说明

[0014] 图1是图示根据实施例的半导体器件的示例的配置图。

[0015] 图2是图示图1所示的熔丝组锁存器阵列的示例的配置图。

[0016] 图3是图示图1所示的地址比较电路的示例的配置图。

[0017] 图4是图示图1所示的字线选择电路的示例的电路图。

[0018] 图5是图示根据实施例的各个信号的示例的时序图。

具体实施方式

[0019] 在下文中,下面将参照附图通过实施例的各种示例来描述半导体器件及包括其的半导体系统。

[0020] 图1是图示根据实施例的半导体器件1的示例的配置图。

[0021] 参考图1,半导体器件1包括非易失性存储电路10、修复控制设备20以及字线驱动设备30。

[0022] 在非易失性存储电路10中,储存有诸如半导体器件1的内部功率值、内部信号的初始值以及修复地址NOR_REP_ADD的信息。在本说明书中,将从非易失性存储电路10传输的修复地址NOR_REP_ADD称为“正常修复地址”,以将其与sPPR地址sPPR_ADD区分开。此外,正常修复地址NOR_REP_ADD和sPPR地址sPPR_ADD统称为修复地址REP_ADD。

[0023] 储存在非易失性存储电路10中的正常修复地址NOR_REP_ADD响应于启动信号BOOT_UP被移动到修复地址储存电路(例如,修复控制设备20的熔丝组锁存器阵列100)。正常修复地址NOR_REP_ADD表示多个正常修复地址NOR_REP_ADD_1到NOR_REP_ADD_N。启动信号BOOT_UP可以在从半导体器件1的上电开始的预定时间段之后被自动激活,或者可以在控制器(未示出)的指令下被激活。作为能够控制半导体器件1的电路或设备的控制器可以是,例如中央处理单元(CPU)、应用处理器(AP)或存储器控制器。

[0024] 修复控制设备20可以包括熔丝组锁存器阵列100、地址比较电路200以及字线选择电路300。

[0025] 多个修复地址REP_ADD可以被储存在熔丝组锁存器阵列100中。储存在熔丝组锁存器阵列100中的修复地址REP_ADD包括如上所述的从非易失性存储电路10传输的正常修复地址NOR_REP_ADD以及通过除非易失性存储电路10之外的路径传输的sPPR地址sPPR_ADD。

[0026] 在实施例中,可以提供封装后修复特征,以通过将有缺陷存储单元的地址重新映射到冗余存储单元的地址来修复有缺陷存储单元。软封装后修复(sPPR, soft post package repair)特征可以包括通过除非易失性存储电路10之外的路径传输sPPR地址sPPR_ADD的步骤。通常,在非易失性存储电路10中储存在半导体器件1的制造过程中通过测试而检测到的故障存储单元的正常修复地址NOR_REP_ADD。然而,不仅在封装(例如,晶片级)之前而且在封装之后也可以检测到有缺陷存储单元。

[0027] 软封装后修复可以包括在半导体器件1的封装之后将sPPR地址sPPR_ADD直接储存在储存在修复地址的熔丝组锁存器阵列100中的步骤。因为sPPR地址sPPR_ADD被储存在熔丝组锁存器阵列100而不是非易失性存储电路10中,所以如果半导体器件1的电源被中断,则半导体器件1丢失储存在熔丝组锁存器阵列100中的sPPR地址sPPR_ADD。在这个意义上,上面讨论的修复方法被称为“软”封装后修复方案。

[0028] 例如,可以通过使用模式寄存器命令将sPPR地址sPPR_ADD储存在熔丝组锁存器阵列100的特定位置处来执行软封装后修复操作。

[0029] 在半导体器件1中设置用于定义操作模式的模式寄存器,并且设定模式寄存器的值被称为模式寄存器设定。为存储器件(诸如同步动态随机存取存储器(SDRAM)或静态随机存取存储器(SRAM))发出模式寄存器设定命令,以设定操作参数,诸如突发类型、突发长度(BL)、CAS延时(列地址选通延时:CL)以及读取延时(RL)。模式寄存器设定可以在供应商检验芯片的测试模式下来执行,或者可以在JEDEC(联合电子设备工程委员会)规范下提供由用户设定的操作模式的模式下来执行。通过与模式寄存器命令一起应用特定地址来执行模式寄存器设定命令。可以通过使用模式寄存器命令来执行软封装后修复操作。

[0030] 因为通过非易失性存储电路10储存的正常修复地址NOR_REP_ADD和通过软封装后修复操作储存的sPPR地址sPPR_ADD在其储存路径上是不同的,所以如果正常修复地址NOR_REP_ADD和sPPR地址sPPR_ADD彼此相同,则可以同时激活与正常修复地址NOR_REP_ADD和sPPR地址sPPR_ADD相对应的两个冗余字线。

[0031] 在这种情况下,地址比较电路200和字线选择电路300优先激活与正常修复地址NOR_REP_ADD相对应的冗余字线和与sPPR地址sPPR_ADD相对应的冗余字线中的任意一个。例如,与sPPR地址sPPR_ADD相对应的冗余字线可以优先于与正常修复地址NOR_REP_ADD相对应的冗余字线。

[0032] 地址比较电路200将输入地址ADD与储存在熔丝组锁存器阵列100中的修复地址sPPR_ADD和NOR_REP_ADD_1至NOR_REP_ADD_N中的每个进行比较,并且产生分别与修复地址sPPR_ADD和NOR_REP_ADD_1至NOR_REP_ADD_N相对应的sPPR比较信号sPPR_HITB和正常比较信号NOR_HITB_1至NOR_HITB_N。在下面的描述中,sPPR比较信号sPPR_HITB和正常比较信号NOR_HITB_1至NOR_HITB_N可以被统称为比较信号HITB。

[0033] 字线选择电路300基于sPPR比较信号sPPR_HITB和正常比较信号NOR_HITB_1至NOR_HITB_N来激活字线选择信号LAX。尽管图1中仅示出了一个字线选择信号LAX,但是应当注意,对于正常字线和冗余字线可以分别存在多个字线选择信号LAX。

[0034] 在sPPR比较信号sPPR_HITB与正常比较信号NOR_HITB_1至NOR_HITB_N中的至少一个同时被激活的情况下,即,在sPPR地址sPPR_ADD与正常修复地址NOR_REP_ADD_1至NOR_REP_ADD_N中的至少一个在熔丝组锁存器阵列100中被储存为相同值的情况下,如果输入地

址ADD与正常修复地址NOR_REP_ADD和sPPR地址sPPR_ADD相同,则字线选择电路300仅激活与sPPR比较信号sPPR_HITB相对应的字线选择信号LAX,而去激活与正常比较信号NOR_HITB相对应的字线选择信号LAX。因此,在储存在熔丝组锁存器阵列100中的正常修复地址NOR_REP_ADD和sPPR地址sPPR_ADD相同的情况下,能够通过仅激活与sPPR地址sPPR_ADD相对应的冗余字线来防止两个或更多个字线同时被激活。

[0035] 在本实施例中,描述了在储存在熔丝组锁存器阵列100中的sPPR地址sPPR_ADD与正常修复地址NOR_REP_ADD_1至NOR_REP_ADD_N中的至少一个相同的情况下,与sPPR地址sPPR_ADD相对应的冗余字线优先于与正常修复地址NOR_REP_ADD相对应的冗余字线。然而,本实施例不限于此,而应当注意,与正常修复地址NOR_REP_ADD_1至NOR_REP_ADD_N中的至少一个相对应的冗余字线可以优先于与sPPR地址sPPR_ADD相对应的冗余字线。

[0036] 在正常比较信号NOR_HITB和sPPR比较信号sPPR_HITB两者均未被激活的情况下,字线选择电路300可以激活与输入地址ADD相对应的字线选择信号LAX。

[0037] 字线驱动设备30响应于冗余字线选择信号或正常字线选择信号LAX,来激活与由修复控制设备20产生的冗余字线选择信号或正常字线选择信号LAX相对应的字线驱动信号MWLB。

[0038] 图2是图示图1所示的熔丝组锁存器阵列100的示例的配置图。

[0039] 参考图2,熔丝组锁存器阵列100包括多个熔丝组锁存器100_0至100_N。修复地址REP_ADD被储存在熔丝组锁存器100_0至100_N的每个中。例如,sPPR地址sPPR_ADD被储存在第零个熔丝组锁存器100_0中,而正常修复地址NOR_REP_ADD_1至NOR_REP_ADD_N可以分别被储存在第一熔丝组锁存器100_1至第N熔丝组锁存器100_N中。

[0040] 表示储存在相应的熔丝组锁存器100_0至100_N中的修复地址sPPR_ADD和NOR_REP_ADD_1至NOR_REP_ADD_N是否有效的熔丝组使能信号FSEN(例如,FSEN_0至FSEN_N)可以被储存在相应的熔丝组锁存器100_0至100_N中。储存在非易失性存储电路10中的熔丝组使能信号FSEN可以被提供给熔丝组锁存器阵列100。非易失性存储电路10在不储存信息的初始状态下被设定为特定值,例如“0”。在这种情况下,如果在非易失性存储电路10中记录了数据“0”,则不能够区分是在非易失性存储电路10中还没有储存信息还是在非易失性存储电路10中记录了数据“0”。因此,通过将熔丝组使能信号FSEN设定为可与要记录的数据“0”区分开的特定值(例如,“1”),能够表示储存信息的状态。非易失性存储电路10可以是具有与熔丝组锁存器阵列100相同的结构并且包括多个熔丝组的熔丝组阵列。在这种情况下,为了表示在每个熔丝组中是否储存信息,可以将熔丝组使能信号FSEN设定为特定值。当响应于启动信号BOOT_UP从非易失性存储电路10传输信息时,可以将熔丝组锁存器阵列100的熔丝组使能信号FSEN_1至FSEN_N与正常修复地址NOR_REP_ADD_1至NOR_REP_ADD_N一起传输并储存。此外,熔丝组锁存器阵列100的熔丝组使能信号FSEN_0可以与在软封装后修复操作中的sPPR地址sPPR_ADD一起被传输并储存。

[0041] 图2示出了sPPR地址sPPR_ADD被储存在第零熔丝组锁存器100_0中,而正常修复地址NOR_REP_ADD_1至NOR_REP_ADD_N分别被储存在第一熔丝组锁存器100_1至第N熔丝组锁存器100_N中。然而,本实施例不限于此,并且应当注意,sPPR地址sPPR_ADD可以被储存在多个熔丝组锁存器100_1至100_N之中的任意熔丝组锁存器处。此外,尽管在图2中示出储存一个sPPR地址sPPR_ADD,但应当注意,可以储存多个sPPR地址sPPR_ADD。

[0042] 图3是图示图1所示的地址比较电路200的示例的配置图。

[0043] 参考图3,地址比较电路200包括多个比较器200_0至200_N。比较器200_0至200_N中的每个可以被分配给sPPR地址sPPR_ADD和正常修复地址NOR_REP_ADD_1至NOR_REP_ADD_N中的一个。例如,比较器200_0至200_N可以与sPPR地址sPPR_ADD和正常修复地址NOR_REP_ADD_1至NOR_REP_ADD_N一一对应。

[0044] 比较器200_0判断sPPR地址sPPR_ADD和输入地址ADD是否彼此对应,并且产生sPPR比较信号sPPR_HITB。当sPPR地址sPPR_ADD和输入地址ADD彼此对应时,比较器200_0可以将sPPR比较信号sPPR_HITB使能为低电平,而当sPPR地址sPPR_ADD和输入地址ADD彼此不对应时,比较器200_0可以将sPPR比较信号sPPR_HITB禁止为高电平。只有在熔丝组使能信号FSEN_0被激活的情况下,比较器200_0才可以使能sPPR比较信号sPPR_HITB。

[0045] 比较器200_1至200_N判断对应的正常修复地址NOR_REP_ADD_1至NOR_REP_ADD_N与输入地址ADD是否彼此对应,并且产生与相应的正常修复地址NOR_REP_ADD_1至NOR_REP_ADD_N相对应的正常比较信号NOR_HITB_1至NOR_HITB_N。当对应的正常修复地址NOR_REP_ADD_1至NOR_REP_ADD_N与输入地址ADD彼此对应时,比较器200_1至200_N可以将与相应的正常修复地址NOR_REP_ADD_1至NOR_REP_ADD_N相对应的正常比较信号NOR_HITB_1至NOR_HITB_N使能为低电平,而当对应的正常修复地址NOR_REP_ADD_1至NOR_REP_ADD_N与输入地址ADD彼此不对应时,比较器200_1至200_N可以将与相应的正常修复地址NOR_REP_ADD_1至NOR_REP_ADD_N相对应的正常比较信号NOR_HITB_1至NOR_HITB_N禁止为高电平。只有在对应的熔丝组使能信号FSEN_1至FSEN_N被激活的情况下,比较器200_1至200_N才可以使能正常比较信号NOR_HITB_1至NOR_HITB_N。

[0046] 在图2的熔丝组锁存器阵列100中,sPPR地址sPPR_ADD和正常修复地址NOR_REP_ADD可以相同。在这方面,如果输入地址ADD与sPPR地址sPPR_ADD和正常修复地址NOR_REP_ADD相同,则sPPR比较信号sPPR_HITB和正常比较信号NOR_HITB被激活。换言之,在本实施例中,在至少两个相同的修复地址sPPR_ADD和NOR_REP_ADD被储存在熔丝组锁存器阵列100中的情况下,与相应的修复地址sPPR_ADD和NOR_REP_ADD相对应的比较信号sPPR_HITB和NOR_HITB两者被激活。

[0047] 图4是图示图1所示的字线选择电路300的示例的详细电路图。

[0048] 参考图4,字线选择电路300基于sPPR比较信号sPPR_HITB、正常比较信号NOR_HITB_1至NOR_HITB_N以及输入地址ADD来产生字线选择信号LAX<0>至LAX<N>和LAX<K>至LAX<K+M>。字线选择电路300包括产生冗余字线选择信号LAX<0>至LAX<N>的冗余字线选择电路310和产生正常字线选择信号LAX<K>至LAX<K+M>的正常字线选择电路320。

[0049] 冗余字线选择电路310包括多个冗余字线选择单元310_0至310_N。在实施例中,比较信号sPPR_HITB和NOR_HITB_1至NOR_HITB_N中的每个可以被分配给冗余字线中的一个。类似地,修复地址sPPR_ADD和NOR_REP_ADD_1至NOR_REP_ADD_N中的每个可以被分配给冗余字线中的一个。例如,可以预先设定冗余字线与相应的修复地址sPPR_ADD和NOR_REP_ADD_1至NOR_REP_ADD_N之间的分配关系。例如,可以通过使用冗余字线选择信号LAX<0>将特定冗余字线分配给sPPR地址sPPR_ADD,并且可以通过使用冗余字线选择信号LAX<1>至LAX<N>将其他冗余字线分别分配给正常修复地址NOR_REP_ADD_1至NOR_REP_ADD_N。

[0050] 冗余字线选择单元310_0包括接收sPPR比较信号sPPR_HITB的反相器、对反相器的

输出和逻辑高值(“1”)执行NAND逻辑函数的NAND运算器以及耦接到NAND运算器的输出端子的反相器。

[0051] 当输入地址ADD和sPPR地址sPPR_ADD彼此对应,因此sPPR比较信号sPPR_HITB被激活时,冗余字线选择单元310_0激活冗余字线选择信号LAX<0>。当冗余字线选择信号LAX<0>被激活时,字线驱动设备30驱动与冗余字线选择信号LAX<0>相对应的冗余字线。

[0052] 冗余字线选择单元310_1至310_N中的每个包括接收正常比较信号NOR_HITB_1至NOR_HITB_N中的对应一个的反相器、对反相器的输出和sPPR比较信号sPPR_HITB执行NAND逻辑函数的NAND运算器以及耦接到NAND运算器的输出端子的反相器。

[0053] 即使输入地址ADD和正常修复地址NOR_REP_ADD_1至NOR_REP_ADD_N中的对应一个彼此对应,并且因此正常比较信号NOR_HITB_1至NOR_HITB_N中的对应一个被激活,也只有在sPPR比较信号sPPR_HITB未被激活的情况下,冗余字线选择单元310_1至310_N中的每个激活冗余字线选择信号LAX<1>至LAX<N>中的对应一个。即,只有在正常比较信号NOR_HITB_1至NOR_HITB_N中的对应一个被使能为低电平而sPPR比较信号sPPR_HITB被禁止为高电平的情况下,冗余字线选择单元310_1至310_N中的每个激活冗余字线选择信号LAX<1>至LAX<N>中的对应一个。因此,例如,在储存在熔丝组锁存器阵列100中的sPPR地址sPPR_ADD和正常修复地址NOR_REP_ADD_1相同,并且输入地址ADD不仅与sPPR地址sPPR_ADD相对应而且与正常修复地址NOR_REP_ADD_1相对应的情况下,只有与sPPR地址sPPR_ADD相对应的冗余字线选择信号LAX<0>被激活,以防止两个或更多个冗余字线同时被激活。

[0054] 因此,在实施例中,在sPPR比较信号sPPR_HITB和正常比较信号NOR_HITB两者都被激活的情况下,只有与sPPR比较信号sPPR_HITB相对应的冗余字线,即,sPPR地址sPPR_ADD,可以被激活。结果,当分别与sPPR比较信号sPPR_HITB和正常比较信号NOR_HITB相对应的冗余字线被激活时,能够防止修复操作中的地址冲突。

[0055] 在输入地址ADD与多个修复地址sPPR_ADD和NOR_REP_ADD_1至NOR_REP_ADD_N全部不对应的情况下,正常字线选择电路320激活与输入地址ADD相对应的正常字线选择信号(正常字线选择信号LAX<K>至LAX<K+M>中的任意一个)。

[0056] 参考图4,正常字线选择电路320可以包括解码器使能信号发生电路321和解码器322。

[0057] 解码器使能信号发生电路321包括NAND运算器以及比较信号sPPR_HITB和NOR_HITB_1至NOR_HITB_N的反相器,并且在比较信号sPPR_HITB和NOR_HITB_1至NOR_HITB_N全部被去激活的情况下,激活解码器使能信号DEC_EN。

[0058] 解码器322响应于解码器使能信号DEC_EN来激活与通过对输入地址ADD进行解码而获得的值相对应的正常字线选择信号(正常字线选择信号LAX<K>至LAX<K+M>中的任意一个)。字线驱动设备30驱动与激活的正常字线选择信号(正常字线选择信号LAX<K>至LAX<K+M>中的任意一个)相对应的正常字线。

[0059] 换言之,如果输入地址ADD与故障地址(即,修复地址REP_ADD)相对应,则字线选择电路300激活与修复地址REP_ADD相对应的冗余字线选择信号LAX<0>至LAX<N>中的任意一个。如果输入地址ADD与修复地址REP_ADD不对应,则字线选择电路300激活与输入地址ADD相对应的正常字线选择信号LAX<K>至LAX<K+M>中的任意一个。如果输入地址ADD与sPPR地址sPPR_ADD和正常修复地址NOR_REP_ADD两者相对应,则字线选择电路300激活与sPPR地址

sPPR_ADD相对应的冗余字线选择信号LAX<0>。在激活冗余字线选择信号LAX<0>至LAX<N>时,分配给sPPR地址sPPR_ADD的冗余字线选择信号LAX<0>可以优先于其他冗余字线选择信号LAX<1>至LAX<N>。

[0060] 再次参考图1,字线驱动设备30驱动与字线选择信号LAX相对应的字线驱动信号MWLB。因为只有一个字线选择信号LAX被激活,所以与其相对应的一个字线驱动信号MWLB可以被驱动,因此只有一个字线可以被激活。

[0061] 图5是图示根据实施例的各个信号的示例的时序图。在图5中,假设输入地址ADD、sPPR地址sPPR_ADD以及正常修复地址NOR_REP_ADD_1是相同的。

[0062] 参考图5,在时间t1处,由于输入地址ADD和sPPR地址sPPR_ADD相同,因此地址比较电路200的比较器200_0将sPPR比较信号sPPR_HITB使能为低电平,而由于输入地址ADD和正常修复地址NOR_REP_ADD_1相同,因此地址比较电路200的比较器200_1将正常比较信号NOR_HITB_1使能为低电平。

[0063] 在时间t2处,由于sPPR比较信号sPPR_HITB被使能为低电平,所以字线选择电路300的冗余字线选择单元310_0将冗余字线选择信号LAX<0>使能为高电平。此外,由于sPPR比较信号sPPR_HITB被使能为低电平并且正常比较信号NOR_HITB_1被使能为低电平,所以字线选择电路300的冗余字线选择单元310_1保持被禁止为低电平的冗余字线选择信号LAX<1>的状态。

[0064] 在时间t3处,与冗余字线选择信号LAX<0>相对应的冗余字线驱动信号MWLB<0>被使能为低电平,而与冗余字线选择信号LAX<1>相对应的冗余字线驱动信号MWLB<1>保持高电平处被禁止。

[0065] 在自时间t1以后经过预定时间的时间t4处,sPPR比较信号sPPR_HITB和正常比较信号NOR_HITB_1被禁止为高电平。在时间t1和时间t4之间的时间段可以与字线保持激活状态的时间相对应。

[0066] 在时间t5处,与sPPR比较信号sPPR_HITB相对应的冗余字线选择信号LAX<0>被禁止为低电平。与正常比较信号NOR_HITB_1相对应的冗余字线选择信号LAX<1>保持在低电平处被禁止。

[0067] 在时间t6处,与冗余字线选择信号LAX<0>相对应的冗余字线驱动信号MWLB<0>被禁止为高电平,而与冗余字线选择信号LAX<1>相对应的冗余字线驱动信号MWLB<1>保持高电平处被禁止。

[0068] 如图5中的虚线所示,在实施例中,在sPPR地址sPPR_ADD和正常修复地址NOR_REP_ADD_1相同,并且因此输入地址ADD不仅与sPPR地址sPPR_ADD相对应而且与正常修复地址NOR_REP_ADD_1相对应的情况下,只有与sPPR地址sPPR_ADD相对应的冗余字线选择信号LAX<0>被激活,以防止两个或更多个冗余字线同时被激活。

[0069] 根据实施例,在修复地址被储存多次的情况下,仅由与储存在具有优先级的位置处的修复地址相对应的冗余地址表示的字线被激活,由此,能够防止多个字线被无意地激活。

[0070] 虽然上面已经描述了各种实施例,但是本领域技术人员将理解,所描述的实施例仅用作示例。因此,不应该基于所描述的实施例来限制这里所描述的半导体器件及包括其的半导体系统。

[0071] 作为参考,为了更详细地描述本发明构思,可以例示包括与本发明的技术精神不直接关联的附加组件元件的实施例。此外,用于表示信号和电路的激活状态的激活高配置或激活低配置可以根据实施例而变化。而且,为了实现相同的功能,可以根据场合需要改变晶体管的配置。由于这些电路变化具有大量的情况,并且可以由本领域技术人员容易地推断,因此将在此省略其列举。

[0072] 附图中的每个元件的附图标记

[0073] 1:半导体器件

[0074] 10:非易失性存储电路

[0075] 20:修复控制设备

[0076] 30:字线驱动设备

[0077] 100:熔丝组锁存器阵列

[0078] 200:地址比较电路

[0079] 300:字线选择电路

[0080] 100_0-100_N:熔丝组锁存器

[0081] 200_0-200_N:比较器

[0082] 310:冗余字线选择电路

[0083] 310_0~310_N:冗余字线选择单元

[0084] 320:正常字线选择电路

[0085] 321:解码器使能信号发生电路

[0086] 322:解码器

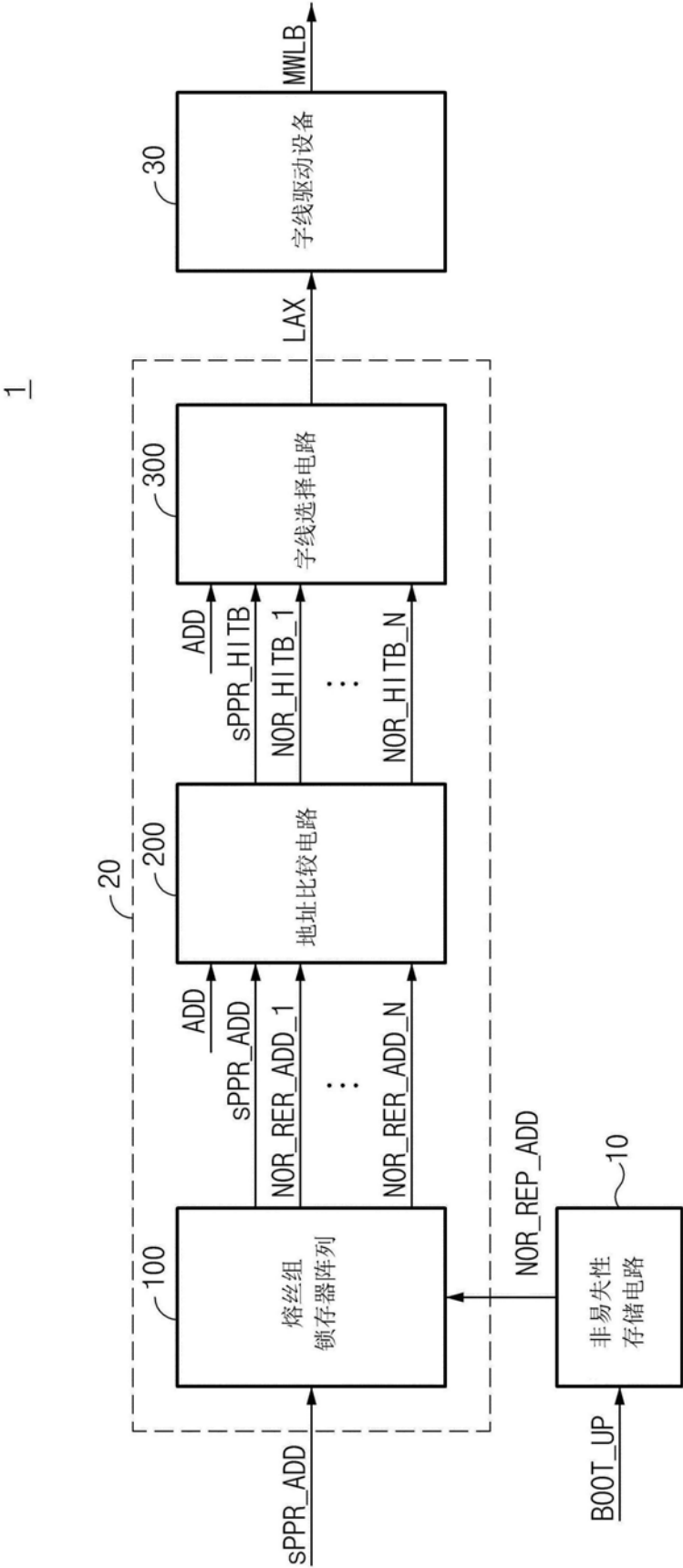


图1

100

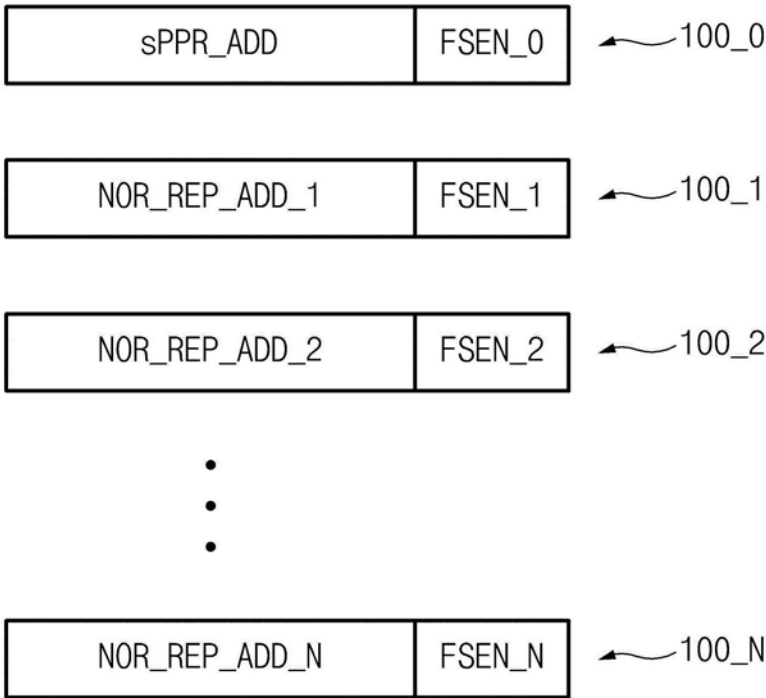


图2

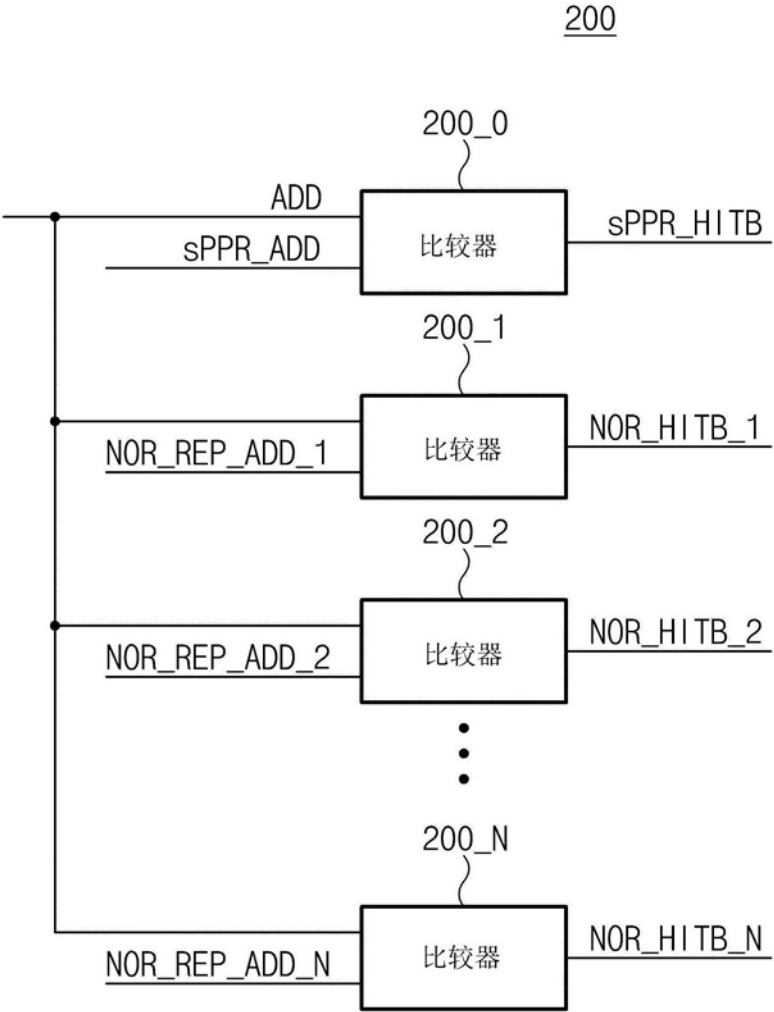


图3

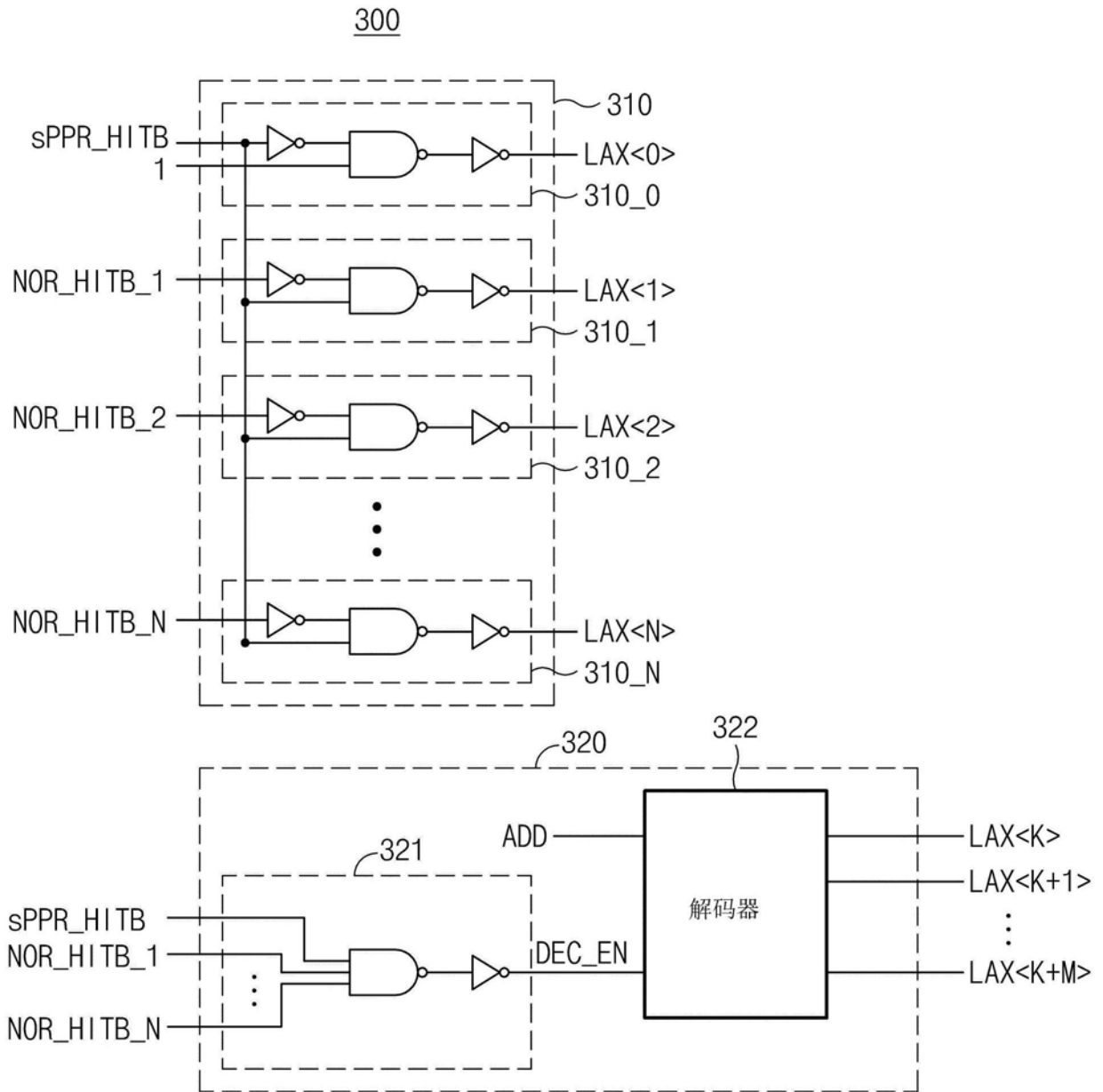


图4

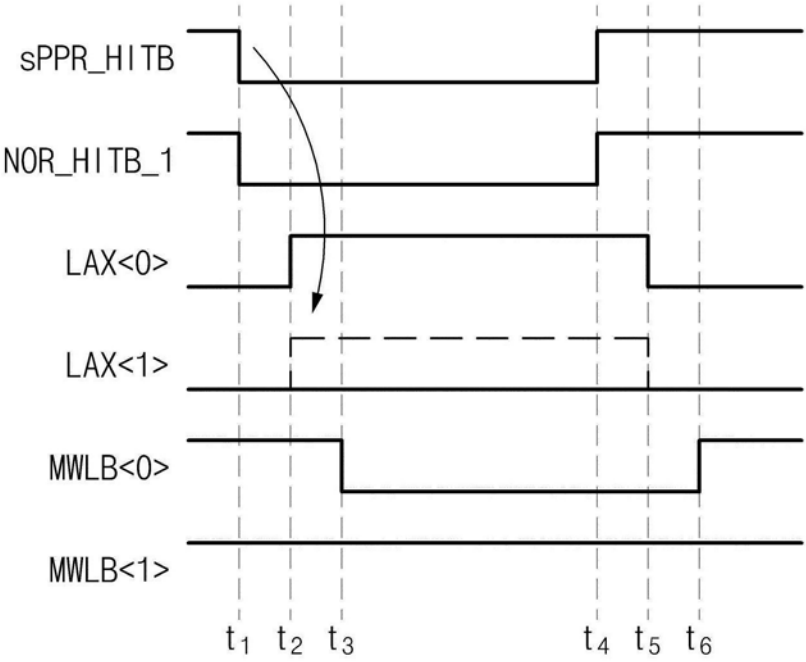


图5