

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4663473号
(P4663473)

(45) 発行日 平成23年4月6日 (2011.4.6)

(24) 登録日 平成23年1月14日 (2011.1.14)

(51) Int. Cl.	F I
G 0 6 F 17/50 (2006.01)	G O 6 F 17/50 6 5 8 Z
H O 1 L 21/60 (2006.01)	H O 1 L 21/60 3 O 1
H O 1 L 21/82 (2006.01)	H O 1 L 21/82 P
H O 5 K 3/00 (2006.01)	H O 5 K 3/00 D

請求項の数 10 (全 16 頁)

(21) 出願番号 特願2005-289296 (P2005-289296)
(22) 出願日 平成17年9月30日 (2005.9.30)
(65) 公開番号 特開2007-102381 (P2007-102381A)
(43) 公開日 平成19年4月19日 (2007.4.19)
審査請求日 平成20年9月11日 (2008.9.11)

(73) 特許権者 391043332
財団法人福岡県産業・科学技術振興財団
福岡県福岡市中央区天神1丁目1番1号
(73) 特許権者 504369731
ケイレックス・テクノロジー株式会社
東京都中央区入船1丁目1番26号
(74) 代理人 100136180
弁理士 羽立 章二
(74) 代理人 100116573
弁理士 羽立 幸司
(72) 発明者 友景 肇
福岡県福岡市城南区七隈3-13-13
(72) 発明者 崔 雲
福岡県福岡市中央区天神1丁目1番1号
財団法人福岡県産業・科学技術振興財団内
最終頁に続く

(54) 【発明の名称】 半導体装置設計支援装置、半導体装置設計支援方法、その方法をコンピュータにより実行可能なプログラム、及び、そのプログラムを記録した記録媒体

(57) 【特許請求の範囲】

【請求項1】

基板及び前記基板上に配置されるチップを有し、前記基板の端子と前記チップの端子とが電氣的配線により接続される半導体装置の設計を支援する半導体装置設計支援装置であって、

前記基板又は前記チップの端子について、

当該端子の位置を変更することにより、当該端子に接続する配線の少なくとも一つが他の配線の少なくとも一つと交差する場合に、当該端子の位置が変更可能かどうかを調べ、変更可能な場合に当該端子の位置を変更し、

当該端子の位置を変更することにより、当該端子に接続する配線が他の配線と交差し
ない場合には、当該端子の位置を変更しない端子位置変更手段を備える半導体装置設計支援装置。

【請求項2】

前記端子位置変更手段は、位置を変更する当該端子に接続する配線と他の配線の並行部分の長さに関する条件に基づいて当該端子の位置を変更する、請求項1に記載の半導体装置設計支援装置。

【請求項3】

前記端子位置変更手段は、

前記基板の端子の位置を変更する基板端子位置変更処理手段と、

前記チップの端子の位置を変更するチップ端子位置変更処理手段

を有する、請求項 1 又は 2 に記載の半導体装置設計支援装置。

【請求項 4】

前記端子位置変更手段は、位置を変更する当該端子に接続する配線と他の配線の距離に関する条件に基づいて当該端子の位置を変更する、請求項 1 から 3 のいずれかに記載の半導体装置設計支援装置。

【請求項 5】

指定される交換対象の端子に対して所定の条件を満たす交換先の端子を決定する端子交換先決定処理手段を有し、

前記端子位置変更手段は、前記交換対象の端子の位置と前記端子交換先決定処理手段により決定された前記交換先の端子の位置を交換する、
請求項 1 から 4 のいずれかに記載の半導体装置設計支援装置。

10

【請求項 6】

三次元的な配置又は配線の設計を支援する請求項 1 から 5 のいずれかに記載の半導体装置設計支援装置。

【請求項 7】

基板及び前記基板上に配置されるチップを有し、前記基板の端子と前記チップの端子とが電氣的配線により接続される半導体装置の設計を支援する半導体装置設計支援装置であって、

前記基板又は前記チップの 2 つの第 1 及び第 2 の端子について、

前記第 1 の端子と前記第 2 の端子の位置を交換した場合に、前記第 1 の端子及び前記第 2 の端子に接続する配線の少なくとも一つが他の配線の少なくとも一つと交差するときに、前記第 1 及び前記第 2 の端子の位置が交換可能かどうかを調べ、交換可能な場合に前記第 1 及び前記第 2 の端子の位置を交換し、

20

前記第 1 の端子と前記第 2 の端子の位置を交換した場合に、前記第 1 の端子及び前記第 2 の端子に接続する配線が他の配線と交差しないときには、前記第 1 及び前記第 2 の端子の位置を交換しない端子位置変更手段を備える半導体装置設計支援装置。

【請求項 8】

基板及び前記基板上に配置されるチップを有し、前記基板の端子と前記チップの端子とが電氣的配線により接続される半導体装置の設計を支援する半導体装置設計支援方法であって、

30

端子位置変更手段が、前記基板又は前記チップの端子について、

当該端子の位置を変更することにより、当該端子に接続する配線の少なくとも一つが他の配線の少なくとも一つと交差する場合に、当該端子の位置が変更可能かどうかを調べ、変更可能な場合に当該端子の位置を変更し、

当該端子の位置を変更することにより、当該端子に接続する配線が他の配線と交差しない場合には、当該端子の位置を変更しないステップを含む半導体装置設計支援方法。

【請求項 9】

請求項 8 記載の半導体装置設計支援方法をコンピュータに実行させるためのプログラム。

【請求項 10】

40

請求項 9 に記載のプログラムを記録するコンピュータ読み取り可能な記録媒体。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置設計支援装置、半導体装置設計支援方法、その方法をコンピュータにより実行可能なプログラム、及び、そのプログラムを記録した記録媒体に関し、特に基板及び前記基板上に配置されるチップを有する半導体装置の設計を支援する半導体装置設計支援装置等に関する。

【背景技術】

【0002】

50

近年 L S I 製造プロセス技術の進歩により L S I の基板への集積度が一層進んでおり、S i P (system in a package) という概念も出てきた。S i P は、微小なプリント基板上に複数の IC チップや受動素子を 3 次元実装して微小なシステムを製造する技術をいう。シリコンチップ上に回路を書き込んでシステムを作製する SoC (System On a Chip) に比較して、i) 既存のチップを用いれば、短納期に量産が可能、ii) 小さな設備投資で、iii) 少量多品種の生産に有利などの利点を有する。

【 0 0 0 3 】

従来、この S i P の設計においては、設計者は、S i P 基板の端子に関しては入れ替えを行って設計していたが、L S I チップの端子に関しては別部署へ依頼して対処していた。

10

【 0 0 0 4 】

なお、S i P に関する技術ではないが、従来の半導体チップ設計に関する技術を示す文献として、例えば特許文献 1 がある。

【 0 0 0 5 】

【特許文献 1】特開 2 0 0 4 - 3 1 8 9 1 号公報

【発明の開示】

【発明が解決しようとする課題】

【 0 0 0 6 】

しかしながら、従来の設計においては、端子間の接続状況は人間が考えて決めていた。また、配線形状も経験に基づくマニュアル配線であった。そのため、端子は本当に端子間の配線が最短になるように設計されているかどうか不明であった。

20

【 0 0 0 7 】

さらに、チップ側端子に関しては別部署に依頼して対処されており、情報の伝達ミスが発生する可能性が大きかった。

【 0 0 0 8 】

そこで、本発明の目的は、基板の端子と基板上に配置されるチップの端子とが電氣的配線により接続される半導体装置の設計の支援に適合する半導体装置設計支援装置、半導体装置設計支援方法、その方法をコンピュータにより実行可能なプログラム、及び、そのプログラムを記録した記録媒体を提案することである。

【課題を解決するための手段】

30

【 0 0 0 9 】

請求項 1 に係る発明は、基板及び前記基板上に配置されるチップを有し、前記基板の端子と前記チップの端子とが電氣的配線により接続される半導体装置の設計を支援する半導体装置設計支援装置であって、前記基板又は前記チップの端子について、当該端子の位置を変更することにより、当該端子に接続する配線の少なくとも一つが他の配線の少なくとも一つと交差する場合に、当該端子の位置が変更可能かどうかを調べ、変更可能な場合に当該端子の位置を変更し、当該端子の位置を変更することにより、当該端子に接続する配線が他の配線と交差しない場合には、当該端子の位置を変更しない端子位置変更手段を備えるものである。

【 0 0 1 0 】

40

S i P において、L S I チップが実装されて配線されるときは、ワイヤボンディングで配線される場合が多い。空中に配線されたワイヤを高周波の信号が通過する場合、配線が平行していると隣の配線の信号の影響が大きく、ノイズが発生してしまう。

【 0 0 1 1 】

請求項 2 に係る発明は、請求項 1 に記載の半導体装置設計支援装置であって、前記端子位置変更手段が、位置を変更する当該端子に接続する配線と他の配線の並行部分の長さに関する条件に基づいて当該端子の位置を変更するものである。

【 0 0 1 2 】

配線が平行している距離が長いほど、配線同士の信号が干渉してノイズが発生する可能性が大きくなる。請求項 2 に係る発明によれば、配線同士がある一定以上の距離を平行し

50

ないように設計されるため、ノイズの発生を防止することができる。

【 0 0 1 3 】

請求項 3 に係る発明は、請求項 1 又は 2 に記載の半導体装置設計支援装置であって、前記端子位置変更手段が、前記基板の端子の位置を変更する基板端子位置変更処理手段と、前記チップの端子の位置を変更するチップ端子位置変更処理手段を有するものである。

【 0 0 1 4 】

請求項 4 に係る発明は、請求項 1 から 3 のいずれかに記載の半導体装置設計支援装置であって、前記端子位置変更手段が、位置を変更する当該端子に接続する配線と他の配線の距離に関する条件に基づいて当該端子の位置を変更するものである。

【 0 0 1 5 】

一般的に、配線間の信号によるノイズは配線間隔が開くほど小さくなる。請求項 4 に係る発明によれば、信号線間隔が一定以上に大きくなるように配線されるため、ノイズの発生を防止することができる。

【 0 0 1 6 】

請求項 5 に係る発明は、請求項 1 から 4 のいずれかに記載の半導体装置設計支援装置であって、指定される交換対象の端子に対して所定の条件を満たす交換先の端子を決定する端子交換先決定処理手段を有し、前記端子位置変更手段は、前記交換対象の端子の位置と前記端子交換先決定処理手段により決定された前記交換先の端子の位置を交換するものである。

【 0 0 1 7 】

請求項 6 に係る発明は、請求項 1 から 5 のいずれかに記載の半導体装置設計支援装置であって、三次元的な配置又は配線の設計を支援するものである。

【 0 0 1 8 】

請求項 7 に係る発明は、基板及び前記基板上に配置されるチップを有し、前記基板の端子と前記チップの端子とが電氣的配線により接続される半導体装置の設計を支援する半導体装置設計支援装置であって、前記基板又は前記チップの 2 つの第 1 及び第 2 の端子について、前記第 1 の端子と前記第 2 の端子の位置を交換した場合に、前記第 1 の端子及び前記第 2 の端子に接続する配線の少なくとも一つが他の配線の少なくとも一つと交差するときに、前記第 1 及び前記第 2 の端子の位置が交換可能かどうかを調べ、交換可能な場合に前記第 1 及び前記第 2 の端子の位置を交換し、前記第 1 の端子と前記第 2 の端子の位置を交換した場合に、前記第 1 の端子及び前記第 2 の端子に接続する配線が他の配線と交差しないときには、前記第 1 及び前記第 2 の端子の位置を交換しない端子位置変更手段を備えるものである。

【 0 0 1 9 】

請求項 8 に係る発明は、基板及び前記基板上に配置されるチップを有し、前記基板の端子と前記チップの端子とが電氣的配線により接続される半導体装置の設計を支援する半導体装置設計支援方法であって、端子位置変更手段が、前記基板又は前記チップの端子について、当該端子の位置を変更することにより、当該端子に接続する配線の少なくとも一つが他の配線の少なくとも一つと交差する場合に、当該端子の位置が変更可能かどうかを調べ、変更可能な場合に当該端子の位置を変更し、当該端子の位置を変更することにより、当該端子に接続する配線が他の配線と交差しない場合には、当該端子の位置を変更しないステップを含むものである。

【 0 0 2 0 】

請求項 9 に係る発明は、請求項 8 記載の半導体装置設計支援方法をコンピュータに実行させるためのプログラムである。

【 0 0 2 1 】

請求項 10 に係る発明は、請求項 9 に記載のプログラムを記録するコンピュータ読み取り可能な記録媒体である。

【 発明の効果 】

【 0 0 2 2 】

以上のように、本発明によれば、基板の端子の位置とチップの端子の位置を同時に設計することが可能となる。この設計により、LSIチップの端子の位置を前提としてSiP基板の端子の位置を設計することとは異なり、基板の端子とチップの端子を併せて設計する、いわば、SiPのトップダウン設計が可能となる。また、チップ側端子に関して他部署に依頼して対処することが不要になり、部署間の伝達ミスを防止することが可能となる。さらに、本発明によれば、基板の端子とチップの端子は、例えばこれらの間の接続の面積・体積が3次元的に最小となるよう配置可能であり、製造コストを最小にすることが可能となる。また、端子は自動的に配置可能であり、熟練技術者による配置・配線品質と同等の配置が可能となる。

【0023】

10

上記したようにSiPにおいて、LSIチップが実装されて配線されるときは、ワイヤボンディングで配線される場合が多い。空中に配線されたワイヤを高周波の信号が通過する場合、配線が平行していると隣の配線の信号の影響が大きく、ノイズが発生してしまう。これに対して、本発明によれば、端子位置変更手段が配線を交差するようにして配線が平行になることを避けることができ、ノイズの発生を防止することができる。また、配線が平行している距離が長いほど、配線同士の信号が干渉してノイズが発生する可能性が大きくなる。これに対して、請求項2に係る発明によれば、配線同士がある一定以上の距離を平行しないように設計されるため、ノイズの発生を防止することができる。

【発明を実施するための最良の形態】

【0024】

20

図1は、本発明の実施の形態に係るSiP設計支援装置の概略ブロック図である。

【0025】

図1を参照して、SiP設計支援装置1は、制御部3と、電氣的に接続されるSiP基板の端子（以下では「PAD」という）とLSIチップの端子（以下では「チップ端子」という）に対して処理を行う端子処理部5と、PADからSiP基板上のVIA・端子まで配線を行う自動再配線処理部7を備える。端子処理部5は、ユーザにより選択された交換対象の端子に対して交換先の端子を決定する端子交換先決定処理部9と端子の位置の変更を行う端子位置変更処理部11を有する。端子交換先決定処理部9は、PADに関して交換先決定処理を行うPAD交換先決定処理部13とチップ端子に関して交換先決定処理を行うチップ端子交換先決定処理部15を有する。また、端子位置変更処理部11は、PADに関して位置変更処理を行うPAD位置変更処理部17とチップ端子に関して位置変更処理を行うチップ端子位置変更処理部19を有する。

30

【0026】

ここで、変更においては、基板上のPAD位置やチップの端子位置は変更されずに、接続情報のみが変更される。すなわち、SiP設計支援装置1では、基板上のPADとLSIチップの端子との間には、どのPADと端子が接続されるのかの情報が与えられる。接続されるPADと端子が変更された場合、その物理的な位置は変更しないで、PADと端子の接続情報のみが変更になる。そのため、見た目上は変更したPADと端子の位置が変更後の位置に移動したように見えるが、実際は位置が変更したのではなく接続情報のみが変更される。また、位置変更されたPADや端子に接続するワイヤの引きなおしも行われる。

40

【0027】

自動再配線処理部7は、迷路法を用いて、PADから基板上のVIA・端子まで1層・45°配線を行う。ここで、迷路法は、配線アルゴリズムの一つであり、配線領域がメッシュ上に分割され、配線の基点から終点に向かって波紋状に番号がつけられ、その番号が終点に到達したときに最短となる番号により起点から終点までの最短配線経路が決定される手法である

【0028】

図2を参照して、図1のSiP設計支援装置1の動作の一例を説明する。図2は、図1のSiP設計支援装置1による端子の位置変更の一例を示す図であり、変更前と変更後の

50

S i P基板21のPAD25～39とLSIチップ23のチップ端子の間の接続状態を示す図である。図2(a)は変更前のPADとチップ端子の接続状態の一例を示す図であり、図2(b)は変更後のPADとチップ端子の接続状態の一例を示す図である。

【0029】

図2(a)を参照して、S i P基板21上にはLSIチップ23が配置され、S i P基板21には、LSIチップ23を挟んで、一方に4つのPAD25、27、29、31があり、他方に4つのPAD33、35、37、39がある。S i P基板21のPAD25～39とLSIチップ23のチップ端子とは、6つのPAD25、29、31、33、35、39はそれぞれ最も近いチップ端子と接続されているが、PAD27はPAD37に最も近いチップ端子41と接続され、PAD37はPAD27に最も近いチップ端子43と接続されている。

10

【0030】

図2(a)のような接続状態において、PAD27とPAD37の位置を交換するか、またはチップ端子41とチップ端子43の位置を交換することにより、図2(b)にあるように、S i P基板のPADとLSIチップのチップ端子間の接続がトータルで最短となる。図1のS i P設計支援装置1は、このようなPADやチップ端子の位置を変更する処理を行うものである。

【0031】

続いて、図3を参照して、図1のS i P設計支援装置1の動作の一例を説明する。図3は、図1のS i P設計支援装置1の動作の一例を示すフロー図である。

20

【0032】

まず、図1の制御部3は、初期設定を行う(図3のステップSTM1)。この初期設定は、例えば、引数をチェックしたり、パラメータファイルや入力ファイルやコントロールファイルを読み込んだりすることにより行われる。

【0033】

次に、図1の端子処理部5は、PADやチップ端子の位置を変更する処理を行う(図3のステップSTM2)。このPADやチップ端子の位置を変更する処理については、図4～図12を用いてその一例を後述する。

【0034】

次に、図1の自動再配線処理部7は、PADから基板上のV I A・端子まで自動再配線処理を行う(図3のステップSTM3)。この自動再配線処理については、図13を用いてその一例を後述する。そして、図3の処理を終了する。

30

【0035】

続いて、図4を参照して、図3のステップSTM2の端子位置変更処理の一例を説明する。図4は、図3のステップSTM2の端子位置変更処理の一例を示すフロー図である。

【0036】

まず、図1の端子処理部5は、ユーザにより選択された交換対象の端子がPADであるか否かの判断を行う(図4のステップSTE1)。交換対象の端子がPADであるならば図4のステップSTE2の処理を行い、PADでないならば図4のステップSTE5の処理を行う。

40

【0037】

図4のステップSTE2において、図1の端子処理部5は、交換先が指定されているか否かの判断を行う。指定されているのであるならば図4のステップSTE4の処理を行い、指定されていないならば図4のステップSTE3の処理を行う。

【0038】

図4のステップSTE3において、図1のPAD交換先決定処理部9は、PAD交換先決定処理を行う。このPAD交換先決定処理については、図5～図8を用いてその一例を後述する。そして、図4のステップSTE4の処理を行う。

【0039】

図4のステップSTE4において、図1のPAD位置変更処理部17は、PAD位置変

50

更処理を行う。このPAD位置変更処理については、図9～図12を参照してその一例を後述する。そして、図1の端子処理部5は図4の処理を終了する。

【0040】

図4のステップSTE5において、図1の端子処理部5は、交換先が指定されているか否かの判断を行う。指定されているのであるならば図4のステップSTE7の処理を行い、指定されていないならば図4のステップSTE6の処理を行う。

【0041】

図4のステップSTE6において、図1の端子交換先決定処理部13は、チップ端子交換先決定処理を行う。このチップ端子交換先決定処理は、図4のステップSTE3のPAD交換先決定処理と同様のものである。そして、図4のステップSTE7の処理を行う。

10

【0042】

図4のステップSTE7において、図1のチップ端子位置変更処理部19は、チップ端子位置変更処理を行う。このチップ端子位置変更処理は、図4のステップSTE4のPAD位置変更処理と同様のものである。そして、図1の端子処理部5は図4の処理を終了する。

【0043】

続いて、図5から図8を参照して、図4のステップSTE3のPAD交換先決定処理の一例を説明する。このPAD交換先決定処理においては、選択されたPADが一つである場合、選択された交換対象のPADに対して交換先のPADが自動的に決定される。交換先のPADは、例えば図7を用いて説明されるスペーシングルールや図8を用いて説明される平行配線長ルールなどのルールに基づいて決定される。このとき、特定のネットを指定することにより、ワイヤ結線後に指定されたネットのワイヤと交差するようなPADが交換相手として認識される。なお、指定されたネットのPADはFIX属性となり、他のPADとの交換対象にはならないとする。

20

【0044】

図5は、図4のステップSTE3のPAD交換先決定処理の一例を示すフロー図である。

【0045】

まず、図1のPAD交換先決定処理部13は、選択された交換対象のPADをPAD__Aとする(図5のステップSTT1)。

30

【0046】

次に、図1のPAD交換先決定処理部13は、未処理のPADから所定の順にPADを取得して、取得したPADをPAD__Bとする(図5のステップSTT2)。取得する順は、例えばPAD__Aに近い順や優先度指定があれば優先度の順などである。

【0047】

次に、図1のPAD交換先決定処理部13は、指定ネットがあり、かつ、PAD__Bの場所からPAD__Aのワイヤを結線すると指定ネットのワイヤと交差しないか否かの判断を行う(図5のステップSTT3)。指定ネットがあって交差しないならば図5のステップSTT6の処理を行い、そうでないならば図5のステップSTT4の処理を行う。

40

【0048】

図5のステップSTT4において、図1のPAD交換先決定処理部13は、PAD__AとPAD__Bの交換可能性をチェックする。この交換可能性のチェックの処理については、図6を参照してその一例を後述する。

【0049】

次に、図1のPAD交換先決定処理部13は、図5のステップSTT4の処理の結果に基づいてPAD__AとPAD__Bが交換可能であるか否かの判断を行う(図5のステップSTT5)。交換可能であるならば図5のステップSTT7の処理を行い、そうでないならば図5のステップSTT6の処理を行う。

【0050】

図5のステップSTT6において、図1のPAD交換先決定処理部13は、全PADに

50

対して処理を行ったか否かの判断を行う。処理を行っているならばエラー終了をし、そうでないならば図5のステップS T T 2の処理を行う。

【0051】

図5のステップS T T 7において、図1のP A D交換先決定処理部13は、P A D__Aの交換先としてP A D__Bを指定する。

【0052】

次に、図1のP A D交換先決定処理部13は、指定ネットがあるか否かの判断を行う(図5のステップS T T 8)。指定ネットがあるならば、該当ネットのP A DをF I Xとして(図5のステップS T T 9)図5の処理を終了する。指定ネットがないならば、図5の処理を終了する。

10

【0053】

以上、図5のフロー図に示されるようにして、ユーザにより選択された交換対象のP A Dに対して交換先のP A Dが決定される。

【0054】

続いて、図6を参照して、図5のステップS T T 4のP A D__AとP A D__Bの交換可能性のチェックの処理の一例を説明する。図6は、図5のステップS T T 4のP A D__AとP A D__Bの交換可能性のチェックの処理の一例を示すフロー図である。

【0055】

まず、図1のP A D交換先決定処理部13は、ワイヤを仮削除する(図6のステップS T C 1)。このワイヤの仮削除処理は、L S Iチップの端子がP A D__A又はP A D__Bと接続されているときに、P A D__A又はP A D__Bと接続されているL I N E(基板側のP A DとL S I側の端子を結ぶ情報)に対して、ボンディングワイヤの情報(W I R E情報)であってL S Iチップの端子(P O R T I N S T)と接続されているものを仮に削除する処理である。

20

【0056】

次に、図1のP A D交換先決定処理部13は、P A D__Bの位置をP A D__Aの新しい位置として仮配線する(図6のステップS T C 2)。

【0057】

次に、図1のP A D交換先決定処理部13は、結線可能であるか否かを判断する(図6のステップS T C 3)。結線可能であるならば図6のステップS T C 4の処理を行い、そうでないならば図6のステップS T C 8の処理を行う。この結線可能性の判断については、図7と図8を参照してその一例を後述する。

30

【0058】

図6のステップS T C 4において、図1のP A D交換先決定処理部13は、結線したワイヤ長を上位ルーチンへ戻す。次に、結線したワイヤ形状を上位ルーチンへ戻す(図6のステップS T C 5)。次に、仮に削除されたワイヤを復元し(図6のステップS T C 6)、P A D__AとP A D__Bは交換可能と判断して(図6のステップS T C 7)、図6の処理を終了する。

【0059】

図6のステップS T C 8において、図1のP A D交換先決定処理部13は、仮に削除されたワイヤを復元する。次に、P A D__AとP A D__Bは交換可能でないと判断し(図6のステップS T C 9)、図6の処理を終了する。

40

【0060】

以上、図6のフロー図に示されるようにして、P A D__AとP A D__Bの交換可能性がチェックされる。

【0061】

続いて、図7と図8を参照して、図6のステップS T C 3の結線可能性の判断についてその一例を説明する。

【0062】

図7は、新規に作成する三次元空間内のボンディングワイヤを示す図である。図7を参照

50

して、スペーシングルール、すなわち、配置される L S I チップの端子から基板上の P A D へのボンディングワイヤの間隔に関するルールについて説明する。

【 0 0 6 3 】

図 7 を参照して、新規に作成する三次元空間内のボンディングワイヤ座標を P_0 、 P_1 、 P_2 、 P_3 、 P_4 とする。そして、他のワイヤと線分 $P_1 - P_2$ 、 $P_2 - P_3$ 、 $P_3 - P_4$ の距離を求め、求めた距離の最小値を他ワイヤと線分 $P_1 - P_2$ 、 $P_2 - P_3$ 、 $P_3 - P_4$ 間の距離とする。

【 0 0 6 4 】

新規ボンディングワイヤと他ワイヤ間の距離が指定された距離より短い場合、スペーシングルールエラーとなりワイヤは結線できないとする。このように、他ワイヤとのスペーシングルールが指定され、このルールを満たした形状計算が行われる。

10

【 0 0 6 5 】

続いて、図 8 を参照して、平行配線長ルール、すなわち、配置される L S I チップの端子から基板上の P A D へのボンディングワイヤが複数あるときに、指定されるワイヤ同士が平行に配線される距離の最小値に関するルールについて説明する。図 8 は、ワイヤ形状計算を行う際に他のワイヤに対する平行部分の長さを示す図である。平行部分の長さは、形状計算したワイヤ $A_0 - A_1$ と他のワイヤ $B_0 - B_1$ が三次元的に平行でかつ一定距離以内にある場合に計算される。図 8 において、点 A_0 及び点 A_1 並びに点 B_0 及び点 B_1 は、ベクトル $A_0 A_1$ とベクトル $B_0 B_1$ が同じ向きになるような点であり、点 B_0' 及び点 B_1' は、それぞれ、点 B_0 と点 B_1 が直線 $A_0 - A_1$ 上に直線 $A_0 - A_1$ と垂直方向に射影された点である。

20

【 0 0 6 6 】

図 8 (a) は、線分 $A_0 - A_1$ 上に点 B_1' があって点 B_0' がない場合の、線分 $A_0 - A_1$ と線分 $B_0 - B_1$ の平行部分の長さ $|A_0 - B_1'|$ を示す図である。図 8 (a) を参照して、平行部分の長さ $|A_0 - B_1'|$ の計算方法について説明する。

【 0 0 6 7 】

図 8 (a) を参照して、ベクトル $A_0 A_1$ をその長さで割って求められる単位ベクトルをベクトル e とし、ベクトル x とベクトル y の内積を (x, y) とすると、平行部分の長さ $|A_0 - B_1'|$ は、 $|(ベクトル A_0 B_1, ベクトル e)|$ により求められる。

【 0 0 6 8 】

30

点 A_0 、 A_1 、 B_0' 、 B_1' の位置関係は、6 通りある。以下では、図 8 (b) ~ (e) を参照して、それぞれの場合の平行部分の長さについて説明する。

【 0 0 6 9 】

図 8 (b) を参照して、線分 $A_0 - A_1$ が線分 $B_0' - B_1'$ を含む場合、すなわち、 $(A_0 B_0, e) \geq 0$ 、 $(A_0 B_1, e) > 0$ 、 $(A_1 B_0', e) < 0$ 、 $(A_1 B_0, e) \leq 0$ の場合、平行部分の長さは線分 $B_0' - B_1'$ の長さである。

【 0 0 7 0 】

図 8 (c) を参照して、線分 $A_0 - A_1$ に点 B_0' があって点 B_1' がない場合、すなわち、 $(A_0 B_0, e) \geq 0$ 、 $(A_0 B_1, e) > 0$ 、 $(A_1 B_0', e) < 0$ 、 $(A_1 B_0, e) \geq 0$ の場合、平行部分の長さは線分 $B_0' - A_1$ の長さである。

40

【 0 0 7 1 】

同様に、線分 $A_0 - A_1$ の間に点 B_1' があって点 B_0' がない場合、すなわち、 $(A_0 B_0, e) \leq 0$ 、 $(A_0 B_1, e) > 0$ 、 $(A_1 B_0', e) < 0$ 、 $(A_1 B_0, e) \leq 0$ の場合、平行部分の長さは線分 $A_0 - B_1'$ の長さである。

【 0 0 7 2 】

図 8 (d) を参照して、線分 $A_0 - A_1$ と線分 $B_0' - B_1'$ が重ならない場合、すなわち、 $(A_0 B_0, e) \geq 0$ 、 $(A_0 B_1, e) > 0$ 、 $(A_1 B_0', e) > 0$ 、 $(A_1 B_0, e) \geq 0$ の場合、平行部分の長さは 0 である。

【 0 0 7 3 】

同様に、線分 $A_0 - A_1$ と線分 $B_0' - B_1'$ が重ならない場合、すなわち、 $(A_0 B_0, e) \leq 0$ 、 $(A_0 B_1, e) > 0$ 、 $(A_1 B_0', e) > 0$ 、 $(A_1 B_0, e) \leq 0$ の場合、平行部分の長さは 0 である。

50

$0, e) \leq 0$ 、 $(A0B1, e) < 0$ 、 $(A1B0', e) < 0$ 、 $(A1B0, e) < 0$ の場合、平行部分の長さは 0 である。

【0074】

図 8 (e) を参照して、線分 $A0 - A1$ が線分 $B0' - B1'$ に含まれる場合、すなわち、 $(A0B0, e) \leq 0$ 、 $(A0B1, e) > 0$ 、 $(A1B0', e) < 0$ 、 $(A1B0, e) > 0$ の場合、平行部分の長さは線分 $A0 - A1$ の長さである。

【0075】

以上のようにして、平行部分の長さが計算される。この長さが指定された値より大きい場合、平行配線長エラーとなり、ワイヤは結線できないと判断される。

【0076】

続いて、図 9 と図 10 を参照して、図 4 のステップ S T E 4 の P A D 位置変更処理の一例を説明する。図 9 と図 10 は、図 4 のステップ S T E 4 の P A D 位置変更処理の一例を示すフロー図である。図 9 と図 10 においては、交換対象の P A D の移動により押しのけられた P A D の位置が最適になるように、他の P A D の位置が変更される。そして、このとき変更された P A D の位置が再び最適になるように他の P A D の位置が変更される。この処理を繰り返すことにより、必要最低限の P A D のみが位置変更される。なお、一度位置が決められた P A D は動かされないものとする。

【0077】

まず、図 1 の P A D 位置変更処理部 17 は、交換対象の P A D を P A D __ A とし、交換先の P A D を P A D __ B とする (図 9 のステップ S T P 1)。

【0078】

次に、図 1 の P A D 位置変更処理部 17 は、P A D __ A と P A D __ B の位置を交換する (図 9 のステップ S T P 2)。この P A D の位置を交換する処理については、図 11 を用いてその一例を後述する。

【0079】

次に、図 1 の P A D 位置変更処理部 17 は、指定ネットがあり、かつ、指定ネットの P A D は F I X でないか否かの判断を行う (図 9 のステップ S T P 3)。指定ネットがあって指定ネットの P A D が F I X でないならば図 9 のステップ S T P 5 の処理を行い、そうでないならば図 9 のステップ S T P 4 の処理を行う。

【0080】

図 9 のステップ S T P 4 において、図 1 の P A D 位置変更処理部 17 は、P A D __ B の位置変更処理を行う。この P A D の位置変更処理については、図 12 を用いてその一例を後述する。そして、図 9 と図 10 の処理を終了する。

【0081】

図 9 のステップ S T P 5 において、図 1 の P A D 位置変更処理部 17 は、指定ネットのワイヤが交換した P A D __ A のワイヤと交差するか否かの判断をする。交差するならば図 9 のステップ S T P 6 の処理を行い、そうでないならば図 10 のステップ S T P 7 の処理を行う。

【0082】

図 9 のステップ S T P 6 において、図 1 の P A D 位置変更処理部 17 は、指定ネットの P A D を F I X とする。そして、図 9 と図 10 の処理を終了する。

【0083】

図 10 のステップ S T P 7 において、図 1 の P A D 位置変更処理部 17 は、未処理の P A D から所定の順に P A D を取得して、取得した P A D を P A D __ C とする。取得する順は、例えば、P A D __ A に近い順や、優先度指定があれば優先度の順などである。

【0084】

次に、図 1 の P A D 位置変更処理部 17 は、指定ネット端子と P A D __ C を結ぶワイヤは P A D __ A のワイヤと交差するか否かを判断する (図 10 のステップ S T P 8)。交差するならば図 10 のステップ S T P 9 の処理を行い、そうでないならば図 10 のステップ S T P 7 の処理を行う。

10

20

30

40

50

【 0 0 8 5 】

図 1 0 のステップ S T P 9 において、図 1 の P A D 位置変更処理部 1 7 は、P A D _ C と指定ネットの端子間でワイヤを結線する。

【 0 0 8 6 】

次に、図 1 の P A D 位置変更処理部 1 7 は、図 1 0 のステップ S T P 9 で結線をしたことができたか否かの判断を行う（図 1 0 のステップ S T P 1 0 ）。結線できたならば図 1 0 のステップ S T P 1 1 の処理を行い、そうでないならば図 1 0 のステップ S T P 7 の処理を行う。

【 0 0 8 7 】

図 1 0 のステップ S T P 1 1 において、図 1 の P A D 位置変更処理部 1 7 は、P A D _ C と指定ネットの P A D の位置を交換する。次に、指定ネットの P A D を F I X とする（図 1 0 のステップ S T P 1 2 ）。

10

【 0 0 8 8 】

次に、図 1 の P A D 位置変更処理部 1 7 は、指定ネットのワイヤが結線できたか否かの判断を行う（図 1 0 のステップ S T P 1 3 ）。結線できたならば、P A D _ B の位置変更処理を行い（図 1 0 のステップ S T P 1 4 ）、P A D _ C の位置変更処理を行い（図 1 0 のステップ S T P 1 5 ）、図 9 と図 1 0 の処理を終了する。図 1 0 のステップ S T P 1 4 とステップ S T P 1 5 の位置変更処理は、図 9 のステップ S T P 4 の P A D の位置変更処理と同様のものである。結線できないならば、図 9 と図 1 0 の処理を終了する。

【 0 0 8 9 】

20

以上、図 9 と図 1 0 のフロー図に示されるようにして、図 4 のステップ S T E 4 の P A D の位置の変更処理が行われる。

【 0 0 9 0 】

続いて、図 1 1 を参照して、図 9 のステップ S T P 2 の P A D _ A と P A D _ B の交換処理の一例を説明する。図 1 1 は、図 9 のステップ S T P 2 の処理の一例を示すフロー図である。

【 0 0 9 1 】

まず、図 1 の P A D 位置変更処理部 1 7 は、接続点変更処理を行う（図 1 1 のステップ S T W 1 ）。具体的には、まず、P A D _ A と接続されている L I N E に対して、P A D _ B の位置を P A D _ A の新しい位置として、P A D _ A - > N E T - > L I N E の接続点変更し、W I R E 情報があり、P O R T I N S T と接続されているならば、P A D _ A - > N E T - > L I N E (- > W I R E) を f r e e する。また、P A D _ B と接続されている L I N E に対して、P A D _ A の位置を P A D _ B の新しい位置として、P A D _ B - > N E T - > L I N E の接続点変更する。

30

【 0 0 9 2 】

次に、図 1 の P A D 位置変更処理部 1 7 は、P A D _ A の電氣的な接続を P A D _ B と交換し（図 1 1 のステップ S T W 2 ）、P A D _ B の電氣的な接続を P A D _ A と交換する（図 1 1 のステップ S T W 3 ）。次に、図 1 の P A D 位置変更処理部 1 7 は、P A D _ A と P A D _ B が交換したことを格納する（図 1 1 のステップ S T W 4 ）。そして、図 1 1 の処理を終了する。

40

【 0 0 9 3 】

続いて、図 1 2 を参照して、図 9 のステップ S T P 4 の P A D の位置変更処理を説明する。図 1 2 は、図 9 のステップ S T P 4 の P A D _ B の位置変更処理の一例を示すフロー図である。

【 0 0 9 4 】

まず、図 1 の P A D 位置変更処理部 1 7 は、全 P A D のうち、P A D _ B と交換可能な P A D （以下ではこのような P A D を P A D _ Y という）があれば、P A D _ B のワイヤが一番短くなるような P A D _ Y と、そのときの P A D _ B のワイヤ形状を記憶する（図 1 2 のステップ S T X 1 ）。

【 0 0 9 5 】

50

次に、図１のPAD位置変更処理部１７は、PAD_Yが見つかったか否かの判断を行う（図１２のステップSTX２）。見つかったならば図１２のステップSTX３の処理を行い、そうでないならば図１２のステップSTX４の処理を行う。

【００９６】

図１２のステップSTX３において、図１のPAD位置変更処理部１７は、PAD_Bと記憶されたPAD_Yの位置を交換する。そして、図１２のステップSTX１の処理を行う。

【００９７】

図１２のステップSTX４において、図１のPAD位置変更処理部１７は、PAD_Bに元々繋がっていたワイヤがルールを守っているか否かの判断を行う。ルールを守っていたならば、ワイヤを作成し（図１２のステップSTX５）、図１２の処理を終了する。そうでないならば、警告をして（図１２のステップSTX６）、図１２の処理を終了する。

【００９８】

続いて、図１３を参照して、図１の自動再配線処理部７による図３のステップSTM３の自動再配線処理の一例を説明する。図１３は、図３のステップSTM３の自動再配線処理の一例を示すフロー図である。

【００９９】

まず、図１の自動再配線処理部７は、コントロールファイルの基板のゾーンと接続するLAYERの配線幅によって（最大公約数）、配線グリッドと配線禁止領域を作成する（図１３のステップSTR１）。

【０１００】

次に、図１の自動再配線処理部７は、入れ換えが生じたPADについて、既配線削除処理と基板配線処理を行う（図１３のステップSTR２）。ここで、既配線削除処理は、NETが基板配線のときに配線図形を削除する処理であり、基板配線処理は、NETが基板配線のときに、基板配線のパスを迷路法により探し、一番短いパスによってLINEを作成し、LINEをNETの配線図形とするものである。

【０１０１】

次に、図１の自動再配線処理部７は、配線グリッドを削除する（図１３のステップSTR３）。そして、図１３の処理を終了する。

【０１０２】

以上のようにして、図１のSiP設計支援装置１は、基板の端子の位置とチップの端子の位置を同時に変更し、自動的に再配線処理をすることができる。

【０１０３】

なお、基板上のPADとLSIチップの端子の位置変更に関しては、図４に示されるようにどちらかを固定して他方を移動するだけでなく、両方を自動に動かしてもよい。すなわち、例えば一方（例えば基板上のPAD）を変更することにより、他方（例えばLSIチップの端子）を変更するようにしてもよい。

【図面の簡単な説明】

【０１０４】

【図１】本発明の実施の形態に係るSiP設計支援装置１の概略ブロック図である。

【図２】図１のSiP設計支援装置１による端子の位置変更の一例を示す図であり、変更前と変更後のSiP基板２１のPAD２５～３９とLSIチップ２３のチップ端子の間の接続状態を示す図である。

【図３】図１のSiP設計支援装置１の動作の一例を示すフロー図である。

【図４】図３のステップSTM２の端子位置変更処理の一例を示すフロー図である。

【図５】図４のステップSTE３のPAD交換先決定処理の一例を示すフロー図である。

【図６】図５のステップSTT４のPAD_AとPAD_Bの交換可能性のチェックの処理の一例を示すフロー図である。

【図７】図６のステップSTC３の結線可能性の判断に用いられるスペーシングルールを説明するための図であって、新規に作成する三次元空間内のボンデングワイヤを示す図で

10

20

30

40

50

ある。

【図 8】図 6 のステップ S T C 3 の結線可能性の判断に用いられる平行配線長ルールを説明するための図であって、ワイヤ形状計算を行う際に他のワイヤに対する平行部分の長さを示す図である。

【図 9】図 4 のステップ S T E 4 の P A D 位置変更処理の一例を示す第 1 のフロー図である。

【図 10】図 4 のステップ S T E 4 の P A D 位置変更処理の一例を示す第 2 のフロー図である。

【図 11】図 9 のステップ S T P 2 の P A D __ A と P A D __ B の交換処理の一例を示すフロー図である。

【図 12】図 9 のステップ S T P 4 の P A D __ B の位置変更処理の一例を示すフロー図である。

【図 13】図 3 のステップ S T M 3 の自動再配線処理の一例を示すフロー図である。

【符号の説明】

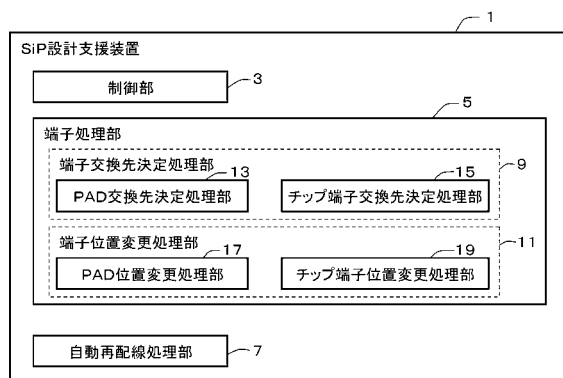
【 0 1 0 5 】

- 1 S i P 設計支援装置
- 3 制御部
- 5 端子位置変更処理部
- 7 自動再配線処理部
- 9 P A D 交換先決定処理部
- 11 P A D 位置変更処理部
- 13 チップ端子交換先決定処理部
- 15 チップ端子位置変更処理部

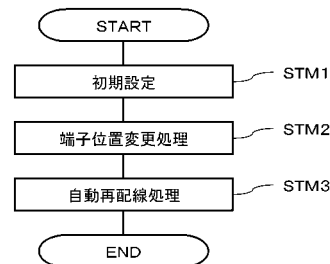
10

20

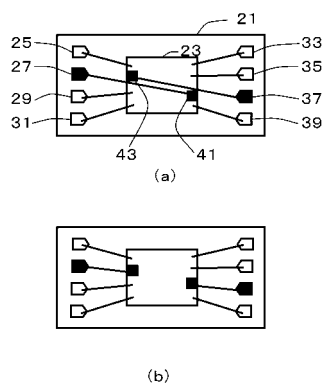
【図 1】



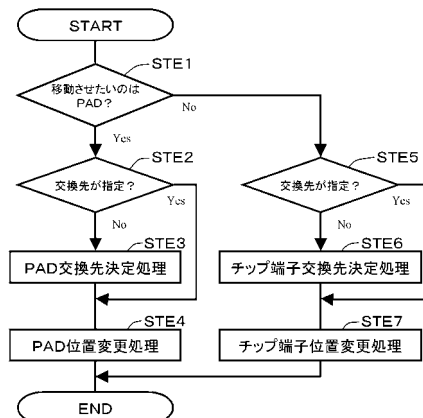
【図 3】



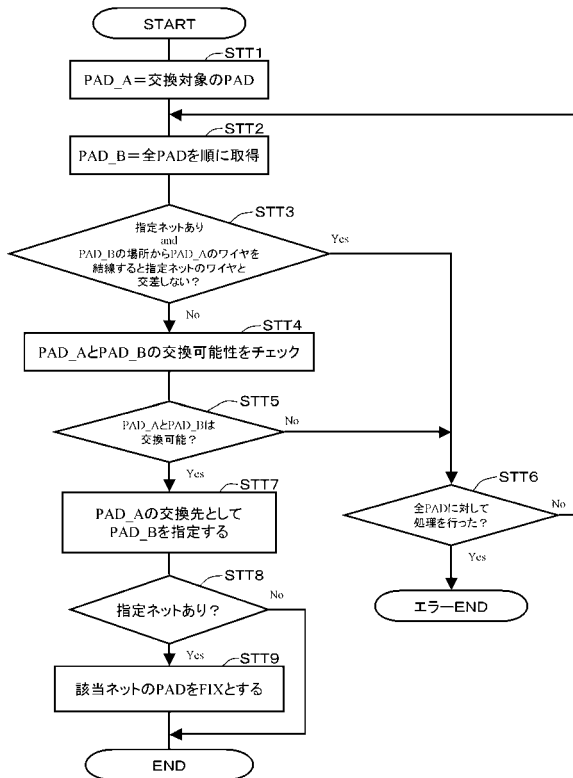
【図 2】



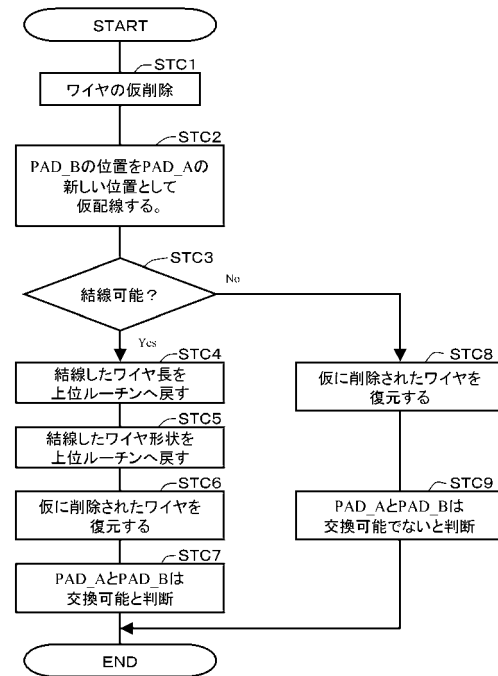
【図 4】



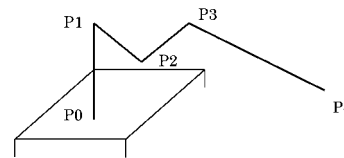
【図 5】



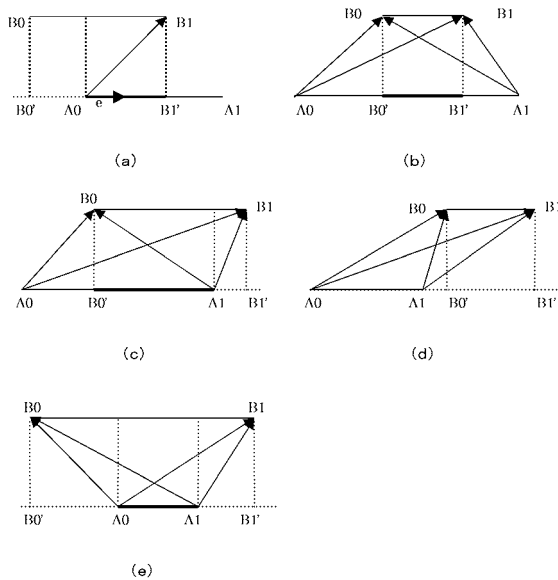
【図 6】



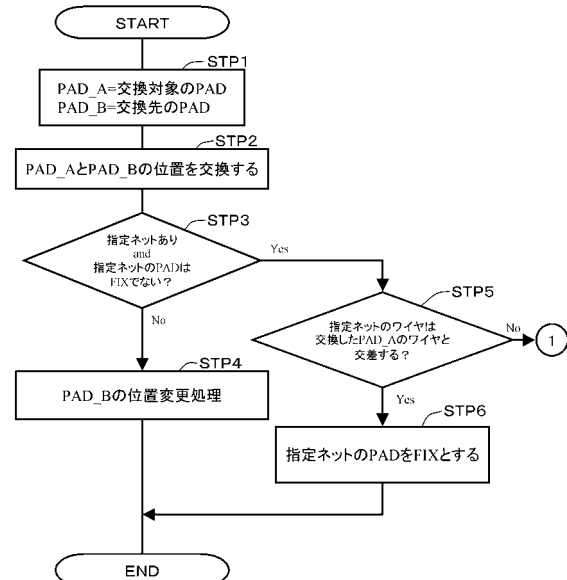
【図 7】



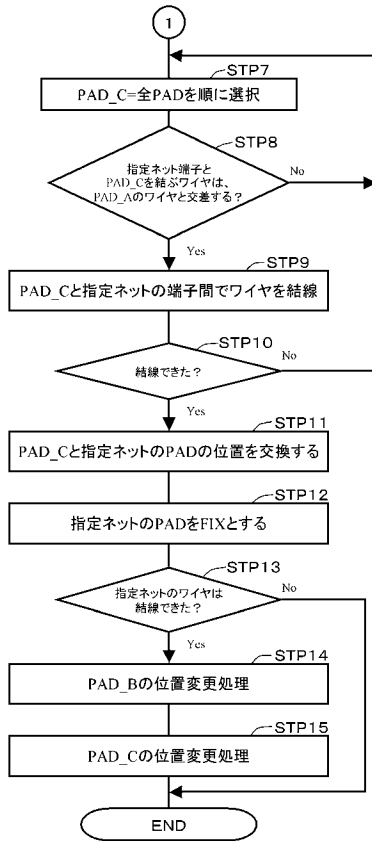
【図 8】



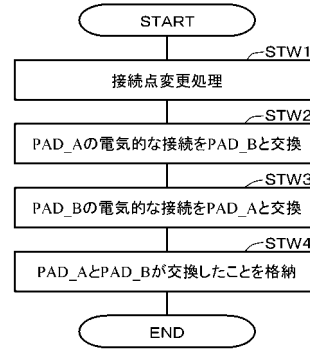
【図 9】



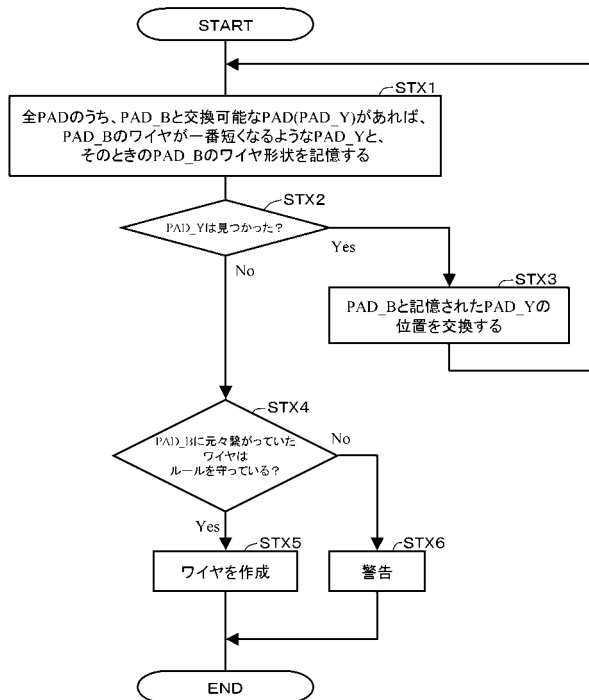
【図 10】



【図 11】



【図 12】



【図 13】



フロントページの続き

(72)発明者 川瀬 英路

東京都中央区入船1丁目1番26号 ケイレックス・テクノロジー株式会社内

審査官 松永 隆志

(56)参考文献 特開2004-047829(JP,A)

特開2001-060625(JP,A)

特開平05-326836(JP,A)

特開2001-209667(JP,A)

(58)調査した分野(Int.Cl., DB名)

G06F 17/50