



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2010-0070026
(43) 공개일자 2010년06월25일

(51) Int. Cl.

G11C 16/04 (2006.01) G11C 16/26 (2006.01)

(21) 출원번호 10-2008-0128615

(22) 출원일자 2008년12월17일

심사청구일자 없음

(71) 출원인

삼성전자주식회사

경기도 수원시 영통구 매탄동 416

(72) 발명자

김무성

경기도 용인시 수지구 성북동 대우푸르지오
105-1101

곽관석

경기도 수원시 영통구 망포동 모닝빌 102-301

(74) 대리인

리엔목특허법인

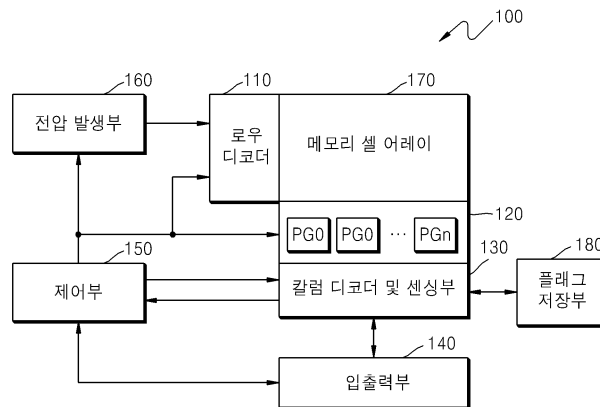
전체 청구항 수 : 총 10 항

(54) 멀티-레벨 셀 플래시 메모리 장치 및 이의 독출 방법

(57) 요약

멀티-레벨 셀 플래시 메모리 장치 및 이의 독출 방법이 개시된다. 본 발명의 실시예에 따른 멀티-레벨 셀 플래시 메모리 장치에서의 데이터 독출 방법은 상기 플래시 메모리 장치의 메모리 셀들에 프로그램된 데이터의 LSB(Least Significant bit)를 독출하는 단계; 및 상기 플래시 메모리 장치의 메모리 셀들에 프로그램된 데이터의 MSB(Most Significant bit)를 독출하는 단계를 구비한다. 이때, 상기 LSB를 독출하는 단계 및 상기 MSB를 독출하는 단계는 각각, 상기 플래시 메모리 장치의 페이지들 중 대응되는 페이지에 속하는 메모리 셀들에 프로그램된 데이터의 MSB가 프로그램되었는지를 나타내는 MSB 플래그를 포함하여, 상기 플래시 메모리 장치의 복수의 제 1 비트 라인들에 대한 제 1 독출을 수행하는 단계; 및 상기 MSB 플래그를 이용하여 타겟 전압을 설정하고, 상기 타겟 전압을 상기 플래시 메모리 장치의 복수의 제 2 비트 라인들에 인가하여 제 2 독출을 수행하는 단계를 구비한다.

대표도 - 도1



특허청구의 범위

청구항 1

멀티-레벨 셀 플래시 메모리 장치에서의 데이터 독출 방법에 있어서,

상기 플래시 메모리 장치의 메모리 셀들에 프로그램된 데이터의 LSB(Least Significant bit)를 독출하는 단계; 및

상기 플래시 메모리 장치의 메모리 셀들에 프로그램된 데이터의 MSB(Most Significant bit)를 독출하는 단계를 구비하고,

상기 LSB를 독출하는 단계 및 상기 MSB를 독출하는 단계는 각각,

상기 플래시 메모리 장치의 페이지들 중 대응되는 페이지에 속하는 메모리 셀들에 프로그램된 데이터의 MSB가 프로그램되었는지를 나타내는 MSB 플래그를 포함하여, 상기 플래시 메모리 장치의 복수의 제 1 비트 라인들에 대한 제 1 독출을 수행하는 단계; 및

상기 MSB 플래그를 이용하여 타겟 전압을 설정하고, 상기 타겟 전압을 상기 플래시 메모리 장치의 복수의 제 2 비트 라인들에 인가하여 제 2 독출을 수행하는 단계를 구비하는 것을 특징으로 하는 멀티-레벨 셀 플래시 메모리 장치에서의 데이터 독출 방법.

청구항 2

제 1 항에 있어서, 상기 멀티-레벨 셀 플래시 메모리 장치는,

상기 제 1 비트 라인들 및 상기 제 2 비트 라인들에 대하여 동시에 프로그램하는 것을 특징으로 하는 멀티-레벨 셀 플래시 메모리 장치에서의 데이터 독출 방법.

청구항 3

제 1 항에 있어서, 상기 제 1 독출을 수행하는 단계는,

상기 독출된 MSB 플래그를, 상기 플래시 메모리 장치의 메모리 셀 어레이와 별도로 구비되는 플래그 저장부에 저장하는 단계를 구비하는 것을 특징으로 하는 멀티-레벨 셀 플래시 메모리 장치에서의 데이터 독출 방법.

청구항 4

제 1 항에 있어서,

상기 플래시 메모리 장치가 $N(N$ 은 2 이상의 자연수)-비트 멀티-레벨 셀 플래시 메모리 장치인 경우,

상기 제 1 독출을 수행하는 단계는,

상기 N 비트를 독출하기 위한 $N-1$ 개의 서로 다른 레벨의 독출 전압들 중 하나의 독출 전압을 이용하여, 상기 MSB 플래그를 독출하고,

상기 제 2 독출을 수행하는 단계는,

상기 N 비트를 독출하기 위한 $N-1$ 개의 서로 다른 레벨의 독출 전압들 중 적어도 하나 이상의 독출 전압을 상기 타겟 전압으로 설정하는 것을 특징으로 하는 멀티-레벨 셀 플래시 메모리 장치에서의 데이터 독출 방법.

청구항 5

제 1 항에 있어서,

상기 MSB 플래그가 대응되는 페이지의 메모리 셀들에 상기 MSB 프로그램이 되지 아니하였음을 나타내는 경우,

상기 MSB를 독출하는 단계는,

상기 MSB 플래그의 독출과 동시에 종료되는 것을 특징으로 하는 멀티-레벨 셀 플래시 메모리 장치에서의 데이터 독출 방법.

청구항 6

제 1 항에 있어서,

상기 플래시 메모리 장치가 2-비트 멀티-레벨 셀 플래시 메모리 장치이고, 상기 메모리 셀에 프로그램되는 2-비트의 데이터에 대응되는 4개의 셀 산포들을, 셀 산포들의 전압 크기 순서에 따라 제 1 산포, 제 2 산포, 제 3 산포 및 제 4 산포라 할 때,

상기 제 1 산포 내지 상기 제 4 산포가 나타내는 데이터 값은 각각, "11", "01", "10" 및 "00"이고,

상기 MSB 플래그의 제 1 값이 대응되는 페이지가 MSB 프로그램이 되지 아니하는 경우를 나타내는 값이고, 제 2 값이 대응되는 페이지가 MSB 프로그램이 된 경우를 나타내는 값이라고 할 때,

각각 상기 제 1 값 및 상기 제 2 값은,

상기 제 1 산포 및 상기 제 4 산포에 대응되는 산포를 갖는 것을 특징으로 하는 멀티-레벨 셀 플래시 메모리 장치에서의 데이터 독출 방법.

청구항 7

제 6 항에 있어서, 상기 MSB 플래그는,

상기 제 2 산포 및 상기 제 3 산포 사이의 전압 값을 갖는 독출 전압에 의하여 독출되는 것을 특징으로 하는 멀티-레벨 셀 플래시 메모리 장치에서의 데이터 독출 방법.

청구항 8

제 7 항에 있어서, 상기 LSB를 독출하기 위한 상기 제 1 독출을 수행하는 단계는,

상기 MSB 플래그가 상기 제 1 값을 갖는 경우, 상기 제 1 산포 및 상기 제 2 산포 사이의 전압 값을 갖는 독출 전압에 의하여 대응되는 메모리 셀들의 LSB 가 독출되고,

상기 MSB 플래그가 상기 제 2 값을 갖는 경우, 상기 MSB 플래그와 동시에, 대응되는 메모리 셀들의 LSB가 독출되는 것을 특징으로 하는 멀티-레벨 셀 플래시 메모리 장치에서의 데이터 독출 방법.

청구항 9

제 7 항에 있어서, 상기 LSB를 독출하기 위한 상기 제 2 독출을 수행하는 단계는,

상기 MSB 플래그가 상기 제 1 값을 갖는 경우, 상기 제 1 산포 및 상기 제 2 산포 사이의 전압 값을 갖는 독출 전압을 상기 타겟 전압으로 하여 대응되는 메모리 셀들의 LSB가 독출되고,

상기 MSB 플래그가 상기 제 2 값을 갖는 경우, 상기 제 2 산포 및 상기 제 3 산포 사이의 전압 값을 갖는 독출 전압을 상기 타겟 전압으로 하여 대응되는 메모리 셀들의 LSB가 독출되는 것을 특징으로 하는 멀티-레벨 셀 플래시 메모리 장치에서의 데이터 독출 방법.

청구항 10

플래시 메모리 장치; 및

제 1 항의 데이터 독출 방법에 의하여 상기 플래시 메모리 장치로부터 데이터를 독출하는 메모리 컨트롤러를 구비하는 메모리 시스템 장치.

명세서

발명의 상세한 설명

기술분야

본 발명은 반도체 메모리 장치 및 이의 독출 방법에 관한 것으로서, 특히 독출 시간을 줄일 수 있는 멀티-레벨 셀 플래시 메모리 장치 및 이의 독출 방법에 관한 것이다.

[0001]

배경 기술

- [0002] 플래시 메모리 장치는 전력이 차단되어도 저장된 데이터를 유지할 수 있는 불 휘발성 메모리 장치이다. 셀룰러 폰, PDA 디지털 카메라, 포터블 게임 콘솔, 그리고 MP3P와 같은 모바일 장치들의 사용 증가에 따라, 플래시 메모리 장치는 데이터 스토리지 뿐만 아니라 코드 스토리지로서 보다 널리 사용된다. 플래시 메모리 장치는, 또한, HDTV, DVD, 라우터, 그리고 GPS와 같은 홈 어플리케이션에 사용될 수 있다.
- [0003] 플래시 메모리는 하나의 메모리 셀에 한 비트의 데이터를 저장하는 SLC(Single-Level Cell) 플래시 메모리와 하나의 메모리 셀에 두 비트 이상의 데이터를 저장하는 MLC(Multi-Level Cell) 플래시 메모리로 구분된다. 최근, 데이터의 신뢰성을 보장되면서도 MLC 플래시 메모리에서의 프로그램 시간 및 독출 시간을 단축시키기 위한 다양한 방안이 논의되고 있다.

발명의 내용

해결 하고자하는 과제

- [0004] 본 발명이 이루고자하는 기술적 과제는 데이터의 신뢰성을 보장되면서도 프로그램 시간 및 독출 시간을 단축시킬 수 있는 멀티-레벨 셀 플래시 메모리 장치 및 이의 독출 방법을 제공하는 것에 있다.

과제 해결수단

- [0005] 상기 기술적 과제를 달성하기 위한 본 발명의 실시예에 따른 멀티-레벨 셀 플래시 메모리 장치에서의 데이터 독출 방법은 상기 플래시 메모리 장치의 메모리 셀들에 프로그램된 데이터의 LSB(Least Significant bit)를 독출하는 단계; 및 상기 플래시 메모리 장치의 메모리 셀들에 프로그램된 데이터의 MSB(Most Significant bit)를 독출하는 단계를 구비한다.
- [0006] 이때, 상기 LSB를 독출하는 단계 및 상기 MSB를 독출하는 단계는 각각, 상기 플래시 메모리 장치의 페이지들 중 대응되는 페이지에 속하는 메모리 셀들에 프로그램된 데이터의 MSB가 프로그램되었는지를 나타내는 MSB 플래그를 포함하여, 상기 플래시 메모리 장치의 복수의 제 1 비트 라인들에 대한 제 1 독출을 수행하는 단계; 및 상기 MSB 플래그를 이용하여 타겟 전압을 설정하고, 상기 타겟 전압을 상기 플래시 메모리 장치의 복수의 제 2 비트 라인들에 인가하여 제 2 독출을 수행하는 단계를 구비한다.
- [0007] 바람직하게는, 상기 멀티-레벨 셀 플래시 메모리 장치는, 상기 제 1 비트 라인들 및 상기 제 2 비트 라인들에 대하여 동시에 프로그램할 수 있다.
- [0008] 바람직하게는, 상기 제 1 독출을 수행하는 단계는, 상기 독출된 MSB 플래그를, 상기 플래시 메모리 장치의 메모리 셀 어레이와 별도로 구비되는 플래그 저장부에 저장하는 단계를 구비할 수 있다.
- [0009] 바람직하게는, 상기 플래시 메모리 장치가 N(N은 2 이상의 자연수)-비트 멀티-레벨 셀 플래시 메모리 장치인 경우, 상기 제 1 독출을 수행하는 단계는, 상기 N 비트를 독출하기 위한 N-1개의 서로 다른 레벨의 독출 전압들 중 하나의 독출 전압을 이용하여, 상기 MSB 플래그를 검출할 수 있다. 또한, 상기 제 2 독출을 수행하는 단계는, 상기 N 비트를 독출하기 위한 N-1개의 서로 다른 레벨의 독출 전압들 중 적어도 하나 이상의 독출 전압을 상기 타겟 전압으로 설정할 수 있다.
- [0010] 바람직하게는, 상기 MSB 플래그가 대응되는 페이지의 메모리 셀들에 상기 MSB 프로그램이 되지 아니하였음을 나타내는 경우, 상기 MSB를 독출하는 단계는, 상기 MSB 플래그의 독출과 동시에 종료될 수 있다.
- [0011] 바람직하게는, 상기 플래시 메모리 장치가 2-비트 멀티-레벨 셀 플래시 메모리 장치이고, 상기 메모리 셀에 프로그램되는 2-비트의 데이터에 대응되는 4개의 셀 산포들을, 셀 산포들의 전압 크기 순서에 따라 제 1 산포, 제 2 산포, 제 3 산포 및 제 4 산포라 할 때, 상기 제 1 산포 내지 상기 제 4 산포가 나타내는 데이터 값은 각각, "11", "01", "10" 및 "00"이고, 상기 MSB 플래그의 제 1 값이 대응되는 페이지가 MSB 프로그램이 되지 아니하는 경우를 나타내는 값이고, 제 2 값이 대응되는 페이지가 MSB 프로그램이 된 경우를 나타내는 값이라고 할 때, 각각 상기 제 1 값 및 상기 제 2 값은, 상기 제 1 산포 및 상기 제 4 산포에 대응되는 산포를 가질 수 있다.
- [0012] 이때, 상기 MSB 플래그는, 상기 제 2 산포 및 상기 제 3 산포 사이의 전압 값을 갖는 독출 전압에 의하여 독출될 수 있다. 또한, 상기 LSB를 독출하기 위한 상기 제 1 독출을 수행하는 단계는, 상기 MSB 플래그가 상기 제 1 값을 갖는 경우, 상기 제 1 산포 및 상기 제 2 산포 사이의 전압 값을 갖는 독출 전압에 의하여 대응되는 메모리

리 셀들의 LSB 가 검출되고, 상기 MSB 플래그가 상기 제 2 값을 갖는 경우, 상기 MSB 플래그와 동시에, 대응되는 메모리 셀들의 LSB가 독출될 수 있다. 상기 LSB를 독출하기 위한 상기 제 2 독출을 수행하는 단계는,

[0013] 또한, 상기 MSB 플래그가 상기 제 1 값을 갖는 경우, 상기 제 1 산포 및 상기 제 2 산포 사이의 전압 값을 갖는 독출 전압을 상기 타겟 전압으로 하여 대응되는 메모리 셀들의 LSB가 검출되고, 상기 MSB 플래그가 상기 제 2 값을 갖는 경우, 상기 제 2 산포 및 상기 제 3 산포 사이의 전압 값을 갖는 독출 전압을 상기 타겟 전압으로 하여 대응되는 메모리 셀들의 LSB가 독출될 수 있다.

발명의 실시를 위한 구체적인 내용

[0014] 본 발명과 본 발명의 동작상의 이점 및 본 발명의 실시예에 의하여 달성되는 목적을 충분히 이해하기 위해서는 본 발명의 바람직한 실시예를 예시하는 첨부 도면 및 도면에 기재된 내용을 참조하여야 한다.

[0015] 이하, 첨부한 도면을 참조하여 본 발명이 바람직한 실시예를 설명함으로써, 본 발명을 상세히 설명한다. 각 도면에 제시된 동일한 참조부호는 동일한 부재를 나타낸다.

[0016] 도 1은 본 발명의 실시예에 따른 플래시 메모리 장치를 나타내는 도면이고, 도 2는 도 1의 메모리 셀 어레이를 더 자세히 나타내는 도면이다. 도 1 및 도 2를 참조하면, 본 발명의 실시예에 따른 플래시 메모리 장치(100)는 데이터 정보를 저장하는 메모리 셀 어레이(170)를 구비한다. 도 1의 메모리 셀 어레이(170)는 도 2와 같은 메모리 블록(MBLK)을 복수개 구비할 수 있다.

[0017] 이때, 도 1의 플래시 메모리 장치(100)는 낸드 플래시 메모리 장치일 수 있다. 따라서, 도 1의 메모리 블록들은 각각 도 2에 도시되는 바와 같이, 하나의 비트 라인에 복수개의 메모리 셀들이 직렬적으로 연결되는 스트링(STR) 구조를 가질 수 있다.

[0018] 구체적으로, 메모리 블록(MBLK)의 각 스트링(STR)은 스트링 선택 트랜지스터(SST), 접지 선택 트랜지스터(GST) 및 메모리 셀들(MC0 ~ MC31)을 구비할 수 있다. 스트링 선택 트랜지스터(SST)는 스트링 선택 라인(SSL)에 의해서 온/오프가 제어되며, 드레인이 대응되는 비트 라인에 연결될 수 있다. 접지 선택 트랜지스터(GST)는 접지 선택 라인(GSL)에 의해서 온/오프가 제어되며, 소오스가 공통 소오스 라인(CSL)에 연결될 수 있다. 메모리 셀들(MC0 ~ MC31)은 각각 플로팅 게이트 트랜지스터로 구현될 수 있다.

[0019] 메모리 셀들(MC0 ~ MC31)은 스트링 선택 트랜지스터(SST)의 소오스와 접지 선택 트랜지스터(GST)의 드레인 사이에 직렬 연결되며, 각각 대응되는 워드 라인들에 의해서 온/오프가 제어될 수 있다. 복수의 비트 라인 쌍들(BLe0와 BLe0, BLe(n-1)와 BLo(n-1))이 워드 라인들(WL0 ~WL31)과 교차하도록 배열될 수 있다.

[0020] 본 발명의 실시예에 따른 플래시 메모리 장치(100)는 모든 비트 라인들에 대하여 동시에 프로그램할 수 있다. 즉, 이븐 비트라인들(BLe0 내지 BLe(n-1)) 및 오드 비트라인들(BLo0 내지 BLo(n-1))을 동시에 프로그램할 수 있다. 따라서, 프로그램에 소요되는 시간을 줄일 수 있다.

[0021] 반면, 독출 동작은 데이터의 신뢰성을 보장하기 위해, 각 비트 라인 쌍 중 하나의 비트 라인을 선택하여 수행될 수 있다. 즉, 먼저 이븐 비트라인들(BLe0 내지 BLe(n-1))을 센싱하고, 다음으로 오드 비트라인들(BLo0 내지 BLo(n-1))을 센싱할 수 있다. 독출 동작 시, 하나의 워드 라인이 두 개의 페이지를 구성함을 알 수 있다.

[0022] 다시 도 1을 참조하면, 로우 디코더(110)는 제어부(150)에 의하여 제어될 수 있다. 로우 디코더(110)는 입출력부(140)로부터 수신되는 어드레스에 응답하여 메모리 블록들 중 하나를 선택하고 선택된 메모리 블록의 행들을 활성화할 수 있다.

[0023] 칼럼 디코더 및 센싱부(130) 또한 제어부(150)에 의하여 제어될 수 있다. 독출 동작시, 칼럼 디코더 및 센싱부(130)는 입출력부(140)에 의해 제공되는 어드레스에 응답하여 페이지 버퍼부(120)에 저장된 데이터를 입출력부(140) 또는 제어부(150)로 전송할 수 있다. 예를 들어, 정상 독출 동작시, 칼럼 디코더 및 센싱부(130)는 페이지 버퍼부(120)에 저장된 데이터를 입출력부(140)로 전송할 수 있다. 반면, 검증 독출 동작시, 칼럼 디코더 및 센싱부(130)는 페이지 버퍼부(120)에 저장된 데이터를 제어부(150)로 전송할 수 있다. 제어부(150)는 칼럼 디코더 및 센싱부(130)로부터 수신된 데이터가 정상 데이터인지 여부를 판별하는 검증 동작을 수행할 수 있다. 프로그램 동작시, 칼럼 디코더 및 센싱부(130)는 입출력부(140)로부터 수신되는 프로그램 데이터를 페이지 버퍼부(120)로 전송할 수 있다.

[0024] 페이지 버퍼부(120)는 제어부(150)에 의해 제어되며, 각각 대응되는 비트 라인에 연결되는 페이지 버퍼(PG0 ~ PGn-1)를 구비할 수 있다. 전압 발생부(160)는 제어부(150)에 의해 제어되며, 플래시 메모리 장치의 프로그램,

독출, 검증 및 소거 동작에 요구되는 전압들을 생성한다.

- [0025] 계속해서 도 1 및 도 2를 참조하면, 본 발명의 실시예에 따른 플래시 메모리 장치(100)는 멀티-레벨 셀 플래시 메모리 장치일 수 있다. 예를 들어, 본 발명의 실시예에 따른 플래시 메모리 장치(100)가 2-비트 멀티-레벨 셀 플래시 메모리 장치이고, 도 3에 도시되는 바와 같은 셀 산포를 가질 수 있다.
- [0026] 즉, 본 발명의 실시예에 따른 플래시 메모리 장치(100)의 각 메모리 셀들은, 도 3에 도시되는 이레이즈 상태(E)와 세 개의 프로그램 상태(P1, P2, P3) 중 하나의 상태로 프로그램될 수 있다. 도 3은 특히, 이레이즈 상태(E)가 "11", 제 1 프로그램 상태(P1)가 "01", 제 2 프로그램 상태(P2)가 "10"의 데이터 값에 대응되고, 제 3 프로그램 상태(P3)가 "00"의 데이터 값에 대응되는 경우를 도시한다. 이때, 도 3의 제 1 독출 전압(VRD1) 내지 제 3 독출 전압(VRD2)에 의해 프로그램된 데이터가 독출될 수 있다.
- [0027] 하나의 메모리 셀이 나타내는 두 비트 중 하나는 MSB(Most Significant bit)이고 나머지 하나는 LSB(Least Significant bit)라 할 수 있다. 전술된 예에서, 이레이즈 상태(E)는 MSB가 "1"이고, LSB가 "1"이다. 또한, 제 1 프로그램 상태(P1)는 MSB가 "0"이고, LSB가 "1"이다. 마찬가지로, 제 2 프로그램 상태(P2)는 MSB가 "1" 및 LSB가 "0"이고, 제 3 프로그램 상태(P2)는 MSB 및 LSB가 모두 "0"일 수 있다.
- [0028] 이때, 설명의 편의상 LSB를 프로그램하는 동작을 LSB 프로그램이라하고, MSB를 프로그램하는 동작을 MSB 프로그램이라 한다. 일반적으로, LSB 프로그램이 수행된 후에, MSB 프로그램이 수행된다.
- [0029] 전술한 바와 같이, 본 발명의 실시예에 따른 플래시 메모리 장치(100)는 모든 비트 라인들에 대하여 동시에 프로그램을 수행할 수 있다. 따라서, 본 발명의 실시예에 따른 플래시 메모리 장치(100)의 데이터 블럭(MBLK)은 프로그램 데이터를 저장하는 노말 셀들(NC), 및 대응되는 페이지에 속하는 메모리 셀들이 MSB 프로그램되었는지를 나타내는 MSB 플래그(flag)를 저장하는 플래그 셀들(FC)을 구비할 수 있다.
- [0030] 이때, MSB 플래그는 도 4에 도시되는 바와 같이, "0" 또는 "1"의 하나의 비트값으로 나타낼 수 있다. 예를 들어, 대응되는 페이지에 속하는 메모리 셀들에 대하여 MSB 프로그램이 수행된 경우, MSB 플래그는 "0"으로 프로그램될 수 있다. 이때, MSB 플래그의 "0" 상태(P)는 도 3의 P3와 동일한 산포를 가질 수 있다.
- [0031] 반면, 대응되는 페이지에 속하는 메모리 셀들에 대하여 MSB 프로그램이 수행되지 아니하고 LSB 프로그램까지만 수행된 경우, MSB 플래그는 "1"의 값을 가질 수 있다. 이때, MSB 플래그의 "1" 상태(E)는 도 3의 이레이즈 상태(E)와 동일한 산포를 가질 수 있다.
- [0032] 전술한 바와 같이, 본 발명의 실시예에 따른 플래시 메모리 장치(100)는 각 비트 라인 쌍의 비트 라인들을 교대로 독출할 수 있다. 예를 들어, 이븐(even) 비트 라인들 BLe0 내지 BLe(n-1)에 대하여 먼저 독출한 후, 오드(odd) 비트 라인들 BLo0 내지 BLo(n-1)에 대하여 독출할 수 있다. 설명의 편의상, 이하에서는 전자를 1차 독출이라 하고, 후자를 2차 독출이라 한다.
- [0033] 도 5 및 도 6은 도 1의 플래시 메모리 장치에서의 LSB를 독출하는 방법을 설명하기 위한 도면이다. 도 5는 특히, LSB에 대한 1차 독출을 설명하기 위한 도면이고, 도 6은 도 5의 LSB에 대한 1차 독출 후에 수행되는 2차 독출을 설명하기 위한 도면이다.
- [0034] 도 1 및 도 5를 참조하면, 본 발명의 실시예에 따른 플래시 메모리 장치(100)는 먼저, 제 1 프로그램 상태(P1)와 제 2 프로그램 상태(P2) 사이의 전압값을 갖는 2차 독출 전압(VRD2)을 이븐 비트 라인들(BLe0 내지 BLe(n-1))에 인가한다(㉠). 이와 동시에, MSB 플래그의 값이 검출된다. 전술한 바와 같이, MSB 플래그의 셀 산포는 도 4와 같기 때문이다. MSB 플래그에 의해, 대응되는 페이지에 속하는 메모리 셀들이 MSB 프로그램되었는지를 알 수 있다.
- [0035] 이때, 본 발명의 실시예에 따른 플래시 메모리 장치(100)는 검출된 MSB 플래그를 저장하기 위한 플래그 저장부(180)를 구비할 수 있다. 도 1은 플래그 저장부(180)가 칼럼 디코더 및 센싱부(130)와 MSB 플래그를 송수신하는 것으로 도시하고 있다. 그러나, 이에 한정되는 것은 아니고, 플래그 저장부(180)는 칼럼 디코더 및 센싱부(130) 또는 페이지 버퍼부(120)에 포함되어 존재할 수 있다. 또한, 플래그 저장부(180)는 제어부(150)에 의해 제어될 수 있다.
- [0036] 다시 도 1 및 도 5를 참조하면, MSB 플래그가 "0"인 경우, 즉 대응되는 페이지에 속하는 메모리 셀들이 MSB 프로그램까지 수행된 경우, 도 5의 (a)에 도시되는 바와 같이, 동작 ㉠에 의하여, 독출하고자 하는 데이터의 LSB가 "0"인지 "1"인지가 독출된다. 따라서, 1차 독출이 종료될 수 있다.

- [0037] 반면, MSB 플래그가 "1"인 경우, 즉 대응되는 페이지에 속하는 메모리 셀들이 MSB 프로그램되지 아니하고 LSB 프로그램되지만 수행된 경우, 도 5의 (b)에 도시되는 바와 같이, 이레이즈 상태(E)와 제 1 프로그램 상태(P1) 사이의 전압값을 갖는 1차 독출 전압(VRD1)을 대응되는 비트 라인에 인가하는 동작 ②가 추가적으로 수행될 수 있다.
- [0038] 대응되는 메모리 셀들이 LSB 프로그램되지만 수행된 경우, 도 5의 (b)와 같은 셀 산포를 갖기 때문에, 메모리 셀의 LSB는 동작 ②에 의해 독출될 수 있다. 도 5의 (b)를 참조하면, "1"의 값을 갖는 이레이즈 상태(E)는 도 3의 이레이즈 상태(E)와 동일한 산포를 갖고, "0"의 값을 갖는 프로그램 상태(P)는 도 3의 제 1 프로그램 상태(P1) 및 제 2 프로그램 상태(P2)에 걸친 산포를 가질 수 있다.
- [0039] 이렇게 LSB를 독출하기 위한 이븐 비트 라인들(BLe0 내지 BLe(n-1))에 대한 1차 독출 동작이 수행되면, 다음으로 1차 독출시 플래그 저장부(180)에 저장된 MSB 플래그를 이용하여 도 6에 도시되는 바와 같이, 오드(odd) 비트 라인들(BLo0 내지 BLo(n-1))에 대한 2차 독출이 수행된다.
- [0040] 구체적으로, 1차 독출에서 독출된 MSB 플래그가 대응되는 메모리 셀들이 MSB 프로그램되었음을 나타내는 경우, 도 6의 (a)에 도시되는 바와 같이, 타겟 전압(VTAG)인 제 2 독출 전압(VRD2)을 오드 비트 라인들(BLo0 내지 BLo(n-1))에 한 번만 인가(①)함으로써, 독출하고자 하는 데이터의 LSB가 "0"인지 "1"인지가 독출될 수 있다.
- [0041] 반면, 1차 독출에서 독출된 MSB 플래그가 대응되는 셀이 MSB 프로그램되었음을 나타내는 경우, 도 6의 (b)에 도시되는 바와 같이, 타겟 전압(VTAG)인 제 1 독출 전압(VRD1)을 오드 비트 라인들(BLo0 내지 BLo(n-1))에 한 번만 인가(①)함으로써, 독출하고자 하는 데이터의 LSB가 "0"인지 "1"인지가 독출될 수 있다.
- [0042] 도 7 내지 도 9는 도 1의 플래시 메모리 장치에서의 MSB를 독출하는 방법을 설명하기 위한 도면이다. 도 7 및 도 8은 특히, MSB에 대한 1차 독출을 설명하기 위한 도면이고, 도 9는 도 7 또는 도 8의 MSB에 대한 1차 독출 후에 수행되는 2차 독출을 설명하기 위한 도면이다.
- [0043] 도 1 및 도 7을 참조하면, 본 발명의 실시예에 따른 플래시 메모리 장치(100)는 먼저, 제 2 독출 전압(VRD2)을 이븐 비트 라인들(BLe0 내지 BLe(n-1))에 인가한다(①). 전술한 바와 같이, 동작 ①에 의하여 MSB 플래그 값이 검출된다.
- [0044] 만약, MSB 플래그가 도 7의 (b)와 같다면, 본 발명의 실시예에 따른 플래시 메모리 장치(100)는 MSB 플래그를 플래그 저장부(180)에 저장하고, 1차 독출 동작을 종료한다. 도 7의 (b)는 LSB 프로그램되지만 수행된 경우이므로, 독출하고자 하는 MSB가 존재하지 않기 때문이다. 이때, 플래시 메모리 장치(100)는 대응되는 페이지 버퍼를 리셋할 수 있다.
- [0045] 반면, MSB 프로그램된 상태인 도 7의 (a)의 경우, 제 1 독출 전압(VRD1) 및 제 3 독출 전압(VRD2)을 순차적으로 이븐 비트 라인들(BLe0 내지 BLe(n-1))에 인가하여 MSB를 독출할 수 있다.
- [0046] 다만, 이에 한정되는 것은 아니고, 도 8에 도시되는 바와 같이, 먼저 제 1 독출 전압(VRD1)을 이븐 비트 라인들(BLe0 내지 BLe(n-1))에 인가하고, 다음으로 제 2 독출 전압(VRD2)을 인가할 수 있다. 이때, 제 2 독출 전압(VRD2)에 의해 MSB 플래그의 값이 검출되고, 도 8의 (a)와 같이 MSB 프로그램된 경우 제 3 독출 전압(VRD2)을 인가함으로써 대응되는 메모리 셀의 MSB를 독출할 수 있다.
- [0047] 반면, 도 8의 (b)와 같이 MSB 프로그램되지 아니한 경우, MSB 독출을 위한 동작을 중단할 수 있다. 이때, 플래시 메모리 장치(100)는 대응되는 페이지 버퍼를 리셋할 수 있다.
- [0048] 이렇게 MSB를 독출하기 위한 이븐 비트 라인들(BLe0 내지 BLe(n-1))에 대한 1차 독출 동작이 수행되면, 다음으로 1차 독출시 플래그 저장부(180)에 저장된 MSB 플래그를 이용하여 도 8에 도시되는 바와 같이, 오드 비트 라인들(BLo0 내지 BLo(n-1))에 대한 2차 독출이 수행된다.
- [0049] 도 1 및 도 9의 (a)를 참조하면, 본 발명의 실시예에 따른 플래시 메모리 장치(100)는 MSB 플래그에 의해 대응되는 페이지의 메모리 셀들이 MSB 프로그램되었음을 알 수 있으므로, 제 1 독출 전압(VRD1) 내지 제 3 독출 전압(VRD3)을 오드 비트 라인들(BLo0 내지 BLo(n-1))에 순차적으로 인가한다(①~③). 다만, 이에 한정되는 것은 아니고 제 1 독출 전압(VRD1) 내지 제 3 독출 전압(VRD3)의 인가 순서를 달리할 수도 있다.
- [0050] 반면, 도 9의 (b)에 도시되는 바와 같이, 본 발명의 실시예에 따른 플래시 메모리 장치(100)는 MSB 플래그에 의해 대응되는 페이지의 메모리 셀들이 MSB 프로그램되지 아니함을 알 수 있으므로, MSB를 독출하기 위한 동작을 중단할 수 있다. 이때, 플래시 메모리 장치(100)는 대응되는 페이지 버퍼를 리셋할 수 있다.

- [0051] 이렇듯 본 발명의 실시예에 따른 플래시 메모리 장치는 모든 비트 라인에 대하여 동시에 프로그램하고, 독출을 위한 동작을 최소화함으로써, 멀티-레벨 셀 플래시 메모리에서의 퍼포먼스를 향상시킬 수 있다.
- [0052] 도 10은 본 발명의 실시예에 따른 플래시 메모리 장치를 구비하는 컴퓨팅 시스템 장치를 나타내는 블록도이다.
- [0053] 본 발명에 따른 컴퓨팅 시스템 장치(1000)는 버스(1060)에 전기적으로 연결된 마이크로프로세서(1030), 사용자 인터페이스(1050), 그리고 메모리 컨트롤러(1012) 및 플래시 메모리 장치(1011)를 구비하는 메모리 시스템 장치(1010)을 포함할 수 있다. 플래시 메모리 장치(1011)에는 마이크로프로세서(1030)에 의해서 처리된/처리될 N-비트 데이터(N은 1 또는 그 보다 큰 정수)가 메모리 컨트롤러(1012)를 통해 저장될 것이다. 본 발명에 따른 컴퓨팅 시스템 장치(1000)는 나아가, 램(1040) 및 파워 공급 장치(1020)을 더 구비할 수 있다.
- [0054] 본 발명에 따른 컴퓨팅 시스템 장치(1000)가 모바일 장치인 경우, 컴퓨팅 시스템의 동작 전압을 공급하기 위한 배터리 및 베이스밴드 칩셋(baseband chipset)과 같은 모듈이 추가적으로 제공될 수 있다. 또한, 본 발명에 따른 컴퓨팅 시스템 장치(1000)에는 응용 칩셋(application chipset), 카메라 이미지 프로세서(Camera Image Processor: CIS), 모바일 디램, 등이 더 제공될 수 있음은 이 분야의 통상적인 지식을 습득한 자들에게 자명한 사항인 바, 더 자세한 설명은 생략한다.
- [0055] 바람직하게는, 메모리 컨트롤러(1012)와 플래시 메모리 장치(1011)는, 예를 들면, 데이터를 저장하는 데 불 휘발성 메모리를 사용하는 SSD(Solid State Drive/Disk)를 구성할 수 있다.
- [0056] 상기에서 설명된 본 발명에 따른 플래시 메모리 장치는 도 11에 도시되는 바와 같이, 메모리 컨트롤러(1120)와 함께, 메모리 카드(1100)를 구성할 것이다. 이러한 경우, 메모리 컨트롤러(1120)는 USB, MMC, PCI-E, SATA, PATA, SCSI, ESDI, 그리고 IDE 등과 같은 다양한 인터페이스 프로토콜들 중 하나를 통해 외부(예를 들면, 호스트)와 통신하도록 구성될 것이다. 도 11의 메모리 컨트롤러(1120)에 구비되고 있는 CPU(1122), SRAM(1121), HOST I/F(1123), ECC(1124), MEMORY I/F(1125) 및 버스(1126)의 구조 및 동작은 이 분야의 통상적인 지식을 습득한 자들에게 자명한 사항인 바, 더 자세한 설명은 생략한다.
- [0057] 상기에서 설명된 본 발명에 따른 플래시 메모리 장치는 다양한 형태들의 패키지를 이용하여 실장될 수 있다. 예를 들면, 본 발명에 따른 플래시 메모리 장치는 PoP(Package on Package), Ball grid arrays(BGAs), Chip scale packages(CSPs), Plastic Leaded Chip Carrier(PLCC), Plastic Dual In-Line Package(PDIP), Die in Waffle Pack, Die in Wafer Form, Chip On Board(COB), Ceramic Dual In-Line Package(CERDIP), Plastic Metric Quad Flat Pack(MQFP), Thin Quad Flatpack(TQFP), Small Outline(SOIC), Shrink Small Outline Package(SSOP), Thin Small Outline(TSOP), Thin Quad Flatpack(TQFP), System In Package(SIP), Multi Chip Package(MCP), Wafer-level Fabricated Package(WFP), Wafer-Level Processed Stack Package(WSP), 등과 같은 패키지들을 이용하여 실장될 수 있다.
- [0058] 이상에서와 같이 도면과 명세서에서 최적 실시예가 개시되었다. 여기서 특정한 용어들이었으나, 이는 단지 본 발명을 설명하기 위한 목적에서 사용된 것이지 의미 한정이나 특허청구범위에 기재된 본 발명의 범위를 제한하기 위하여 사용된 것은 아니다.
- [0059] 예를 들어, 이상에서는 2-비트 멀티-레벨 셀 플래시 메모리 장치 및 이의 독출 방법만을 기재하고 있으나, 이에 한정되는 것은 아니고 3 비트 이상의 멀티-레벨 셀 플래시 메모리 장치 및 이의 독출 방법에도 본 발명의 기술적 사상이 적용될 수 있을 것이다.
- [0060] 그러므로 본 기술분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호범위는 첨부된 특허청구범위의 기술적 사상에 의해 정해져야 할 것이다.

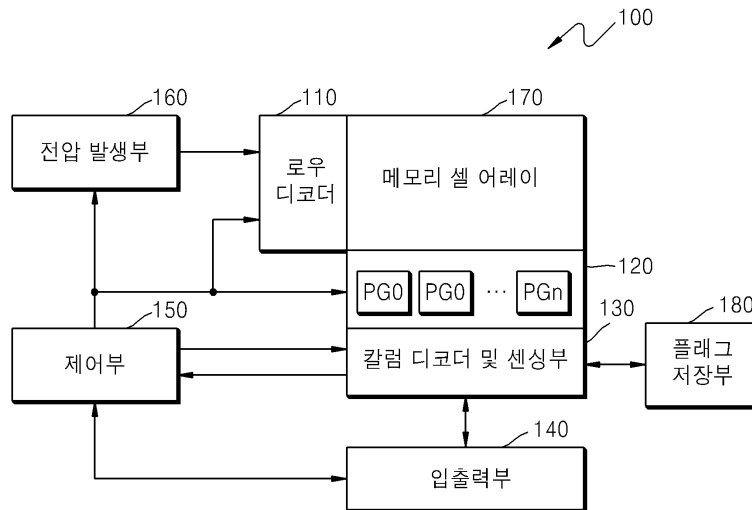
도면의 간단한 설명

- [0061] 본 발명의 상세한 설명에서 인용되는 도면을 보다 충분히 이해하기 위하여 각 도면의 간단한 설명이 제공된다.
- [0062] 도 1은 본 발명의 실시예에 따른 플래시 메모리 장치를 나타내는 도면이다.
- [0063] 도 2는 도 1의 메모리 셀 어레이를 더 자세히 나타내는 도면이다.
- [0064] 도 3은 2-비트 MLC 플래시 메모리 장치에서의 셀 산포의 예를 나타내는 도면이다.
- [0065] 도 4는 MSB 플래그의 셀 산포의 예를 나타내는 도면이다.

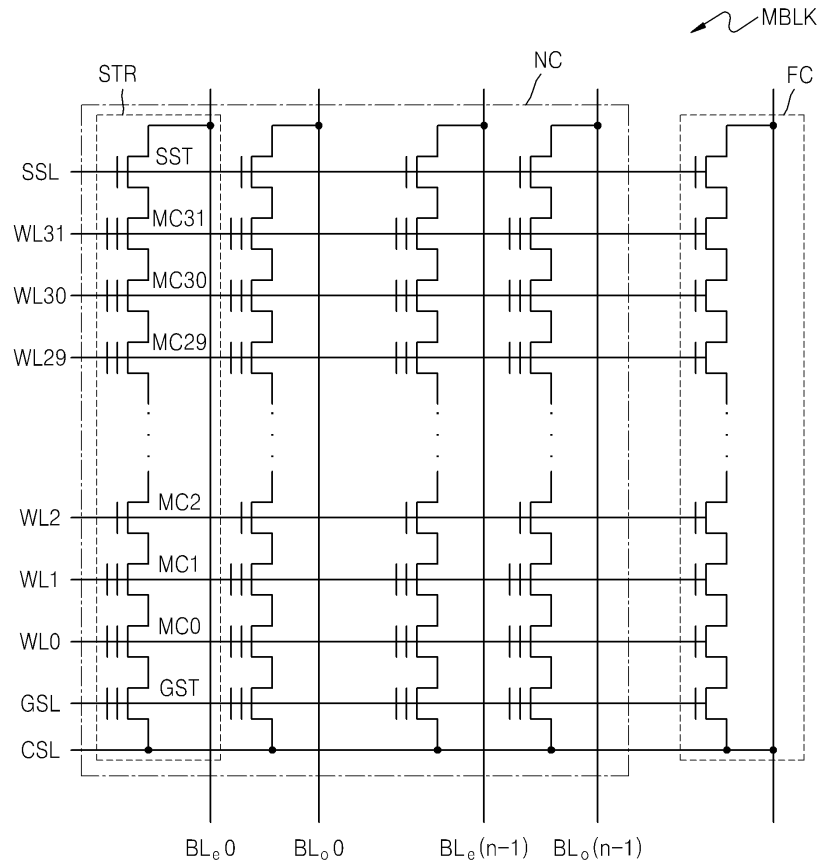
- [0066] 도 5는 도 1의 플래시 메모리 장치에서의 LSB에 대한 1차 독출의 예를 설명하기 위한 도면이다.
- [0067] 도 6는 도 1의 플래시 메모리 장치에서의 도 5의 LSB에 대한 1차 독출 후에 수행되는 2차 독출의 예를 설명하기 위한 도면이다.
- [0068] 도 7은 도 1의 플래시 메모리 장치에서의 MSB에 대한 1차 독출의 예를 설명하기 위한 도면이다.
- [0069] 도 8은 도 7과 다른 MSB에 대한 1차 독출의 예를 설명하기 위한 도면이다.
- [0070] 도 9는 도 1의 플래시 메모리 장치에서의 도 7 또는 도 8의 MSB에 대한 1차 독출 후에 수행되는 2차 독출을 설명하기 위한 도면이다.
- [0071] 도 10은 본 발명의 실시예에 따른 플래시 메모리 장치를 구비하는 컴퓨팅 시스템 장치를 나타내는 블록도이다.
- [0072] 도 11은 본 발명의 실시예에 따른 플래시 메모리 장치를 구비하는 메모리 카드를 나타내는 블록도이다.

도면

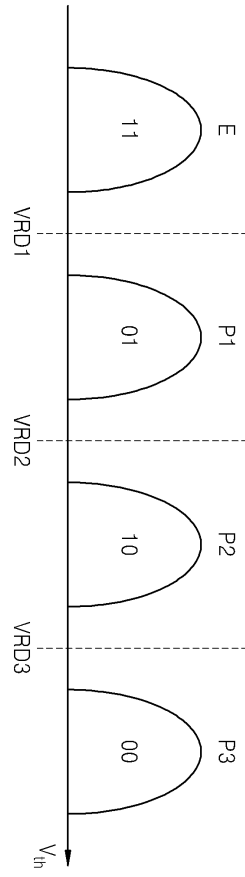
도면1



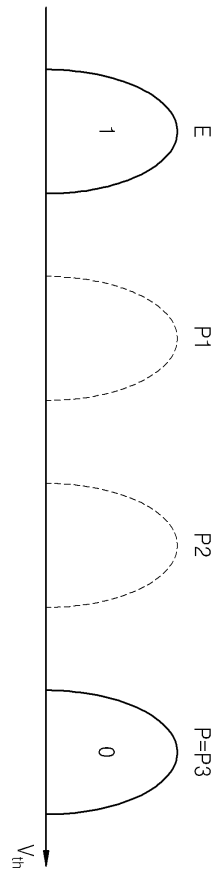
도면2

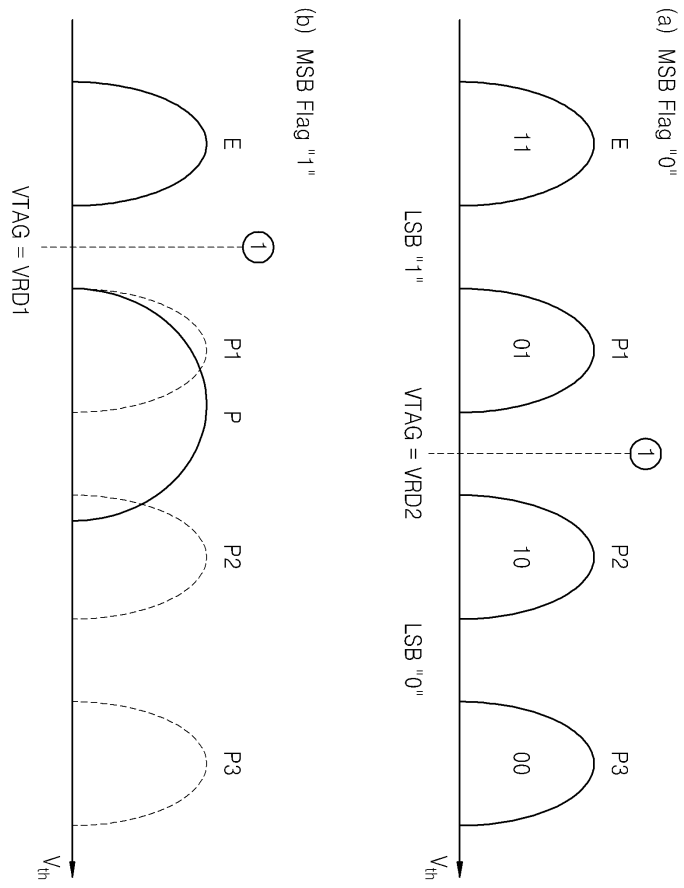


도면3



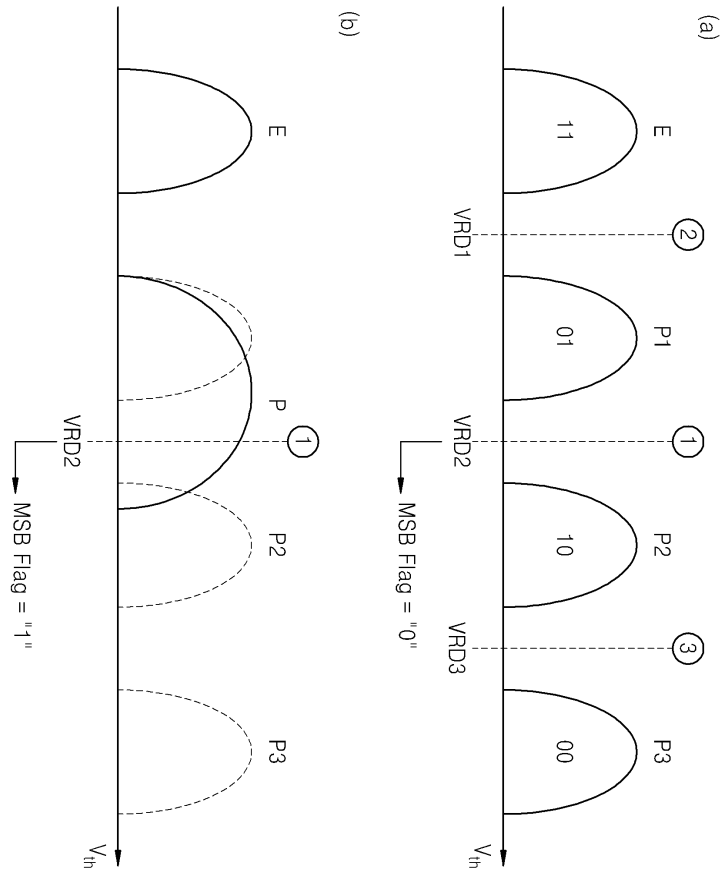
도면4



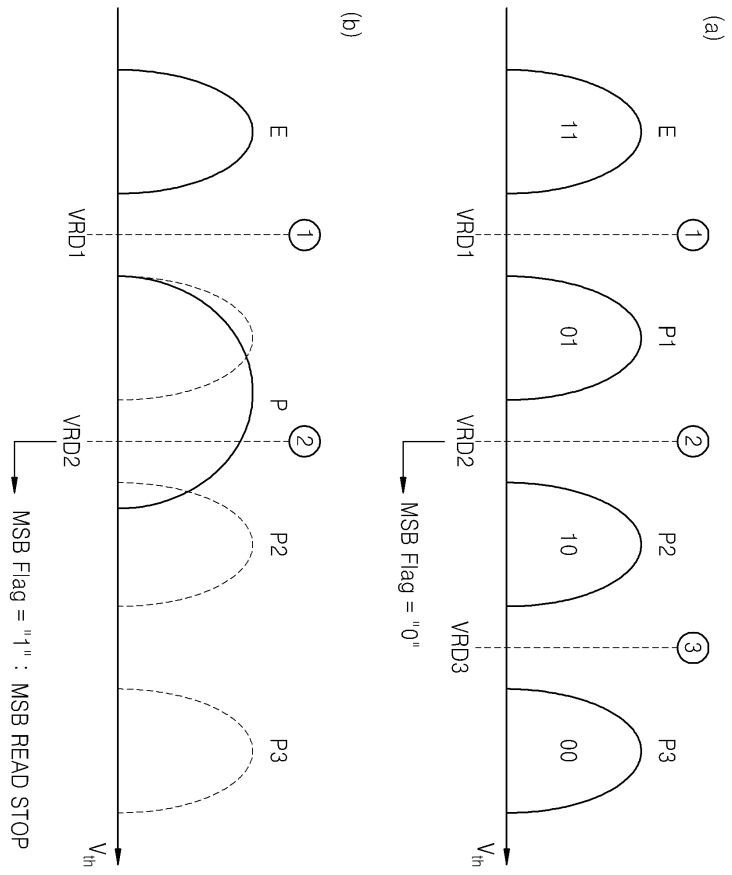


도면6

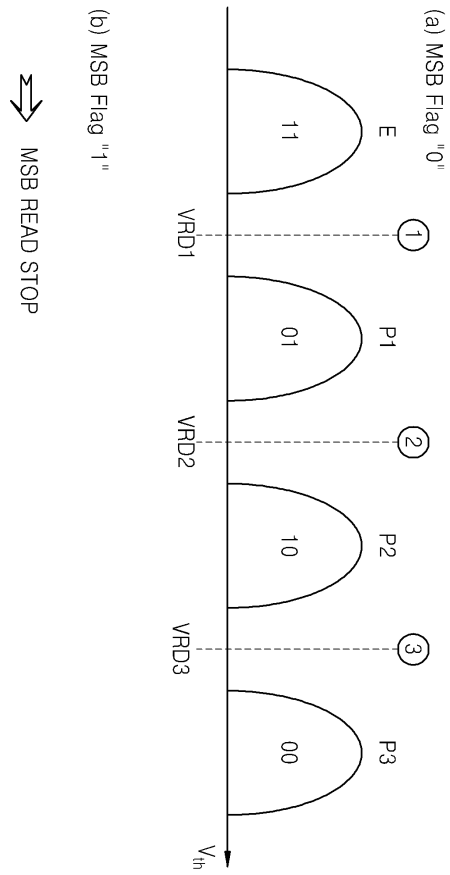
도면7



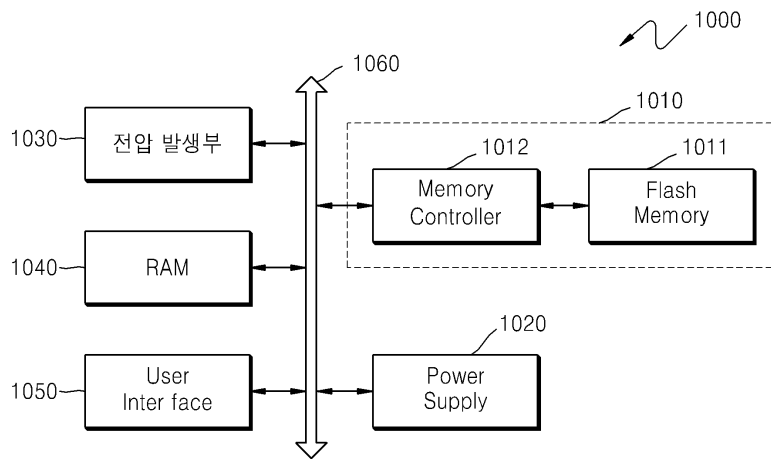
도면8



도면9



도면10



도면11

