

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第4区分

【発行日】令和3年9月24日(2021.9.24)

【公開番号】特開2019-102117(P2019-102117A)

【公開日】令和1年6月24日(2019.6.24)

【年通号数】公開・登録公報2019-024

【出願番号】特願2018-186436(P2018-186436)

【国際特許分類】

G 1 1 C	13/00	(2006.01)
H 0 1 L	21/8239	(2006.01)
H 0 1 L	27/105	(2006.01)
H 0 1 L	27/10	(2006.01)
H 0 1 L	45/00	(2006.01)

【F I】

G 1 1 C	13/00	3 4 0
G 1 1 C	13/00	4 0 0 D
H 0 1 L	27/105	4 4 9
H 0 1 L	27/10	4 8 1
H 0 1 L	45/00	A
G 1 1 C	13/00	2 1 0
G 1 1 C	13/00	2 7 0 B
G 1 1 C	13/00	2 7 0 F

【手続補正書】

【提出日】令和3年8月10日(2021.8.10)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

スイッチ素子、及び前記スイッチ素子と連結され、相変化物質を有する情報格納素子を有するメモリセルを複数含むメモリセルアレイと、

前記メモリセルに第1読み出し電流を入力して第1読み出し電圧を検出し、前記メモリセルに第2読み出し電流を入力して第2読み出し電圧を検出し、前記第1読み出し電圧を用いて判断した前記メモリセルの第1状態が、前記第2読み出し電圧を用いて判断した前記メモリセルの第2状態と互いに異なると、前記第2読み出し電圧を検出した後に、前記情報格納素子の抵抗値を低くする補償電流を前記メモリセルに入力するメモリコントローラと、を含むメモリ装置。

【請求項2】

前記メモリコントローラは、前記第1状態がセット状態であり、前記第2状態がリセット状態であると、前記補償電流を前記メモリセルに入力する、請求項1に記載のメモリ装置。

【請求項3】

前記メモリコントローラは、前記補償電流を入力する前記メモリセルの状態を前記セット状態であると判断する、請求項2に記載のメモリ装置。

【請求項4】

前記メモリコントローラは、前記第1読み出し電圧と前記第2読み出し電圧との差に基

づいて、前記補償電流の大きさ及び前記補償電流の入力時間のうち少なくとも一つを調節する、請求項 1 に記載のメモリ装置。

【請求項 5】

前記補償電流の入力時間は、前記第 1 読み出し電流及び前記第 2 読み出し電流のそれの入力時間より長い、請求項 4 に記載のメモリ装置。

【請求項 6】

前記メモリコントローラは、前記第 1 状態と前記第 2 状態とが同一であり、前記第 2 読み出し電圧と前記第 1 読み出し電圧との差が所定の基準値より大きいと、前記補償電流を前記メモリセルに入力する、請求項 1 に記載のメモリ装置。

【請求項 7】

スイッチ素子、及び前記スイッチ素子と連結され、相変化物質を有する情報格納素子を有するメモリセルを複数含むメモリセルアレイと、

前記メモリセルに読み出し電流を入力して第 1 読み出し電圧及び第 2 読み出し電圧を二回の読み出し動作の間に順次に検出し、前記第 1 読み出し電圧に基づいて前記メモリセルがセット状態であると判断され、前記第 2 読み出し電圧に基づいて前記メモリセルがリセット状態であると判断されると、前記メモリセルを前記セット状態に設定する補償電流を前記メモリセルに入力するメモリコントローラと、を含むメモリ装置。

【請求項 8】

セット状態及びリセット状態のいずれか一つの状態を有する複数のメモリセルを有するメモリセルアレイと、

前記メモリセルアレイに対する読み出し動作を行う間に、前記複数のメモリセルの中から前記セット状態を有する第 1 メモリセルを選択し、前記第 1 メモリセルの中から前記リセット状態に転換された第 2 メモリセルを選択し、前記第 2 メモリセルを前記セット状態に設定する補償電流を前記第 2 メモリセルに入力するメモリコントローラと、を含むメモリ装置。

【請求項 9】

前記メモリコントローラは、前記複数のメモリセルに読み出し電流が入力される間に、前記第 1 メモリセルを選択するための 1 次センシングと、前記第 2 メモリセルを選択するための 2 次センシングを順次に行う、請求項 8 に記載のメモリ装置。

【請求項 10】

前記メモリコントローラは、前記読み出し電流のデベロップ区間の間に、前記 1 次センシング及び前記 2 次センシングを順次に行う、請求項 9 に記載のメモリ装置。