(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.[6]
G09G 3/36

(11) 공개번호 특1998-064812
(43) 공개일자 1998년10월07일

(21) 출원번호 특1997-078597
(22) 출원일자 1997년12월30일

(30) 우선권주장 8-358951 1996년12월30일 일본(JP)
(71) 출원인 가부시키가이샤한도오따이에네루기켄큐쇼 야마자끼순페이
일본국 가나가와껜 아쓰기시 하세 398
(72) 발명자 고야마준
일본국 가나가와켄 아쓰기시 하세 398가부시키가이샤 한도오따이 에네루기켄큐쇼
오타니히사시
일본국 가나가와켄 아쓰기시 하세 398가부시키가이샤 한도오따이 에네루기켄큐쇼 내
(74) 대리인 황의만

심사청구 : 없음

(54) 표시 장치 및 그의 구동 방법

요약

본 발명은 입력이 되는 디지털 화상 신호로 계조 표시를 실행하기 위한 액티브 매트릭스 표시 장치의 구조를 간단화한다. 다중 단계 계조의 표시, 예를 들어서 64 단계 계조를 나타내기 위해서, 1 라인 기간을 분할함으로써 얻어진 8개 기간에서 8종의 계조 전압이 선택된다. 여기서, 8종의 계조 전압에 관련된 정보 및 8종의 선택 시간에 관련된 정보는 디지털 디코더에 공급된다. 정보에 기초하여, 정해진 시간에 따라서 계조 전압이 선택된다. 이에 따라, 64 단계 계조를 표시할 수 있다. 상기 구조에서, 1 기간에 계조 전압은 단지 8 단계이기 때문에, 회로의 구조가 간단해질 수 있다.

대표도

도1

명세서

도면의 간단한 설명

도 1은 본 발명의 실시예로써 액티브 매트릭스 액정 표시 장치의 개략 구조를 나타낸다;

도 2는 공급된 계조 전압과 그의 공급 시간 사이의 관계를 나타낸다;

도 3은 통상적인 액티브 매트릭스 액정 표시 장치의 개략 구조를 나타낸다;

도 4는 시프트 레지스터 회로를 개략적으로 나타낸다;

도 5는 메모리 회로를 개략적으로 나타낸다;

도 6은 D/A 컨버터 회로를 개략적으로 나타낸다;

도 7은 D/A 컨버터 회로를 개략적으로 나타낸다;

도 8은 D/A 컨버터 회로에 신호 공급하는 시간을 나타낸다;

도 9는 박막 트랜지스터의 제조 공정을 나타낸다;

도 10은 박막 트랜지스터의 제조 공정을 나타낸다; 그리고

도 11은 액티브 매트릭스 액정 표시 장치를 이용하는 장치의 예를 나타낸다.

* 도면의 주요부분에 대한 부호의 설명*

701 : 석영 기판 702 : 비정질 규소막 703 : 마스크

704,705 : 개구706 : 결정 성장 방향

707,708,709 : 박막 트랜지스터 활성층 710 : 게이트 절연막

711,712 : 게이트 전극　　713 : 게이트 전극(게이트 신호 라인)

714,719,720 : 소스 영역　　715,718,721 : 채널 영역

716,717,722 : 드레인 영역　　723 : 질화 규소막

724,730 : 폴리이미드 수지막 725,727 : 소스 전극(소스 배선)

726 : 드레인 전극(드레인 배선)　　728 : 소스 전극(소스 신호 라인)

729 : 드레인 전극　　731 : 화소 전극(ITO 전극)

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 매트릭스에 화소가 배치되게 함으로써 화상이 표시되는 표시 장치에 관한 것이다. 예를 들어서, 본 명세서에 개시된 본 발명은 액티브 매트릭스 액정 표시 장치 및 EL(전계-발광) 표시에 이용된다.

보편적으로, 액티브 매트릭스 액정 표시 장치는 공지되어 있다. 상기 표시 장치는 스위칭을 위한 박막 트랜지스터가 수백 × 수백개 이상의 매트릭스에 배치된 각각의 화소 전극에 배치되도록 구성되고, 각각의 화소 전극에 보유된 전기 전하는 박막 트랜지스터에 의해 제어된다.

고질의 화상을 나타내기 위하여, 얼마나 미세한 계조(階調) 표시가 이루어질 수 있는지가 중요하다.

도 3은 고전적 액티브 매트릭스 액정 표시 장치의 구조를 나타낸다. 일반적으로 주변 구동 회로로 간주되는 시프트 레지스터 및 버퍼 회로는 기판 상에 외부형 IC 회로가 배치됨으로써 구성된다.

또한, 유리 기판 상에 형성된 비정질 반도체를 이용한 박막 트랜지스터(1)가 액티브 매트릭스 회로 각각의 화소에 배치된다. 화소 전극, 액정 및 카운터 전극을 포함하는 액정 셀(2)이 각각의 박막 트랜지스터(1)와 연결된다.

기판으로서 석영이 이용되고 박막 트랜지스터가 결정성 반도체막에 형성되는 또다른 구조가 또한 공지되었다. 이 경우에, 주변 구동 회로 및 액티브 매트릭스 회로는 석영 기판 상에 형성된 박막 트랜지스터를 포함한다.

박막 트랜지스터가 레이저 어닐링을 이용함으로써 유리 기판상에 결정성 반도체막에 형성되는 기술이 또한 공지되었다. 그러한 기술로 유리 기판 상에 액티브 매트릭스 회로 및 주변 구동 회로 직접화가 가능하다.

도 3에 나타낸 구조에서, 소스 드라이버의 시프트 레지스터(수평 주사용 시프트 레지스터) 회로(11)로부터의 신호에 의해서, 화상 신호 라인(12)에 공급되는 화상 신호(13)가 도 3B에 나타낸 시간에 따라 선택된다. 그후, 정해진 화상 신호가 대응하는 소스 신호 라인(14)에 공급된다.

소스 신호 라인(14)에 공급되는 화상 신호(13)는 정해진 화소 전극에 기록되는 박막 트랜지스터(1)에 의해 선택된다.

박막 트랜지스터는 도시되지 않은 게이트 드라이버의 시프트 레지스터(수직 주사용 시프트 레지스터)로부터의 게이트 신호 라인(15)을 경유하여 공급되는 선택 신호에 따라 작동한다.

소스 드라이버의 시프트 레지스터(11) 및 게이트 드라이버의 시프트 레지스터로부터의 신호에 근거하여 알맞은 시간 설정에 따라 상기 언급된 동작이 연속적이고 반복적으로 실행됨으로써, 정보가 매트릭스 형상으로 배치된 각각의 화소에 배치되도록 연속적으로 기록된다.

1 화상에 대해 화소 정보가 기록된 후에, 차후의 화상을 위한 화소 정보가 기록된다. 이 방법으로, 화상들이 차례로 표시된다. 전형적으로, 1 화상에 대한 정보의 기록은 1 초당 30회 또는 60회 실행된다.

상기 동작에서, 계조 표시를 실행하기 위해서, 화상 신호는 필요 계조에 대응하는 신호를 포함해야 하는 것이 요구된다.

장치에 공급된 신호가 아날로그 신호인 경우에, 신호는 계조 표시를 위해 필요한 신호를 포함하기 때문에, 도 3A에 나타낸 구조 일부 범위에서 계조를 표시할 수 있다.

그러나, 자기 기록 매체, 디지털 회로 또는 그와 같은 것으로부터의 디지털 신호에 근거한 표시가 실행될 경우에, 도 3A에 나타낸 구조에서 문제가 발생된다.

기본 신호가 디지털인 경우, 도 3B에 나타낸 아날로그 화상 신호는 D/A 컨버터에 의해 생산되어야 한다.

휴대용 정보 처리 단말기 또는 그와 같은 것에 대한 필요 계조 단계수는 64 이상이다. 그러나, 계조 64 단계에 대한 정보를 포함하는 화상 신호가 D/A 컨버터에 의해 생산되는 경우, D/A 컨버터의 구조는 복잡한 것이 요구되어, 고 비용의 문제가 발생된다.

특히 표시 장치가 고 집적화된 경우, D/A 컨버터는 또한 박막 트랜지스터 패널 상에 형성되는 것이 요구된다. 그러나 상기 설명된 64 계조 단계에 대한 정보 생산을 위해 박막 트랜지스터를 사용하여 D/A 컨버터를 형성하는 것은 어렵다.

예를 들어서, XGR 규격(1024×768 화소)은 초당 화소 60회의 기록이 행해질 것으로 생각된다. 이 경우

에,((1/60)/768)sec, 즉, 1 라인에서 1번째에서 1024번째 소스 신호 라인에 신호가 차례로 공급되는데 21.7μsec가 소요된다.

또한,n 번째 단의 시프트 레지스터가 작동을 시작하는 시간에서 (n+1)번째 단의 시프트 레지스터가 작동을 시작하는 시간의 기간은 1/1024, 즉 21.2 nsec이고, 이는 47MHz 이상의 동작 속도가 요구된다는 것을 의미한다.

약 47MHz의 동작 속도에서 64 계조 단계에 대응하는 아날로그 신호가 생성되더라도 D/A 컨버터에 있어서는 무리가 된다. 따라서, 박막 트랜지스터와 같은 능력을 갖춘 D/A 컨버터를 형성하는 것은 매우 어렵다.

발명이 이루고자하는 기술적 과제

따라서, 본 명세서에 공개된 본 발명은 입력 신호로서 디지털 신호로 갖는 화상을 표시하기 위한 액티브 매트릭스형 표시 장치로서, 비교적 간단한 회로 구조를 갖는 64 단계 이상의 계조 표시를 실행할 수 있는 액티브 매트릭스형 표시 장치 구조를 제공하는데 목적이 있다.

본 발명의 일면에 따르면, 액티브 매트릭스형 표시 장치는 :

격자형으로 배치된 게이트 신호 라인 및 소스 신호 라인;

게이트 신호 라인 및 소스 신호 라인의 교점 근처에 배치된 하나 이상의 박막 트랜지스터; 및

각각의 소스 신호 라인에 제공된 소스 신호 라인에 공급되는 계조 전압을 선택하는 수단을 포함하고,

여기서 계조 전압 선택 수단에 의한 계조 전압의 선택은 1 라인 기간으로 분할함으로써 얻어진 다수의 분할된 기간 중의 하나를 선택하고 분할된 각각의 기간에 설정된 계조 전압 선택함으로써 실행된다.

상기 설명된 구조의 구체적 예를 도 1에 나타냈다. 도 1에 나타낸 구조에서, 계조 전압 선택 수단으로서, 선택되고 난후 디지털 디코더에 공급된 계조 전압 정보를 취하는 메모리 1 및 메모리 2, 및 전압을 선택하기 위한 D/A 컨버터를 나타낸다.

상기 설명된 구조에서, 소스 신호 라인에 공급될 계조 전압은 1 라인 기간의 분할수 N과 1 라인 기간을 분할한 각각의 기간에 설정된 계조 전압 단계의 수 M과의 적(積)(N×M) 사이에서 선택된다.

예를 들어서, 도 2는 1 라인 기간을 8 기간으로 분할하고 소스 신호 라인에 공급되는 전압이 각각 분할된 기간에 계조 전압이 각각 분할된 기간에 설정된 8 단계 계조 전압 사이에서 선택되는 경우에 D/A 컨버터에 의해 선택되는 계조 전압을 공급 시간을 나타낸다.

도 2에 나타낸 계조 전압 공급 시간이 적용되는 경우에, 8×8=64 단계인 계조가 표시될 수 있다.

상기 설명된 구조에서, 화소 전극에 정보를 기록하기 위해 화소에 배치된 박막 트랜지스터에 요구되는 시간은 분할된 1 기간의 길이보다 짧아야 한다.

상기 설명된 구조에서, 계조 전압 선택을 위한 수단은 :

1 라인 기간으로 분할됨으로써 설정된 기간 사이에 선택된 기간에 관련된 정보; 및

선택된 분할 기간에 설정된 다수의 계조 전압 단계 사이에서 선택되는 계조 전압 단계에 관련된 정보에 의해 제어되고,

정해진 시간에 따라 정해진 계조 전압 단계가 선택된다.

본 발명의 또다른 면에 따르면, 액티브 매트릭스형 표시 장치는 :

격자형으로 배치된 게이트 신호 라인 및 소스 신호 라인;

상기 게이트 신호 라인 및 소스 신호 라인의 교점 근처에 배치된 하나 이상의 박막 트랜지스터; 및

각 소스 신호 라인에 대해 소스 신호 라인에 공급되는 계조 전압을 선택하는 수단을 포함하고 :

상기 수단에 의한 계조 전압 선택은 1 라인 기간을 N으로 분할함으로 설정된 1 기간 선택 및 기간내에 설정된 M개 계조 전압 단계 사이에서 선택함으로써 실행되고;

소스 신호 라인에 공급되는 계조 전압이 1 라인 기간 분할수 N과 1라인 기간을 N으로 분할함으로써 설정된 1 기간내 설정된 계조 전압 단계수 M과의 적(積)(N×M) 사이에서 선택되고;

박막 트랜지스터가 화소 전극에 화상 정보를 기록하는 기능을 갖고; 그리고

정보를 기록하기 위해 박막 트랜지스터에 요구되는 시간이 1 라인 기간을 N 으로 분할함으로써 설정된 1 기간의 길이보다 짧다.

상기 설명된 구조에서, 계조 전압을 선택하기 위한 수단은:

1 라인 기간을 N으로 분할함으로써 설정된 기간들 사이에 선택되는 기간에 관련된 정보; 및

N으로 분할됨으로써 설정 기간내에 설정된 M개의 계조 전압 단계 사이에서 계조 전압 단계이 선택되는 것에 관련된 정보에 의해 제어된다.

본 발명의 또다른 면에 따르면, 기판 위에 격자형으로 배치된 다수의 게이트 신호 라인 및 다수의 소스 신호 라인, 및 또한, 기판 위에 배치된 하나 이상의 박막 트랜지스터를 포함하는 화소 매트릭스를 갖춘 표시 장치 구동 방법에서, 상기 게이트 신호 라인 및 소스 신호 라인 교점 근처에, 다수의 소스 라인에

공급되는 계조 전압의 선택에서, 1 라인 기간을 다수로 분할함으로써 설정된 1 기간을 선택 및 1 기간에 설정된 전압 단계을 선택함으로써 행해지는 것을 특징으로 한다.

상기 설명된 구조에서, 박막 트랜지스터의 동작 시간은 1 라인 기간을 다수로 분할함으로써 설정된 1 기간의 길이보다 짧아야 한다.

이는 화소 전극에 필요한 계조 정보를 기록하는데 요구되는 시간이 1 라인 기간을 분할함으로써 얻어진 기간 내로 한정되기 때문이다.

발명의 구성 및 작용

본 발명의 실시예는 도 1에 나타낸 액티브 매트릭스 액정 장치를 예로 사용하여 설명한다.

디지털 디코더(1-6)에 계조 8 단계에 관련된 선택 신호 및 8 종류의 시간에 관련된 선택 신호의 조합으로 공급된 정보(8^2=64 정보 종류)는 수평 주사 시프트 레지스터로부터의 신호에 따라 메모리 1 군에 순차적으로 기록된다.

1 라인 기간은 메모리 1 군에 정보를 기록하는 1 주기가 끝날 때까지의 기간으로 정의된다. 다른 말로, 1 라인 주기는 디지털 디코더로부터 도 1에서 가장 왼편 메모리 1에 정보 기록이 시작되는 점에서부터 디지털 디코더로부터 도 1의 가장 오른쪽 메모리 1에 정보 기록이 종단되는 점까지의 기간으로 정의된다.

디지털 디코더에 공급된 64 종류 정보는 각각의 메모리 1에의 기록 시간에 따라 적당한 시기에 공급된다.

메모리 1 군에 정보 기록이 끝난 후에, 메모리 1 군에 기록된 정보는 시프트 레지스터의 동작 시간에 따라서 메모리 2 군으로 동시에 전송된다.

메모리 1군에서 메모리 2 군으로 정보가 전송되면서, 디지털 디코더에서 공급된 정보는 수평 주사 시프트 레지스터로부터의 신호에 따라 다시 기록된다.

상기 제 2 주기의 1 라인 기간에서, 제 1 주기의 1 라인 기간에서 메모리 1 군에 기록되고 제 2 주기의 1 라인 기간에 시작될 때 메모리 2 군으로 전송된 정보에 따라서 계조 전압이 선택된다.

도 2에 나타낸 것처럼, 1 라인 기간에서 계조의 8 단계(8×8)에 대응하는 8개 전압으로 분할됨으로써 얻어진 계조 전압이 공급된다. ---(42) 따라서, 64 종 계조 전압이 1 라인 기간에 공급된다.

도 2에 나타낸 64 종 계조 전압 중 하나는 각각의 메모리 2에 기록된 정보에 기초하여 D/A 컨버터에 의해서 선택된다.

각각의 메모리 2에서, 1 라인 기간을 8로 분할함으로써 얻어진 기간내에 8 단계 계조 전압 사이에서 선택되는 계조 전압에 관련된 정보가 기록된다.

정보에 기초하여, 정해진 계조 전압은 D/A 컨버터에 의해 정해진 시간에 따라 선택된다. 선택된 계조 전압은 소스 신호 라인에 공급된다.

소스 신호 라인에 공급된 계조 전압은 도시되지 않은 수직 주사 시프트 레지스터로부터의 신호에 따라 동작하는 박막 트랜지스터에 의해 선택된다. 이 방법에서, 정해진 계조 단계에 대응하는 정보가 정해진 화소에 기록된다.

주의할 것은 박막 트랜지스터에 의한 화소 전극에 정보를 기록하는 것은 1 라인 기간을 8로 분할함으로써 얻어진 기간 내에 완성될 수 있어야 한다는 것이다.

도 2에서 나타낸 계조 단계에 의해 소스 라인에 계조 전압을 공급하는 시간이 선택된다. 다른 말로, 선택하는 계조 단계를 포함하는 기간이, 1 라인 기간을 8로 분할함으로써 얻어진 기간에 따라 소스 신호 라인에 대한 계조 전압의 공급 시간이 선택된다.

예를 들어서, 정해진 화소군 라인이(도 1에서 화소열의 정해진 라인) 주목된다면, 화소군의 상기 라인에 정보 기록이 계조 단계에 따른 8 종의 시간에 따라 행해진다.

그러므로, 도 3에 나타낸 구조가 종래의 경우와 다른 점은, 소스 신호 도선에 계조 전압을 공급하는 시간이 수평 주사 시프트 레지스터로부터의 신호에 따라 연속적으로 계조 전압을 공급하지 않는다는 것이다.

(실시예 1)

도 1은 실시예 1로써 액티브 매트릭스 액정 표시 장치를 개략적으로 나타낸 것이다. 매트릭스 회로에서, 게이트 신호 라인(101)이 각 행에 형성되고 소스 신호 라인(102)은 각 열에 형성된다. 화소 전극, 액정, 및 카운터 전극을 포함하는 박막 트랜지스터(103) 및 액정 셀(104)이 각 화소에 형성된다.

(동작의 개요)

먼저, 디지털 디코더(111)에 공급되는 신호가 메모리 1에 저장되는 소스 드라이버(수평 주사용 시프트 레지스터)의 시프트 레지스터 회로(112)로부터의 신호에 따라 선택된다.

1 라인에 대응하는 화상 정보가 각각의 소스 신호 라인(102)에 대응하도록 배치된 메모리 1에 저장된 후에, 다음 라인을 위해 메모리 1에 정보를 기록하는 출발 시간을 이용하여, 메모리 1 군에 저장된 정보가 메모리 2 군에 동시에 전송된다.

메모리 2 군에 저장된 정보에 기초하여, 도 2에 나타낸 계조 전압에 관련된 64 종의 신호 전압 사이에 하나가 D/A 컨버터에 의해 선택되고, 소스 신호 라인(102)에 공급된다.

정해진 계조 단계에 대응하고 소스 신호 라인에 공급된 신호 전압은 각 화소에 배치되고 도시되지 않은 게이트 드라이버의 시프트 레지스터(수평 주사용 시프트 레지스터)로부터의 신호에 따라 동작하는 박막 트랜지스터(화소 트랜지스터)에 의해 선택된다. 상기 방법에서, 각 화소에 정해진 계조 단계에 대응하는 화상 정보가 기록된다.

(동작의 상세 설명)

이하 상세한 동작 설명을 한다. 도 1에, 6개의 디지털 디코더 라인(1-6)을 나타냈다. 선택되는 8 단계 계조 전압(2^3=8)에 관련된 신호가 3개의 디지털 디코더 라인에 공급된다.

1 라인 기간을 8(2^3)로 분할함으로써 얻어진 기간 선택에 관련된 신호가 남아 있는 3개 디지털 디코더 라인에 공급된다.

디지털 디코더 라인에 공급된 이들 신호의 조합으로써, $2^3 \times 2^3$=64 종의 정보가 얻어질 수 있다(도면에 나타낸 타이밍에 따라 연속적으로 64 단계 계조 전압이 이들 64종 정보에 기초하여 선택되고, 이하 설명한다).

1 라인 기간은 세로(수평 라인)에서 모든 화소에 정보를 기록하는데 필요한 시간이다. 상기 1 라인 기간은 한 단부에서 다른 단부로 연속적으로 동작하기 위해 소스 드라이버(수평 주사 시프트 레지스터)의 시프트 레지스터에 필요한 시간과 같다.

계조 전압이 공급된 8개 신호 라인들은 도 2에 나타낸 것처럼 신호 전압과 함께 공급된다. 보다 상세하게, 1 라인 기간은 8개로 분할되고, 8개 단계 계조에 대응하는 신호 전압은 1 라인 기간의 각 1/8로 각 8개 신호 라인에 공급된다. 따라서, 1 라인 기간이 8개로 분할됨으로써 얻어진 한 기간에서, 단지 8개 단계 계조에 대한 신호 전압이 공급된다.

예를 들어서, 도 2에 나타낸 것처럼, 계조 전압이 공급되면, 계조 전압 V_1-V_8은 1 라인 기간의 최초 1/8에 공급되고, 8개 단계 계조에 대응하는 V_9-V_{16} 계조 전압은 1 라인 기간의 2/8에 공급된다.

상기 방법에서, 8 단계 계조에 대한 신호 전압이 도 2에 나타낸 것처럼 1 라인 기간을 분할함으로써 얻어진 각각의 8개 기간에 공급된다.

8 단계 신호 전압 및 1 라인 기간의 분할로써 얻어진 8종 타이밍 조합으로써 , 64 단계 계조에 해당하는 신호 전압이 1 라인 기간에 공급된다.

실제 동작에서, 수평 주사 시프트 레지스터로부터의 신호에 기초한, 각 소스 신호 라인에 대응하는 메모리 1에 대해 도 2에 나타낸 64 단계 계조에 대한 상기 신호들 사이에서 선택된 신호에 관련된 정보가, 디지털 디코더(1-6)에서 선택된다.

보다 상세하게, 먼저, 제 1 메모리에 대한 64 단계 게조에 대한 상기 신호 사이에 선택되는 신호에 관련된 정보가, 디지털 디코더(1-6)에 선택된다. 다음, 제 2 메모리 1에 대한 64 단계 계조에 대한 상기 신호 사이에 선택된 신호에 관련된 정보가, 디지털 디코더(1-6)에서 선택된다. 그러한 동작은 차후에 수평 주사 시프트 레지스터로부터의 신호 따라 실행된다.

정해진 메모리 1에 기록되는 정해진 정보가 시프트 레지스터의 동작 시간에 대응하도록 디지털 디코더 라인에 차후에 공급된다.

상기 방법으로, 도 2에 나타낸 64 단계 계조에 대한 신호 전압 사이에 선택된 신호 전압에 관련된 정보가 시프트 레지스터의 동작에 따라 메모리 1 그룹에서 선택된다.

메모리 1군에 1 라인 기간에 대한 정보 기록이 끝난 후에, 메모리 1 그룹에 기록된 정보가 차후 1 라인 기간에 대한 정보의 기록 바로 전에 메모리 2 군에 동시에 전송된다. 그 후에, 메모리 1 군에 관하여, 상기 설명된 동작이 한 번 반복되고, 다음 1 라인 기간에 관련된 정보가 기록된다.

상기 상태에서, 도 2에 나타낸 64 단계 계조에 대한 신호 사이에서 선택된 신호에 관련된 정보가 각 메모리 2에 저장된다.

정보에 따라서, D/A 컨버터들이 계조 전압을 선택한다. 보다 상세히, 도 2에 나타낸 것과 같은 상태에서 공급된 계조 전압은 필요 시간에 따라서 적당한 시기에 선택된다.

다른 말로, 도 2에 나타낸 시간에 따라 공급된 64 단계 계조 중의 하나에 대한 신호 전압이 메모리 2에 기록된 정보에 기초한 D/A 컨버터에 의해 선택된다.

1 라인 기간에서, 64 단계 계조 중의 하나에 대응하는 신호 전압이 소스 신호 라인 각각에 공급된다. 그러므로, 1 라인 기간을 분할함으로써 얻어진 8개 사이에 선택된 시간에 따라서 D/A 컨버터에 의해 선택된 8 단계 계조 대한 신호 전압에 따라, 필요 신호 전압이 정해진 소스 신호 라인에 공급된다.

여기서, 신호 전압이 각각의 소스 라인에 관련된 각각의 소스 라인에 공급됨에 따른 8 종의 시간은, 신호 전압이 공급됨에 따라서 도 2에 나타낸 타이밍에 부합하도록 공급된다. 이는 도 3에 나타낸 종래의 작동과 다른 점이고 신호 전압이 차후에 시프트 레지스터의 동작에 따라 소스 신호 라인에 공급된다.

본 실시예에 나타낸 동작에서, 각각의 화소에 박막 트랜지스터 동작이 일부에서 빠르게 되는 것이 요구된다.

이는 계조 전압 신호가 소스 신호 라인에 공급되는 기간이 1 라인 기간의 1/8이기 때문이다.

예를 들어서, XGA 규격(1024×768 화소)이 초당 화상 60회가 기록되도록 행해지고, 도 2에 나타낸 타이밍에 따른 소스 신호 라인에 계조의 8 단계 중 하나에 대한 신호 전압을 공급하는 기간은 1 라인 기간을 8 로 분할함으로써 얻어지고 약2.7μsec이다.

보다 상세하게, 1 화상에 대한 기록은 1/60 sec가 소요되고, 1 라인 기간은 ((1/60)/768)sec이고, 이를 8로 분할함으로써, 약 2.7μsec가 된다.

그러므로, 화소 전극에 정보의 기록이 약 2.7μsec의 기간 내에서 완성되지 못한다면, 화소 전극에 계조 정보의 필요 기록이 실행될 수 없다.

예를 들어서, 2.7μsec 범위 내에 정보 기록을 완성하기 위해서, 박막 트랜지스터의 스위칭 시간은 1μsec 이하이어야 한다. 다른 말로, 박막 트랜지스터는 1μsec 이하의 스위칭의 동작 속도가 요구된다.

1μsec 이하의 스위칭 동작 속도는, 간단히 1MHz 이상의 동작 속도를 의미한다. 실제로, 동작(margin)이 요구되기 때문에, 화소에 배치된 박막 트랜지스터는 고 주파수의 동작 속도가 요구된다.

또한, 소스 드라이버의 시프트 레지스터(수평 주사 시프트 레지스터), 디지털 디코더에 신호를 공급하는 회로, 계조 전압을 공급하는 회로, 메모리 1, 메모리 2, 및 D/A 컨버터는 다수의 수평 화소에 의해 1 라인 기간으로 분할됨으로써 얻어진 범위 내에서 동작는 동작 수행력이 요구된다.

예를 들어서, XGA 규격(1024×768 화소)을 사용한다고 가정하자. 이 경우에, 1 라인 기간은 ((1/60)/768) sec이다.

그러므로, 수평 주사 시프트 레지스터 회로는 다수의 수평 화소에 의해 분할된 시간, 즉, 1024의 기간 내에 동작이 요구된다. 다른 말로, 0.02μsec 내에서의 동작이 요구된다. 이는, 48 MHz이상의 주파수로 변조됨을 의미한다.

그러나, 정보가 D/A 컨버터에 의해 처리되기 때문에, 정해진 시점이 8 단계 계조에 대한 정보에 주목될 경우, 이는 D/A 컨버터에 대해 별로 부담이 되지 않는다. 다른 말로, D/A 컨버터는 복잡한 구조가 요구되지 않고, 따라서, 박막 트랜지스터으로 달성될 수 있는 수행력을 갖게 될 수 있다.

이하에 설명되는 것처럼, 본 발명자에 의해 개발된 새로운 결정성 반도체막을 활용하여 시프트 레지스터, A/D 컨버터, 및 상기 특성을 갖춘 메모리를 형성하는 것이 가능하다.

본 실시예에서 나타난 구조는, 정보가 화소에 보유되는 기간이 변할지라도, 이는 1 라인 기간의 길이보다 짧기 때문에, 문제시 되지 않는다.

예를 들어서, XGA 규격(1024×768 화소)이 초당 화소 60 회를 기록한다고 가정하자. 이 경우에, 1 라인 기간은 ((1/60)/768) sec, 즉 약 22μsec이다.

다른 말로, 박막 트랜지스터의 오프 전류가 매우 작다면, 화소에 정보가 기록되는 기간은 약 (1/60) sec, 즉 약 0.01667 sec 이다.

두 값의 비율은 거의 760 이고, 64 단계 계조를 표시하는 경우에는 완전히 무시할 수 있다.

도 1에 64 단계 계조를 표시하는 액정 표시 장치의 예를 나타냈지만, 본 실시예는 256 또는 1024 단계 계조를 표시하는데 적용될 수 있다. 256 또는 1024 단계 계조를 표시하는 경우, 작동의 원리는 64 단계 계조를 표시하는 경우와 유사하다.

예를 들어서, 256 단계 계조의 경우에, 계조 전압을 공급하기 위한 8 디지털 디코더 라인 및 16 계조 전압 라인이 사용된다. 16 단계 계조에 대응하는 신호 전압은 1 라인 기간을 16으로 분할함으로써 얻어진 각 기간에 각각의 계조 전압이 할당되고, 16×16=256 단계의 계조 전압 신호 라인이 1 라인 기간내의 계조 전압 라인에 공급된다. 선택된 16(2^4) 계조 전압 라인에 대한 신호는 4개의 디지털 디코더 라인에 공급된다. 1 라인 기간을 16 분할함으로써 얻어진 기간이 선택됨을 나타내는 신호가 남아 있는 4개의 디지털 디코더 라인에 공급된다.

1024 단계 계조의 경우에, 예를 들어서, 계조 전압 공급을 위한 32(2^5) 계조 전압 라인이 사용된다. 그 후, 디지털 디코더 라인이 사용되고, 선택되는 32(2^5) 계조 전압 라인에 대한 신호가 5개의 디지털 디코더 라인에 공급되고, 1 라인 기간이 32 분할됨으로써 얻어진 기간이 선택됨을 나타내는 신호가 남아 있는 5개 디지털 디코더 라인에 공급된다.

따라서, 2^x 단계 계조의 경우, 계조 전압을 공급하기 위해 x 디지털 디코더 라인 및 $2^{(x/2)}$ 계조 전압 라인이 사용된다.

(도 1에 나타낸 회로 구성의 예)

여기서, 도 1에 나타낸 액티브 매트릭스 액정 표시 장치를 형성하는 회로의 구체예를 나타낸다.

(시프트 레지스터 회로)

도 4는 시프트 레지스터 회로(112)의 구체예를 나타낸다. SP는 출발 펄스를 의미한다. 출발 펄스 신호를 입력함으로써, 시프트 레지스터는 정해진 시간에 따라 작동이 시작된다.

시프트 레지스터 회로(112)는 정해진 시간에 따라, 소스 신호 라인(102)(메모리 회로 1)에 대응하는 회로에 대한 동작의 시간을 결정하는 신호를 연속적으로 생성하는 기능을 갖는다.

(메모리 회로)

도 5는 도 1에 나타낸 메모리 1 및 2의 구조를 개략적으로 나타낸다. 도 5는 소스 신호 라인(102)에 대응하는 메모리 1 및 2의 회로도를 나타낸다.

정해진 정보가 시프트 레지스터(112)의 신호에 따라서 디지털 디코더 라인으로부터 메모리 1에 기록된다.

메모리 1에 기록된 정보는 8단계 계조 전압(이하 전압 선택 비트로 칭한다)에 관련된 정보이고 선택 계조 전압에 대한 8종의 시간(이하 시간 선택 비트라 칭한다)에 관련된 정보이다.

각 1 라인 기간에 관련되어 공급된 신호에 따라 메모리 1에 정보가 연속적으로 기록된다. 각각의 1 라인 기간에 관련되어 공급된 신호(1 라인당 펄스)는 수평 주사 시프트 레지스터에 입력된 출발 펄스와 동시성을 갖는다.

메모리 2에 기록된 정보는 전압 선택 비트(2^3=8 선택) 및 시간 선택 비트(2^3=8 선택)로서 메모리 2로부터 출력된다.

(D/A 컨버터)

도 1에 나타낸 D/A 컨버터는 도 6 및 도 7에 나타낸 구조를 갖는다. 도 7에서 a-h 신호는 도 8에 나타낸 시간에 따라 각 라인에 대해 반복적으로 공급된다.

도 7에 나타낸 회로에서, 선택 계조 전압(도면에서 A로 나타낸)에 따른 시간에 대한 신호는 시간 선택 비트에 공급된 정보에 따라서그리고 도 8에 나타낸 시간에 따라 도 6에 나타낸 회로에 공급된다.

도 6에 나타낸 회로에서, 도 7에서 공급된 신호에 기초하여, 8종의 공급 전압에 관련된 정보 선택을 위한 신호가 정해진 시간에 따라 전압 선택 비트(동일한 시간에 따라 선택된 8종의 전압)에 공급된다.

도 6에 나타낸 상기 신호는, 8개의 NAND 회로로부터 출력된다. 신호에 따라서, 도 2에 나타낸 계조 전압 신호중 하나가 선택되어 소스 신호 라인에 공급된다.

(박막 트랜지스터의 제조 방법)

여기서, 3.3V-5V에서 약 50 MHz에서 동작할 수 있는 박막 트랜지스터(또한 TFT로 간주됨)의 제조 방법을 설명한다.

상기 박막 트랜지스터는 저온 결정성 반도체 TFT 또는 고온 결정성 반도체 TFT로 알려진 종래의 것보다 10배 이상 빠르게 동작할 수 있다.

여기서, 시프트 레지스터 회로, 메모리, 및 D/A 컨버터 회로를 형성하기 위해 활용되는 CMOS 회로, 및 박막 트랜지스터로서 활용되는 N-채널형 박막 트랜지스터를 동일 석영 기판상에 평행하게 동시에 형성하는 공정을 설명한다.

도 9 및 도 10에 제조 공정 개략적으로 나타냈다.

먼저, 충분히 평평한 석영 기판(701) 표면이 손질된다. 그후, 비정질 반도체막(702)이 저압열 CVD법에 의해 석영 기판(701) 상에 500Å 두께로 형성된다. 이 방법으로, 도 9A에 나타낸 상태가 얻어진다.

다음, 마스크(703)가 플라즈마 CVD법에 의해 700Å 두께로 형성된 산화 규소막을 사용하여 형성된다.

마스크는 부분(704 및 705)에 개구를 갖고, 여기서 비정질 반도체막(702)이 노광된다 (도 9B).

개구부는 도면의 평면에 수직하는 세로 방향으로 슬릿 형상이다.

산화 규소막인 마스크(703)가 형성된 후, 니켈 원소를 (중량의) 10 p. p. m.함유한 니켈 아세테이트 용액이 스핀 코팅에 의해 균일하게 도포 된다. 상기 공정에 의해, 도 9B의 (704)로 표시된 전체 표면에 접하여 니켈 원소가 보유되는 상태가 얻어진다.

여기서, 얻어진 상태는 니켈 원소가 비정질 반도체막(702) 일부와 접촉하여 선택적으로 보유된 상태이다. 보다 상세하게, 니켈 원소는 상기 설명된 것처럼 개구부(704 및 705) 영역에 비정질 반도체막(702)과 접촉한다. 이 방법으로, 니켈 원소가 주입된다.

선택적으로, 니켈 원소가 이온 주입법에 의해 주입될 수 있다. 이 경우에, 니켈 원소 용액을 적용하는 경우와 비교하여, 니켈 원소가 주입되는 위치를 보다 정확하게 제어할 수 있다. 그러므로, 이는 예를 들어서, 주입된 니켈 원소 영역의 폭이 수 ㎛ 이하로 매우 좁을 경우에 효과적이고, 니켈 원소가 주입되는 영역의 형상은 복잡하다.

니켈 원소가 이 방법으로 주입된 후에, 가열 처리가 실시된다.

가열 처리는 500℃-630℃, 예를 들어서 8시간 동안 600℃의 온도에서 질소 분위기에서 실행된다. 이 가열 처리에서, 도 9C에 나타낸 것처럼 기판과 평행한 방향으로 결정 성장(706)이 시작된다. 결정 성장은 100㎛ 이상의 길이에 걸쳐 이루어질 수 있다.

상기 설명된 것은 결정 성장에 의해 형성된 반도체막이 막대형 또는 원주형 결정이 결정 성장의 방향에 따라 연장되는 경우의 특정 결정 구조를 갖는다는 것을 의미한다.

결정화가 완성된후에, 가열 처리는 할로겐 원소를 함유한 산소 분위기, 예를 들어서, 200Å 두께 열산화막을 형성하기 위해 20분간 950℃에서 HCl의 3체적%를 함유한 산소 분위기에서 실행된다.

여기서, 반도체막 두께는 500Å에서 400Å로 감소한다. 할로겐 원소의 반응에 의해, 이 경우에, 반도체

막에 염소, 니켈 원소가 열산화막으로 유인되고, 따라서, 열산화막이 상대적으로 고 밀도의 니켈 원소를 함유한다.

열산화막 형성 과정에서, 막중의 결점은 어닐링을 행함으로써, 결정성이 크게 향상된다.

다음, 열산화막이 제거된다. 이 방법으로, 반도체막에 니켈 원소가 감소될 수 있다.

니켈 원소가 활용되는 경우에, 최종적으로 반도체 막에 남아 있는 니켈의 밀도는 본 상태하에서 약 1×10^{14} atoms/cm^3 - 5×10^{18} atoms/cm^3이다. 보다 낮은 밀도가 바람직하다. 열산화막이 게더링 상태로 고정되고, 상기 밀도의 한정이 5×10^{17} atoms/cm^3이하로 낮아질 수 있다. 밀도는 SIMS(이차 이온 질량 분석기)를 활용하여 측정할 수 있다.

다음, 박막 트랜지스터의 활성층이 되는 패턴(707,708, 및 709)이 도 9D에서 처럼 형성된다.

활성층 패턴의 형성 후에, 게이트 절연막을 형성하는 산화 규소막이 플라즈마 CVD법에 의해 400Å 두께로 형성된다.

또한, 열산화막이 300Å 두께로 다시 형성된다. 30분간 950℃에서 HCl의 0.1-10 체적%, 예를 들어서 3 체적%를 함유한 산소 분위기에서 열산화막이 형성된다.

여기서, 열산화막이 활성층 표면에 형성된다. 이 방법으로, 300Å 두께의 열산화막을 갖는 게이트 절연막(710) 및 400Å 두께의 적층된 CVD 산화 규소막이 얻어진다. 활성층의 최종 두께는 250Å이다.

본 실시예에서, 패턴은 결정 성장의 방향은 박막 트랜지스터가 동작하는 동안의 캐리어의 이동 방향으로 배치된다.

이 방법으로, 링 오실레이터의 단계에서 1GHz에서 그리고 303-5V의 구동 전압으로 시프트 레지스터의 단계에서 100MHz에서 작동할 수 있는 박막 트랜지스터가 제조될 수 있다.

게이트 절연막(710)이 얻어진 후, 주성분이 알루미늄 물질인 게이트 전극(711,712 및 713)이 도 9D에 나타낸 것처럼 형성된다.

게이트 전극 물질로서, 주성분으로 알루미늄 이외에 다른 물질인 탄탈(Ta), 인(P)이 강하게 도프된 결정성 반도체, 볼프람 실리사이드(WSi), 또는 인이 도핑된 결정성 반도체 및 볼프람 실리사이드가 적층되고 혼합된 구조가 사용될 수 있다.

게이트 전극(711,712, 및 713)에 대하여, 게이트 전극을 형성하는 주성분 물질이 알루미늄 측면에만, 또는, 상부 및 게이트 전극의 측면에 조밀한 양극 산화막을 제공하기 위한 약산 용액으로 양극 산화될 수 있다. 이 경우에, 게이트 전극의 물질로서, 알루미늄과 다른, 탄탈이 사용될 수 있다.

양극 산화막이 측면 및 상부 면에 제공되는 경우에, 힐록의 발생이 차후의 가열 처리에서 방지될 수 있다. 양극 산화막이 측면에만 제공되는 경우에, 상부 면에는 단단한 양극 산화막이 없기 때문에, 연결될 배선들과의 접촉이 쉽게 형성된다.

또한, 게이트 전극의 측면에 양극 산화막이 있기 때문에, 차후 불순물 이온 주입의 공정에서, 마스크로서 측면에 게이트 전극 및 양극 산화막을 사용함으로써, 박막 트랜지스터 영역의 채널 형성 영역에 형성된 양극 산화막의 두께와 대체로 같은 두께의 오프셋 영역이 형성되고, 누설 전류가 감소될 수 있다.

여기서, 게이트 전극(711)은 CMOS를 형성하는 P-채널형 박막 트랜지스터(PTFT)에 대한 것이다. 게이트 전극(712)은 CMOS를 형성하는 N-채널형 박막 트랜지스터(NTFT)에 대한 것이다. 게이트 전극(713)은 CMOS를 형성하는 N-채널형 박막 트랜지스터(NTFT)에 대한 것이다.

다음, P(인)이 플라즈마 도핑에 의해 도프된다. 이 공정에서, CMOS를 형성하는 PTFT의 소스 영역(714), 채널 영역(715), 및 드레인 영역(716)이 자기-정렬 방법으로 형성된다.

다음, B(붕소)가 플라즈마 도핑에 의해 도프된다. 이 공정에서, CMOS를 형성하는 NTFT의 소스 영역(719), 채널 영역(718), 및 드레인 영역(717)이 자기-정렬 방법으로 형성된다. 또한, 화소에 배치된 NTFT의 소스 영역(720), 채널 영역(721), 및 드레인 영역(722)이 자기-정렬 방법으로 형성된다. 이 방법에서, 도 9E에 나타낸 상태가 얻어진다.

상기 설명된 도핑 공정에서, P(인)이 도핑된 경우는, B(붕소)가 도핑된 영역이 레지스트로 차단되고, 반면에, B(붕소)가 도핑된 경우, P(인)이 도핑된 영역이 레지스트로 차단된다. 이 방법으로, PFTF 및 NTFT가 형성된다.

상기 설명된 도핑이 완성된 후, 레이저 광선을 조사함으로써, 도핑이 실시된 영역의 활성화 및 손상된 결정 구조에 어닐링이 실행된다.

다음, 도 9F에 나타낸 것처럼, 플라즈마 CVD법에 의해 1500Å 두께로 층간 절연막으로서 질화 규소막(723)이 형성된다. 또한, 폴리이미드 수지로 구성된 막(724)이 적층된다. 상기 방법에서, 도 9F에 나타낸 상태가 얻어진다.

수지막으로, 상부 면이 평평해질 수 있어, 배선 형성이 용이해지고, 오리엔테이션 처리가 실행되고, 차후 공정에서 액정이 주입된다.

주의해야 할 것은, 수지 물질로서, 폴리이미드 외에, 아크릴 수지, 폴리아미드 수지, 폴리이미드아미드 수지, 또는 그와 같은 것이 사용될 수 있다.

다음, 도 10A에 나타낸 것처럼, 콘택홀이 CMOS의 소스 전극(725 및 727), PTFT 및 NTFT에 공동 드레인 전극(726), 그리고 화소 트랜지스터(NTFT)의 소스 전극(728) 및 드레인 전극(729)의 형성을 위해 층간

절연막에 형성된다.

이들 전극은 티타늄막, 알루미늄막, 그리고 티타늄막을 적층함으로써 형성된 막으로 구성된다.

여기서, 소스 전극(725 및 727)이 그것으로부터 필요 배선(소스 배선)이 확장되도록 형성된다. 또한, 공동 드레인 전극(726)이 그것으로부터의 필요 배선(드레인 배선)이 확장되도록 형성된다.

화소 TFT(NTFT)의 소스 전극(728)이 화소 매트릭스에 배치된 소스 신호 라인의 일부로 형성된다. 주의해야 할 것은 소스 신호 라인과 함께 격자형으로 배치된 게이트 신호 라인으로부터 연장되는 것(또는 그것의 일부)으로 게이트 전극(713)이 형성된다는 것이다.

다음, 도 10B에 나타낸 것처럼, 제 2 층간 절연막(730)이 폴리이미드 수지로 형성된다. 그후, ITO로 이루어진 화소 전극(731)을 형성을 위해 콘택홀이 형성된다.

이 방법으로, CMOS를 형성하는 다양한 회로 및 화소에 배치되는 박막 트랜지스터가 도 10C에 나타낸 것처럼 석영 기판상에 직접화될 수 있다.

그러한 제조 방법에 따라 구성된 박막 트랜지스터로 형성된 링 오실레이터 회로는 1GHz 이상의 주파수에서 발진한다.

동작 주파수가 실제 회로 설계시에 마진이 남게 구성되기 때문에, 1GHz 이상의 주파수에서 동작할 수 있는 회로가 형성될 수 없다.

그러나, 100MHz 이상에서 작동할 수 있는 시프트 레지스터 회로, 계산 회로, 및 그와 같은 것을 상기 박막 트랜지스터로 형성할 수 있다.

특정 결정 구조를 갖는 결정성 반도체막을 활용하는 박막 트랜지스터는 그의 결정 구조 때문에, 그러한 특성을 갖고, 단채널 효과가 나타나기 어렵다. 또한, 그런한 특성은, 절연체가 기판으로서 사용되기 때문에, 기판의 용량성의 문제에서 자유롭고 고속 동작에 적합하다.

보편적인 단결정 반도체 웨이퍼를 활용한 MOS 트랜지스터는 비례 법칙을 따르고, 즉, 트랜지스터의 크기가 정해진 방식에 따라 작게 만들어지는 경우, 트랜지스터의 수행력은 정해진 방식에 따라 향상된다.

그러나, 최근 점차적으로 소형화되고 있기 때문에, 비례 법칙을 따른 트랜지스터의 수행력이 향상되기는 어렵다.

이에 대한 한 원인은 채널의 길이가 짧아지면서 단채널 효과 제어의 목적이 있고, 보다 세심한 장치로 채널 옆에 불순물 도핑이 요구되고, 따라서, 제조 공정의 어려움이 증가되는데 있다.

그러나, 상기 설명된 것같은 특정 결정 구조를 갖는 결정성 반도체 막이 사용된다면, 필수 특징들이 상기 설명된 비례 법칙을 따르지 않는 크기에서 얻어질 수 있다.

이에 대한 원인은 :

(1) 채널에서 캐리어의 이동 방향과 같도록 원주형 결정의 방향을 구성함으로써, 단채널 효과가 제어되고;

(2) 기판과 같은 절연체를 활용함으로써, 용량성의 문제가 제어되고;

(3) 알루미늄이 게이트 전극으로 활용될 수 있기 때문에, TFT가 고속 동작에 유리하다는 것으로 생각된다.

(1)에 대해서, 이하의 것을 생각할 수 있다.

원주형 결정이 비활성 입계로 하나씩 분할된다. 에너지 레벨이 입게에서 높기 때문에, 캐리어의 이동은 결정의 연장 방향으로 제어된다. 유사하게, 소스 영역 및 채널의 안쪽으로 드레인 영역으로부터의 공핍층 확산이 제어된다. 이들은 단채널 효과가 제어되는 원인이 될 것으로 생각된다.

이하의 것은 비례 법칙을 따르지 않은 구체예이다.

예를 들어서, 일반 비례 법칙을 따르면, 게이트 절연막의 두께는 100Å이어야 하고, 여기에 공개된 것처럼 결정성 반도체막이 사용되는 경우에, 300Å 게이트 절연막으로 동일한 특성이 얻어질 수 있고, 따라서, 높은 정전기 방지의 특성이 얻어진다.

이는 상기 설명된 (1)-(3)으로 이해될 것이다.

또한, 게이트 절연막 두께에 대해서만이 아니라, 정해진 특성이 채널 길이에 대해서도 일반 비례 법칙보다 덜 정밀한 상태(1 등급 덜 정밀한)로 얻어질 수 있다.

이는 고속 동작의 수행력이 있는 반도체 회로가 저 비용으로 큰 면적에서 제조되는 경우에 유용하다.

(실시예 2)

본 실시예는 결정성 반도체막을 얻는데 레이저 조사가 사용된 예이다.

본 실시예에서, 제 1 실시예에 나타낸 니켈을 활용하는 가열에 의한 결정화 후에, 레이저 광선이 결정성 향상을 위해 조사된다. 상기 공정에서, 열산화는 실행되지 않는다.

그러한 경우에, 공정 온도가 600℃ 이하이기 때문에, 유리가 기판으로써 사용된다.

그러나, 얻어진 결정성 반도체막의 결정은 열산화막을 활용하는 제 1 실시예에 나타낸 방법과 비교하여 낮다. 또한, 얻어진 박막 트랜지스터의 특성 제 1 실시예의 특성에 비해 열등하다. 그러므로, 본 실시

예는 화소의 수가 작거나 계조 단계의 수가 작은 경우에 유용하다.

(실시예 3)

본 실시예는 여기에 공개된 본 발명을 활용하는 액티브 매트릭스 액정 패널을 활용하는 장치의 예를 나타낸다.

도 11은 장치의 개요를 나타낸다. 도 11A는 액티브 매트릭스 액정 표시 장치(2005)가 제공된 본체(2001)를 갖춘 정보처리 단말기를 나타낸다.

상기 장치는 내부에 직접화된 회로를 갖추고 필요한 정보를 처리하고 저장하는 기능을 갖는다. 또한 장치는 제어 스위치92004)에 의해 동작하는 카메라부(2002)가 제공되고 안쪽에 필요 화상 정보를 선택하기 위한 기능을 갖는다.

상기 장치는 통신 설비를 갖추고 있고, 전화선으로부터 필요한 정보를 채택하고 전화선을 경유하여 바깥쪽에 필요 정보를 전송하는 기능을 갖는다.

그러한 휴대용 장치에서는, 저 전압 소모의 관점에서, 반사형 액티브 매트릭스 액정 표시 장치를 사용하는 것이 바람직하다.

선택적으로, 액티브 매트릭스 액정 표시 장치 대신에, 액티브 매트릭스 EL(전계-발광) 소자가 적용될 수 있다.

도 11B는 헤드-마운트 표시기로 불리는 장치이다. 상기 장치는 헤드상에 설치되는 밴드부(2103)가 제공된다. 장치의 본체(2101)는 양쪽 아이(eye)에 대응하는 액티브 매트릭스 액정 표시 장치가 제공된다.

도 11C는 자동차 또는 다른 이동 수단에 제공된 항해 장치를 나타낸다. 상기 장치는 안테나(및 튜너부)에 의해 선택된 인공 위성으로부터의 라디오 전파에 기초하여 구성되고, 항해 정보가 본체(2201)에 제공된 액티브 매트릭스 액정 장치(2202)에 표시된다. 상기 장치는 제어 스위치(2203)로 작동된다.

도 11D는 휴대용 전화를 나타낸다. 장치의 본체(2301)는 소리 입력부(2303), 소리 출력부(2302), 제어 스위치(2305), 안테나(2306), 및 액티브 매트릭스 액정 표시 장치(2304)가 제공된다.

도 11E는 휴대용 비디오 카메라를 나타낸다. 장치의 본체(2401)는 영상 수용부(2406), 직접화된 회로(2407), 제어 스위치(2404), 액티브 매트릭스 액정 표시 장치(2402), 배터리(2405), 및 소리 입력부(2403)가 제공된다.

도 11F는 돌출형(projection type) 영사기를 나타낸다. 장치의 본체(2205)는 광원(2502), 반사형 액티브 매트릭스 액정 표시 장치(2503), 및 광학계(2504)를 나타낸다. 표시는 스크린(2505)상에 화상을 표시함으로써 실행된다.

주의해야 할 것은 반사형이 아닌 투과형의 액티브 매트릭스 액정 표시 장치(2503)로서 사용되는 경우에, 광원(2502)이 액정 표시 장치(2503)의 뒷면에 제공되고, 액정 표시 장치(2503)를 거쳐 통과하는 광선이 표시를 실행하기 위해 스크린(2505)에 투사된다.

(실시예 4)

본 실시예는 역스태거형 박막 트랜지스터인 실시예 1 및 2에 나타낸 구조를 형성함으로써 구성된다. 각 실시예에 나타낸 구조에서, 평면형 박막 트랜지스터가 역스태거형 박막 트랜지스터를 형성하기 위해 대신 사용되더라도, 유사한 효과가 얻어질 수 있다.

주의해야 할 것은, 열저항성을 증가시키는 역스태거형 박막 트랜지스터 물질 예를 들어서, 인이 강하게 첨가된 결정성 반도체을 게이트 전극으로서 사용하는 것은, 고수행력 박막 트랜지스터를 얻는데 효과적이다.

발명의 효과

여기에 공개된 발명을 활용함으로써, 입력 신호인 디지털 신호로 화상을 표시하는 액티브 매트릭스형 표시 장치는 그 구조가 복잡하지 않게 제공될 수 있다.

예를 들어서, 계조의 64 단계과 같은 계조 표시를 실행할 수 있는 구조는 박막 트랜지스터로 형성된 회로로써 제공될 수 있다.

여기에 액티브 매트릭스 액정 표시 장치의 예를 나타냈지만, 본 발명은 EL 소자를 갖는 액티브 매트릭스형 표시 장치, 액티브 매트릭스 플라즈마 표시 장치, 및 EC(전계-크롬)을 활용하는 액티브 매트릭스형 표시 장치와 같은 다른 장치에도 활용될 수 있다.

(57) 청구의 범위

청구항 1

기판에 격자형으로 배치된 게이트 신호 라인 및 소스 신호 라인;

상기 게이트 신호 라인 및 소스 신호 라인의 교점 근처에 하나 이상 배치된 박막 트랜지스터;

상기 각각의 소스 신호 라인에 제공된, 상기 소스 신호 라인에 공급되는 계조 전압 선택 수단을 포함하고,

계조 전압 선택 수단 의한 계조 전압의 선택이 1 라인 기간을 분할함으로써 얻어진 분할된 다수의 기간

중 하나의 선택 및 상기 각각의 분할된 기간에 설정된 선택 계조 전압에 의해 실행되는 것을 특징으로 하는 액티브 매트릭스형 표시 장치.

청구항 2

제 1 항에 있어서, 상기 소스 라인에 공급되는 계조 전압이 상기 분할된 기간의 수 N 및 상기 분할된 각각의 기간에 설정된 계조 전압 단계수 M의 적(N×M) 사이에서 선택되는 것을 특징으로 하는 액티브 매트릭스형 표시 장치.

청구항 3

제 1 항에 있어서,

상기 박막 트랜지스터는 화소 전극에 화상 정보를 기록하는 기능을 갖고;

상기 화소 전극에 정보를 기록하기 위해 상기 박막 트랜지스터에서 요구되는 시간은 상기 각각의 분할된 기간의 길이보다 짧은 것을 특징으로 하는 액티브 매트릭스형 표시 장치.

청구항 4

제 1 항에 있어서,

상기 소스 신호 라인에 공급되는 계조 전압 단계수는 상기 분할된 기간수 N 및 상기 분할된 기간의 각각에 설정된 계조 전압 단계수 M의 적(N×M)이고;

상기 박막 트랜지스터는 화소 전극에 화상 신호를 기록하는 기능을 갖고; 그리고

정보를 기록하기 위해서 상기 박막 트랜지스터에 요구되는 시간은 상기 N 분할된 기간 각각의 길이 보다 짧은 것을 특징으로 하는 액티브 매트릭스형 표시 장치.

청구항 5

제 1 항에 있어서, 상기 계조 전압을 선택하는 수단이 :

상기 다수의 분할된 기간 사이에 선택되는 기간에 대한 정보; 및

상기 분할된 기간 각각에 설정된 상기 다수의 계조 전압 단계 사이에서 선택되는 계조 전압 단계에 대한 정보에 의해 제어되는 것을 특징으로 하는 액티브 매트릭스형 표시 장치.

청구항 6

기판상에 격자형으로 배치된 게이트 신호 라인 및 소스 신호 라인;

상기 기판상에 상기 게이트 신호 라인 및 소스 신호 라인의 교점 근처에 배치된 하나 이상의 박막 트랜지스터; 및

상기 각각의 소스 신호 라인에 공급된 상기 소스 신호 라인에 공급되는 계조 전압을 선택하는 수단을 포함하고,

계조 전압을 선택하기 위한 수단에 의해 계조 전압의 선택이 1 라인 기간을 N 선택으로 분할함으로써 설정된 1 기간을 선택함으로써 그리고 상기 기간에 설정된 계조 전압 단계 M 사이에서 선택함으로써 실행되고;

상기 소스 신호 라인에 공급되는 1 라인 기간 분할수와 계조 전압이 1 라인 기간이 N 부분으로 분할됨으로써 설정되는 1 기간내에 설정된 계조 전압 단계수 M과의 적(N×M) 사이에서 선택되고;

상기 박막 트랜지스터가 화소 전극에 화상 정보를 기록하는 기능을 갖고; 그리고

정보를 기록하기 위해서 상기 박막 트랜지스터에서 요구되는 시간이 1 라인 기간을 N 선택으로 분할함으로써 설정된 1 기간의 길이보다 짧은 것을 특징으로 하는 액티브 매트릭스형 표시 장치.

청구항 7

제 6 항에 있어서, 계조 전압을 선택하는 상기 수단이 :

1 라인 기간을 N 선택으로 분할함으로써 설정된 상기 기간 사이에서 선택되는 신호에 대한 정보; 및

상기 분할로 N 선택에 의해 설정된 상기 기간에 설정된 계조 단계 M 사이에 선택된 계조 신호 단계에 대한 정보에 의해 제어되는 것을 특징으로 하는 액티브 매트릭스형 표시 장치.

청구항 8

제 6 항에 있어서, 상기 계조 전압 선택 수단이 상기 기판상에 형성되고 하나 이상의 박막 트랜지스터를 포함하는 것을 특징으로 하는 액티브 매트릭스형 표시 장치.

청구항 9

격자형으로 배치된 다수의 게이트 신호 라인 및 다수의 소스 신호 라인 그리고상기 게이트 신호 라인 및 소스 신호 라인의 교점 근처에 배치된 하나 이상의 박막 트랜지스터를 포함하고 :

1 라인 기간이 다수의 선택으로 분할됨으로써 설정된 1 기간을 선택함으로써 그리고 상기 1 기간에 설정된 전압 단계을 선택함으로써 상기 다수의 소스 라인에 선택 게조 전압이 공급되는 단계를 포함하는 것

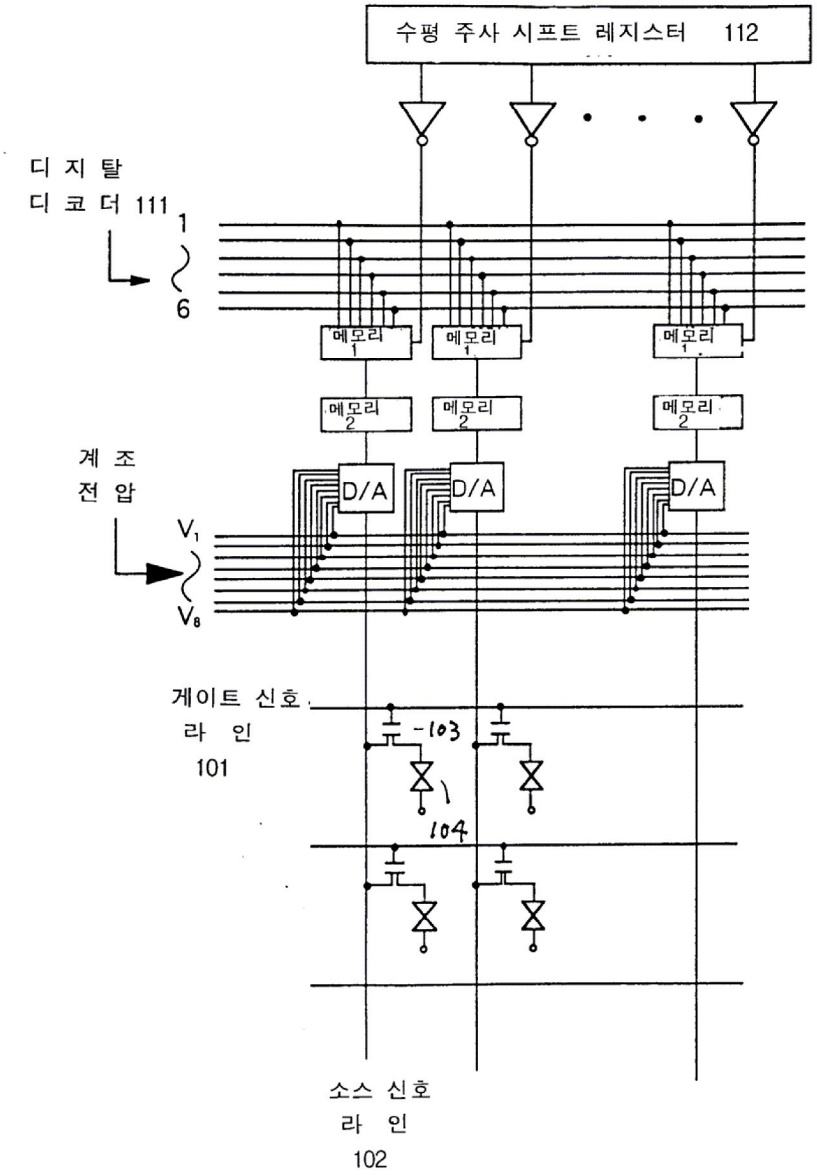
을 특징으로 하는 화소 매트릭스형 표시 장치 구동 방법.

청구항 10

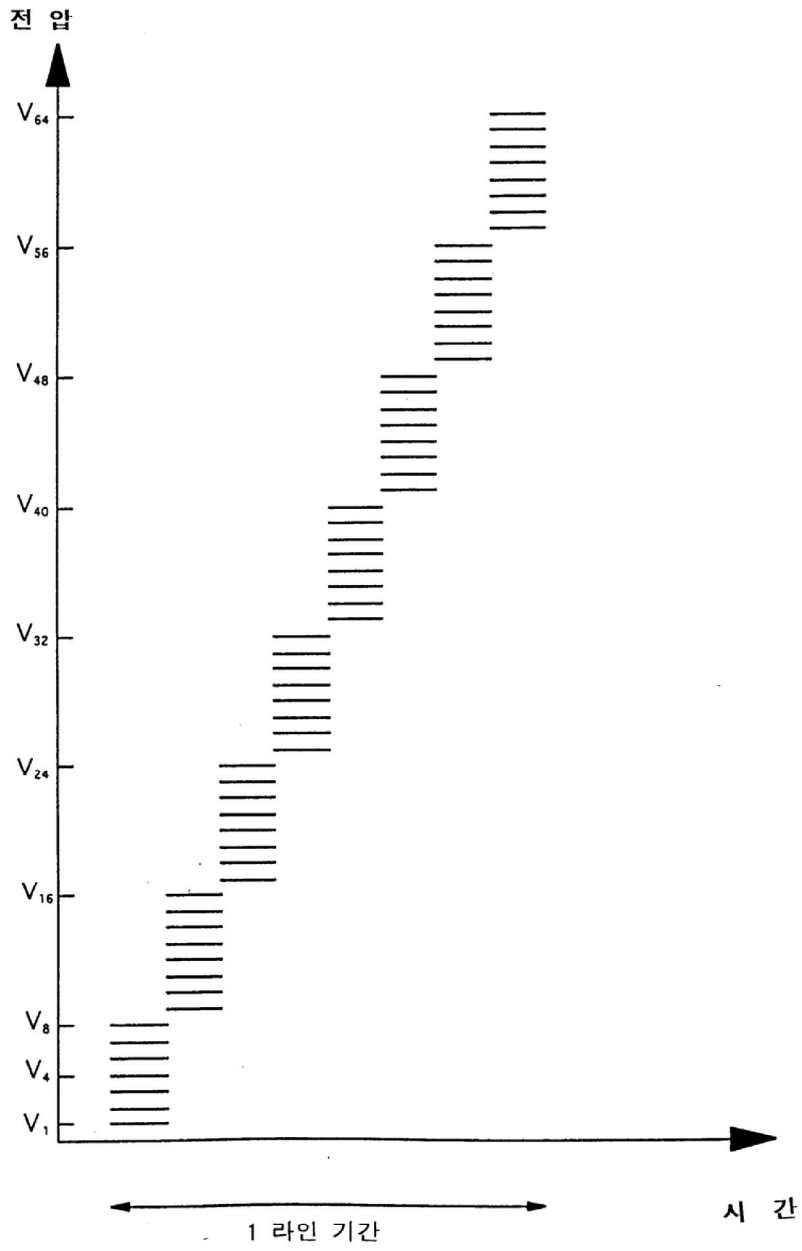
제 9 항에 있어서, 상기 박막 트랜지스터의 작동 시간이 1 라인 기간을 다수의 선택으로 분할함으로써 설정된 상기 1 기간의 길이보다 짧은 것을 특징으로 하는 화소 매트릭스형 표시 장치 구동 방법.

도면

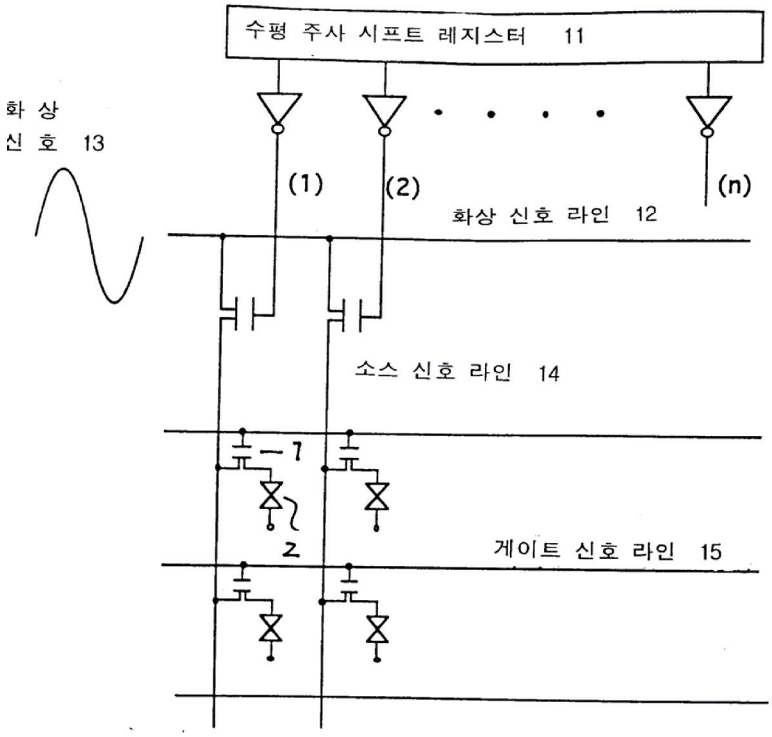
도면1



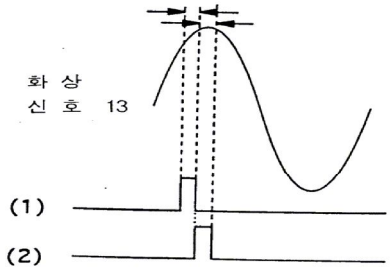
도면2



도면3a

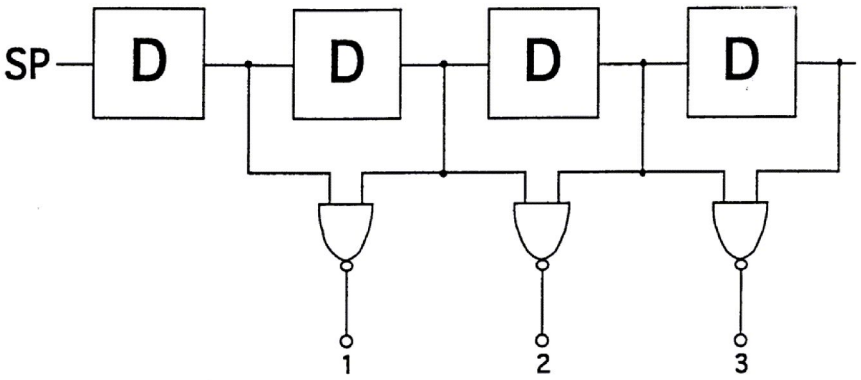

수평 주사 시프트 레지스터 11
화 상
신 호 13
(1)
(2)
(n)
화상 신호 라인 12
소스 신호 라인 14
게이트 신호 라인 15

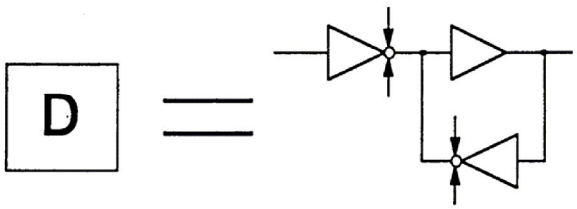
도면3b


화 상
신 호 13
(1)
(2)

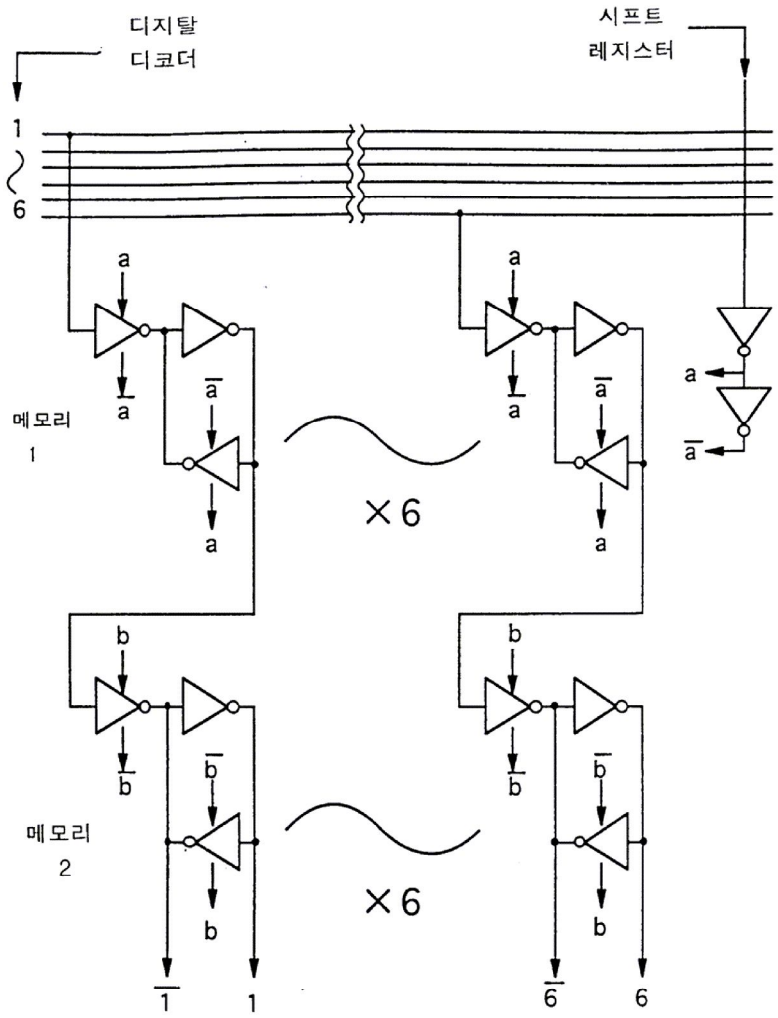
도면4

시프트 레지스터





도면5



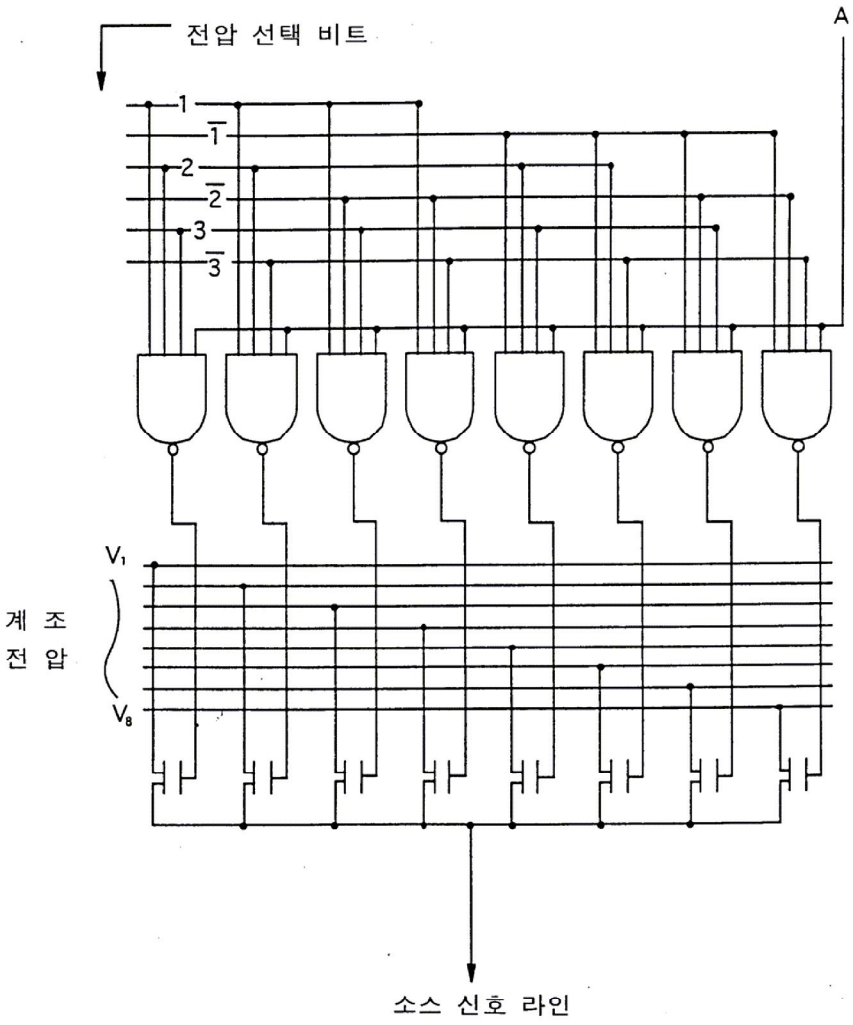
b, b̄ : 각 라인마다의 펄스

1, 1̄ ~ 3, 3̄ : 전압 선택 비트

4, 4̄ ~ 6, 6̄ : 시간 선택 비트

도면6

D / A 컨 버 터


전압 선택 비트
A
1
$\overline{1}$
2
$\overline{2}$
3
$\overline{3}$
V_1
계 조
전 압
V_8
소스 신호 라인