



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2019년09월11일
 (11) 등록번호 10-2020991
 (24) 등록일자 2019년09월05일

(51) 국제특허분류(Int. Cl.)
G11C 8/00 (2006.01) *G11C 7/22* (2015.01)
 (21) 출원번호 10-2013-0028058
 (22) 출원일자 2013년03월15일
 심사청구일자 2018년03월08일
 (65) 공개번호 10-2014-0113105
 (43) 공개일자 2014년09월24일
 (56) 선행기술조사문헌
 KR1020100114390 A
 US20020184461 A1

(73) 특허권자
삼성전자주식회사
 경기도 수원시 영통구 삼성로 129 (매탄동)
 (72) 발명자
나태식
 서울 송파구 석촌호수로 169, 103동 2302호 (잠실동, 레이크펠리스)
 (74) 대리인
특허법인 고려

전체 청구항 수 : 총 10 항

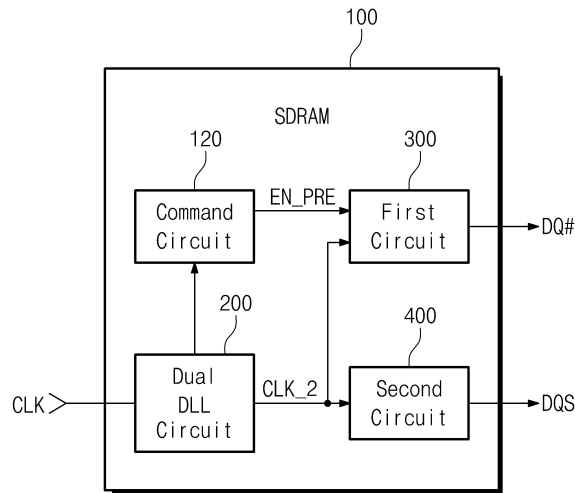
심사관 : 유재천

(54) 발명의 명칭 **듀얼 지연동기회로를 가지는 동기 반도체 메모리 장치 및 듀얼 지연동기회로의 운영방법**

(57) 요약

낮은 파워 소모 특성을 가지면서 지터 특성이 좋은 지연동기회로를 갖는 동기 반도체 메모리 장치가 개시된다. 동기 반도체 메모리 장치는, 제1 딜레이 라인을 가지며 인가되는 클럭에 지연 동기된 제1 클럭을 데이터 출력 타이밍 제어를 위한 신호로서 생성하는 제1 지연동기회로를 포함한다. 또한, 동기 반도체 메모리 장치는 제2 딜레이 라인을 가지며 상기 클럭에 지연 동기된 제2 클럭을 생성하는 제2 지연동기회로를 포함하며, 상기 제1,2 지연동기회로의 지연동기 동작관련 로직 레벨은 서로 다름에 의해, 상기 제1 지연동기회로는 제2 지연동기회로에 비해 파워 소모가 적고, 상기 제2 지연동기회로는 상기 제1 지연동기회로에 비해 지터 특성이 우월하다.

대표도 - 도1



명세서

청구범위

청구항 1

제1 딜레이 라인을 가지며 인가되는 클럭에 지연 동기된 제1 클럭을 데이터 출력 타이밍 제어를 위한 신호로서 생성하는 제1 지연동기회로; 및

제2 딜레이 라인을 가지며 상기 클럭에 지연 동기된 제2 클럭을 생성하는 제2 지연동기회로를 포함하며;

상기 제1,2 지연동기회로의 지연동기 동작관련 로직 레벨은 서로 다름에 의해, 상기 제1 지연동기회로는 제2 지연동기회로에 비해 파워 소모가 적고, 상기 제2 지연동기회로는 상기 제1 지연동기회로에 비해 지터 특성이 우월하도록 구성된 동기 반도체 메모리 장치.

청구항 2

제1항에 있어서, 상기 제1 클럭은 리드 레이턴시의 제어에 사용되는 동기 반도체 메모리 장치.

청구항 3

제1항에 있어서, 상기 제2 클럭은 데이터 출력 스트로브 신호의 생성에 사용되는 동기 반도체 메모리 장치.

청구항 4

제1항에 있어서, 상기 제2 지연동기회로는 노이즈 면역성을 높이기 위해 상기 클럭을 수신하여 전류모드 로직 (CML)레벨로 스윙시키는 동기 반도체 메모리 장치.

청구항 5

제1항에 있어서, 상기 제1 딜레이 라인과 제2 딜레이 라인은 딜레이 량이 서로 다른 딜레이 라인을 사용하는 동기 반도체 메모리 장치.

청구항 6

제1항에 있어서, 상기 지터 특성은 파워 노이즈의 영향에 의해 나타나는 지터 특성인 동기 반도체 메모리 장치.

청구항 7

제1항에 있어서, 상기 제1 지연동기회로는 파워 소모를 줄이기 위해 상기 클럭을 수신하여 CMOS 레벨로 스윙시키는 동기 반도체 메모리 장치.

청구항 8

동기 반도체 메모리 장치에서의 지연동기회로 운영방법에 있어서:

제1 딜레이 라인을 가지는 제1 지연동기회로를 이용하여 제1 입력 클럭에 지연 동기된 제1 클럭을 데이터 출력 타이밍 제어를 위한 신호로서 생성하고;

제2 딜레이 라인을 가지며, 상기 제1 지연동기회로의 지연동기 동작관련 로직 레벨과 다른 레벨을 가짐에 의해 상기 제1 지연동기회로에 비해 지터 특성이 상대적으로 더 좋은 제2 지연동기회로를 이용하여 제2 입력 클럭에 지연 동기된 제2 클럭을 생성하고;

클럭 도메인 변경을 위해 상기 제2 클럭을 이용하여 데이터 출력 인에이블 신호를 생성하는 방법.

청구항 9

제8항에 있어서, 상기 제2 입력 클럭은 상기 제1 입력 클럭이 위상 스플릿된 클럭인 방법.

청구항 10

제8항에 있어서, 상기 제2 입력 클럭은 상기 제1 입력 클럭과 위상이 같은 클럭인 방법.

발명의 설명

기술 분야

[0001] 본 발명은 반도체 메모리 장치에 관한 것으로, 보다 구체적으로 지연동기회로를 이용하여 외부클럭에 동기된 데이터를 출력하는 동기 반도체 메모리 장치에 관한 것이다.

배경 기술

- [0002] 일반적으로, 반도체 장치에서 클럭은 동작 타이밍을 맞추기 위한 레퍼런스 신호로서 널리 사용되고 있다.
- [0003] 외부로부터 인가되는 클럭이 장치 내부에서 사용될 때 내부 회로들에 의한 시간 지연(클럭 스큐; clock skew)이 발생하게 된다. 이러한 시간 지연을 조절하여 내부 클럭이 외부 클럭과 동일한 위상을 가지도록 해주는 회로가 바로 지연동기회로(이하 DLL: Delay Locked Loop)이다.
- [0004] DDR SDRAM (Double Data Rate Synchronous Dynamic Random Access Memory)에서의 리드 레이턴시(latency) 동작과 온다이 터미네이션(이하 ODT:On Die Termination)기술의 적용은 클럭의 동기(synchronous)동작을 기본적으로 요구하므로, DLL이 SDRAM에 대부분 내장된다.
- [0005] 동기 반도체 메모리 장치에서의 동작 스피드가 빨라짐에 따라, DLL의 동작 특성이 더욱 중요해지고 있는 실정이다. 따라서, 지터 특성이 강건(robust)한 DLL의 사용이 필요하다. 그러나 로우 파워(low power)의 구현을 위해 DLL에서 소모되는 파워를 효과적으로 줄이는 대책도 동시에 요망된다.

발명의 내용

해결하려는 과제

- [0006] 본 발명이 해결하고자 하는 기술적 과제는, 듀얼 지연동기회로를 가지는 동기 반도체 메모리 장치 및 듀얼 지연동기회로의 운영방법을 제공함에 있다.
- [0007] 본 발명이 해결하고자 하는 기술적 과제는, 파워 소모가 보다 적으면서도 지터 특성이 보다 좋은 지연동기회로를 가지는 반도체 장치를 제공함에 있다.

과제의 해결 수단

- [0008] 상기 기술적 과제를 달성하기 위한 본 발명의 개념적 실시 예의 일 양상에 따라, 동기 반도체 메모리 장치는,
- [0009] 제1 딜레이 라인을 가지며 인가되는 클럭에 지연 동기된 제1 클럭을 데이터 출력 타이밍 제어를 위한 신호로서

생성하는 제1 지연동기회로; 및

- [0010] 제2 딜레이 라인을 가지며 상기 클럭에 지연 동기된 제2 클럭을 생성하는 제2 지연동기회로를 포함하며;
- [0011] 상기 제1,2 지연동기회로의 지연동기 동작관련 로직 레벨은 서로 다름에 의해, 상기 제1 지연동기회로는 제2 지연동기회로에 비해 파워 소모가 적고, 상기 제2 지연동기회로는 상기 제1 지연동기회로에 비해 지터 특성이 우월하도록 구성된다.
- [0012] 본 발명의 개념적 실시 예에 따라, 상기 제1 클럭은 리드 레이턴시의 제어에 사용될 수 있다.
- [0013] 본 발명의 개념적 실시 예에 따라, 상기 제2 클럭은 데이터 출력 스트로브 신호의 생성에 사용될 수 있다.
- [0014] 본 발명의 개념적 실시 예에 따라, 상기 제2 지연동기회로는 노이즈 면역성을 높이기 위해 상기 클럭을 수신하여 전류모드 로직(CML)레벨로 스위칭될 수 있다.
- [0015] 본 발명의 개념적 실시 예에 따라, 상기 제1 딜레이 라인과 제2 딜레이 라인은 딜레이 량이 서로 다른 딜레이 라인을 사용할 수 있다.
- [0016] 본 발명의 개념적 실시 예에 따라, 상기 지터 특성은 파워 노이즈의 영향에 의해 나타나는 지터 특성일 수 있다.
- [0017] 본 발명의 개념적 실시 예에 따라, 상기 동기 반도체 메모리 장치는 SDRAM 일 수 있으며, 상기 SDRAM은 DDR4 에서 요구되는 동작 랜지와 동작 전압을 가질 수 있다.
- [0018] 본 발명의 개념적 실시 예에 따라, 상기 제1 지연동기회로는 파워 소모를 줄이기 위해 상기 클럭을 수신하여 CMOS 레벨로 스위칭될 수 있다.
- [0019] 상기 기술적 과제를 달성하기 위한 본 발명의 개념적 실시 예의 다른 양상에 따라, 동기 반도체 메모리 장치에서의 지연동기회로 운영방법은:
- [0020] 제1 딜레이 라인을 가지는 제1 지연동기회로를 이용하여 제1 입력 클럭에 지연 동기된 제1 클럭을 데이터 출력 타이밍 제어를 위한 신호로서 생성하고;
- [0021] 제2 딜레이 라인을 가지며, 상기 제1 지연동기회로의 지연동기 동작관련 로직 레벨과는 다른 레벨을 가짐에 의해 상기 제1 지연동기회로에 비해 지터 특성이 상대적으로 더 좋은 제2 지연동기회로를 이용하여 제2 입력 클럭에 지연 동기된 제2 클럭을 생성하고;
- [0022] 클럭 도메인 변경을 위해 상기 제2 클럭을 이용하여 데이터 출력 인에이블 신호를 생성하는 단계들을 포함한다.
- [0023] 본 발명의 개념적 실시 예에 따라, 상기 제2 입력 클럭은 상기 제1 입력 클럭이 위상 스플릿된 클럭일 수 있다.
- [0024] 본 발명의 개념적 실시 예에 따라, 상기 제2 입력 클럭은 상기 제1 입력 클럭과 위상이 같은 클럭일 수 있다.
- [0025] 본 발명의 개념적 실시 예에 따라, 상기 제2 입력 클럭은 상기 제1 입력 클럭과 위상이 다른 클럭일 수 있다.
- [0026] 본 발명의 개념적 실시 예에 따라, 상기 제1 지연동기회로는 제2 지연동기회로에 비해 파워 소모가 적을 수 있다.
- [0027] 본 발명의 개념적 실시 예에 따라, 상기 제1 클럭은 리드 레이턴시의 제어에 사용되고, 상기 제2 클럭은 데이터 출력 스트로브 신호의 생성에 사용될 수 있다.

발명의 효과

- [0028] 본 발명의 실시 예들에 따르면, 지터 특성이 보다 좋으면서도 파워 소모가 상대적으로 적은 지연동기회로가 얻어진다. 그러한 지연동기회로가 동기 반도체 메모리 장치에 적용되는 경우에 장치의 동작 신뢰성이 개선되고, 파워 소모 측면에서 경쟁력이 높아진다.

도면의 간단한 설명

- [0029] 도 1은 본 발명의 개념적 실시 예에 따른 회로부를 포함하는 동기 반도체 메모리 장치의 블록도.

- 도 2는 도 1중 회로부의 예시적 블록도.
- 도 3은 도 2에 따른 구체적 일 예시도.
- 도 4는 도 3에 적용 가능한 딜레이 라인의 구현 예시도.
- 도 5는 도 3에 따른 예시적 동작 타이밍도.
- 도 6은 도 3에 따른 회로부의 지터 특성 개선을 비교적으로 보여주는 도면.
- 도 7은 도 2에 따른 구체적 다른 예시도.
- 도 8은 도 2에 따른 구체적 또 다른 예시도.
- 도 9는 도 2에 따른 지연동기회로를 포함하는 반도체 장치의 예시적 블록도.
- 도 10은 도 9의 반도체 장치를 포함하는 반도체 시스템의 블록도.
- 도 11은 모바일 기기에 적용된 본 발명의 응용 예를 도시한 개략적 회로 블록도.

발명을 실시하기 위한 구체적인 내용

- [0030] 위와 같은 본 발명의 목적들, 다른 목적들, 특징들 및 이점들은 첨부된 도면과 관련된 이하의 바람직한 실시 예들을 통해서 쉽게 이해될 것이다. 그러나 본 발명은 여기서 설명되는 실시 예에 한정되지 않고 다른 형태로 구체화될 수도 있다. 오히려, 여기서 소개되는 실시 예들은, 이해의 편의를 제공할 의도 이외에는 다른 의도 없이, 개시된 내용이 보다 철저하고 완전해질 수 있도록 그리고 당업자에게 본 발명의 사상이 충분히 전달될 수 있도록 하기 위해 제공되는 것이다.
- [0031] 본 명세서에서, 어떤 소자 또는 라인들이 대상 소자 블록에 연결된다 라고 언급된 경우에 그것은 직접적인 연결 뿐만 아니라 어떤 다른 소자를 통해 대상 소자 블록에 간접적으로 연결된 의미까지도 포함한다.
- [0032] 또한, 각 도면에서 제시된 동일 또는 유사한 참조 부호는 동일 또는 유사한 구성 요소를 가급적 나타내고 있다. 일부 도면들에 있어서, 소자 및 라인들의 연결관계는 기술적 내용의 효과적인 설명을 위해 나타나 있을 뿐, 타의 소자나 회로블록들이 더 구비될 수 있다.
- [0033] 여기에 설명되고 예시되는 각 실시 예는 그것의 상보적인 실시 예도 포함될 수 있으며, SDRAM 등과 같은 동기 반도체 메모리 장치에 대한 기본적 데이터 액세스 동작과 내부 기능회로에 관한 세부는 본 발명의 요지를 모호하지 않도록 하기 위해 상세히 설명되지 않음을 유의(note)하라.
- [0034] 도 1은 본 발명의 개념적 실시 예에 따른 회로부를 포함하는 동기 반도체 메모리 장치의 블록도이다.
- [0035] 도 1을 참조하면, SDRAM 등과 같은 동기 반도체 메모리 장치(100)는 코맨드 회로(120), 듀얼 DLL 회로(200), 제 1 회로(300), 및 제2 회로(400)를 포함할 수 있다.
- [0036] 상기 제1 회로(300)는 데이터(DQ#)를 출력하기 위한 출력 드라이버를 포함할 수 있다.
- [0037] 상기 제2 회로(400)는 데이터 출력 스트로브 신호(DQS)를 출력하기 위한 출력 드라이버를 포함할 수 있다.
- [0038] 상기 코맨드 회로(120)는 인가되는 코맨드를 디코딩하고 카스(CAS) 레이턴시 등과 같은 리드 레이턴시를 제어한다.
- [0039] 상기 듀얼 DLL 회로(200)는 인가되는 입력 클럭(CLK)에 각기 동기된 제1,2 클럭(CLK1, CLK2)을 생성한다.
- [0040] 상기 제1 클럭(CLK_1)을 생성하는 제1 지연동기회로(DLL)는 지터 특성이 상대적으로 열등하지만 파워 소모가 적다.
- [0041] 한편, 상기 제2 클럭(CLK_2)을 생성하는 DLL은 파워 소모는 많지만 지터 특성이 상대적으로 우수하다.
- [0042] 상기 제1 클럭(CLK_1)은 데이터 출력 타이밍 제어를 위한 신호로서 이용된다. 예를 들어 상기 제1 클럭(CLK_1)은 리드 레이턴시의 제어에 사용될 수 있다.
- [0043] 상기 제2 클럭(CLK_2)은 지터 프리한 클럭 도메인으로의 변경을 위해 데이터 출력 인에이블 신호를 생성하는 클럭신호로서 이용된다. 또한, 상기 제2 클럭(CLK_2)은 데이터 출력 스트로브 신호의 생성에 사용될 수 있다.
- [0044] 상기한 바와 같은 듀얼 DLL 회로(200)가 동기 반도체 메모리 장치에 적용되면, DLL의 지터 특성이 강건(robust

t)하면서도 DLL에서 소모되는 파워가 비교적 적다.

- [0045] 도 2는 도 1중 회로부의 예시적 블록도 이다.
- [0046] 도 2를 참조하면, 도 1중 회로부는 레이턴시 회로(120), 제1 DLL(210), 제2 DLL(230), 제1 출력 회로(300), 및 제2 출력 회로(400)를 포함할 수 있다.
- [0047] 레이턴시 회로(120)는 라인(L10)을 통해 제1 DLL(210)과 연결되며, 제1 클럭(CLK_1)에 응답하여 딜레이량이 제어된다. 상기 레이턴시 회로(120)는 제1 클럭(CLK_1)에 동기하여 레이턴시가 반영된 인에이블 프리 신호(EN_PRE)를 라인(L20)을 통해 출력한다. 상기 레이턴시 회로(120)는 도 1의 코맨드 회로(120)에 대응될 수 있다.
- [0048] 제1 지연동기회로(제1 DLL:210)는 제1 딜레이 라인을 가지며 인가되는 클럭(CLK)에 지연 동기된 제1 클럭(CLK_1)을 데이터 출력 타이밍 제어를 위한 신호로서 생성한다. 상기 제1 클럭(CLK_1)은 피드백 라인(L30)을 통해 피드백된다.
- [0049] 제2 지연동기회로(제2 DLL:230)는 제2 딜레이 라인을 가지며 상기 클럭(CLK)에 지연 동기된 제2 클럭(CLK_2)을 생성한다. 상기 제2 클럭(CLK_2)은 출력 라인(L40)을 통해 출력되며 제2 DLL(230)내의 위상 디텍터로 피드백된다.
- [0050] 상기 제1,2 지연동기회로(210,230)의 지연동기 동작관련 로직 레벨은 서로 다르다. 따라서, 상기 제1 지연동기회로(210)는 제2 지연동기회로(230)에 비해 파워 소모가 적고, 상기 제2 지연동기회로(230)는 상기 제1 지연동기회로(210)에 비해 지터 특성이 우월할 수 있다.
- [0051] 상기 제1 클럭(CLK_1)은 리드 레이턴시의 제어에 사용될 수 있다. 상기 제2 클럭(CLK_2)은 지터 특성이 상대적으로 좋으므로 데이터 출력 스트로브 신호의 생성에 사용될 수 있다.
- [0052] 상기 제2 지연동기회로(230)는 노이즈 면역성을 높이기 위해 상기 클럭(CLK)을 수신하여 전류모드 로직(CML)레벨로 스윙시킬 수 있다.
- [0053] 상기 제1 지연동기회로(210)는 파워 소모를 줄이기 위해 상기 클럭(CLK)을 수신하여 CMOS 레벨로 스윙시킬 수 있다. 여기서, 상기 CMOS 레벨은 상기 전류모드 로직(CML)레벨보다 크다. 따라서, 전류모드 로직(CML)레벨은 파워 노이즈에 상대적으로 영향을 덜 받으므로 제2 지연동기회로(230)는 지터 특성이 상대적으로 좋다.
- [0054] 한편, 상기 CMOS 레벨의 스윙 동작을 갖는 상기 제1 지연동기회로(210)는 전류모드 로직(CML)레벨의 스윙 동작을 갖는 상기 제2 지연동기회로(230)에 비해 파워 소모가 적다.
- [0055] 도 2에서 제1 출력 회로(300)는 데이터(DQ#)를 출력하기 위한 출력 드라이버를 포함할 수 있으므로 도 1의 제1 회로(300)에 대응될 수 있다.
- [0056] 제2 출력회로(400)는 데이터 출력 스트로브 신호(DQS)를 출력하기 위한 출력 드라이버를 포함할 수 있으므로 도 1의 제2 회로(400)에 대응될 수 있다.
- [0057] 도 2에서와 같이, 레이턴시 제어를 위해 이중 듀얼 DLL(Heterogeneous dual DLL)을 사용하면, 지터 특성이 보다 좋으면서도 파워 소모는 상대적으로 적은 효과가 있다.
- [0058] 도 3은 도 2에 따른 구체적 일 예시도 이다.
- [0059] 도 3은 지터 특성과 관련된 설명의 편의상 제1 영역(R10)과 제2 영역(R20)으로 구분되어 있다.
- [0060] 상기 제1 영역(R10)은 도 2의 레이턴시 회로(120), 제1 DLL(210), 및 제2 DLL(230)을 포함한다.
- [0061] 상기 제2 영역(R20)은 도 2의 제1 출력 회로(300)와 제2 출력 회로(400)을 포함한다.
- [0062] 도 3에서, 코맨드 디코더 및 레이턴시 콘트롤 유닛(121), 제1 딜레이 라인(123), 및 레이턴시 서브 유닛(125)은 도 2의 레이턴시 회로(120)에 포함될 수 있다.
- [0063] 제1 딜레이 라인(211), DLL 서브 유닛(213), 클럭 트리 및 출력 드라이버 레플리카(215), 클럭 버퍼 레플리카(217), 위상 검출기(218), 및 콘트롤 로직(219)은 도 2의 제1 DLL(210)에 포함될 수 있다.
- [0064] 제2 딜레이 라인(231), 클럭 트리 및 출력 드라이버 레플리카(235), 클럭 버퍼 레플리카(237), 위상 검출기(238), 및 콘트롤 로직(239)은 도 2의 제2 DLL(230)에 포함될 수 있다.

- [0065] 상기 제1 딜레이 라인(211)과 상기 제2 딜레이 라인(231)의 딜레이량은 서로 다를 수 있다.
- [0066] 상기 제1 DLL(210)에 의해 형성되는 제1 루프(AR1:Loop 1)는 리드 레이턴시(latency) 제어(control)를 위해 마련된다.
- [0067] 상기 제2 DLL(230)에 의해 형성되는 제2 루프(AR2:Loop 2)는 데이터 출력 인에이블 신호(EN)와 데이터 출력 스트로브 신호(DQS)의 생성에 참여하기 위해 마련된다.
- [0068] 제2 영역(R20)내에서, 플립 플롭(310), 클럭 트리 레플리카(320), 리드 FIFO(330), 및 출력 드라이버(340)는 도 2의 제1 출력 회로(300)에 포함될 수 있다.
- [0069] 또한, 클럭 트리(410)와 DQS의 출력을 위한 출력 드라이버(420)는 도 2의 제2 출력 회로(400)에 포함될 수 있다.
- [0070] 상기 클럭 트리 레플리카(320)는 상기 클럭 트리(410)의 딜레이량과 동일하도록 구성된다.
- [0071] 한편, 상기 클럭 버퍼 레플리카(217)는 클럭 버퍼(202)의 딜레이량과 동일하도록 구성된다.
- [0072] 상기 클럭 트리 및 출력 드라이버 레플리카(215)는 제2 영역(R20)내의 클럭 트리(410)의 딜레이량과 출력 드라이버(340)의 딜레이량을 합한 딜레이량과 동일하도록 구성된다.
- [0073] 상기 클럭 버퍼 레플리카(237)는 클럭 버퍼(202)의 딜레이량과 동일하도록 구성된다.
- [0074] 상기 클럭 트리 및 출력 드라이버 레플리카(235)는 제2 영역(R20)내의 클럭 트리(410)의 딜레이량과 출력 드라이버(420)의 딜레이량을 합한 딜레이량과 동일하도록 구성된다.
- [0075] 상기 제1 딜레이 라인(123)은 상기 제1 딜레이 라인(211)과 동일하도록 구성될 수 있다.
- [0076] 상기 제1 딜레이 라인(123)은 데이터가 리드되는 구간 동안에 파워 소모를 줄이기 위해 디세이بل될 수 있다.
- [0077] 상기 제2 DLL(230)의 제2 딜레이 라인(231)에 인가되는 클럭(CLK)은 상기 클럭 버퍼(202)로부터 출력된 클럭이거나, 선택적으로 구비될 수 있는 위상 스플리터(250)를 통해 위상 스플릿된 제2 입력 클럭일 수 있다.
- [0078] 상기 제2 DLL(230)은 전류모드 로직(CML)레벨로 스윙하는 내부 회로들을 가지므로 지터(jitter)성능이 상대적으로 좋은 반면 파워 소모가 상대적으로 많다. 한편, 제1 DLL(210)은 CMOS 레벨로 스윙하는 내부 회로들을 가지므로 지터 성능은 상대적으로 떨어지지만, 파워 소모가 상대적으로 적다.
- [0079] 클럭 스윙의 크기가 큰 경우에 파워 노이즈에 의한 영향이 상대적으로 크므로, 지터 특성은 나쁘게 된다.
- [0080] 상기 레이턴시 회로(120)에 의해 형성되는 리드 레이턴시 패스는 제1 DLL(210)의 제1 딜레이 라인(211)을 카피(copy)한다. 따라서, 파워 소모가 상대적으로 적은 제1 DLL(210)을 레이턴시 제어에 사용하면 리드 레이턴시 패스에서 소모되는 파워 소모도 추가적으로 줄어드는 이점이 있다.
- [0081] 플립 플롭(310)은 인에이블 프리(EN_PRE)신호를 제2 클럭(CLK_2)에 따라 래치하여 데이터 출력 인에이블 신호(EN)를 생성한다. 결국, 상기 플립 플롭(310)에 인가되는 클럭은 제1 클럭(CLK_1)이 아니라, 클럭 도메인(domain)이 체인지된 제2 클럭(CLK_2)이다. 이와 같이, 지터 특성이 상대적으로 우수한 클럭으로 도메인 체인지가 수행되면, 설정 제1 영역(R10)에서 레이턴시 제어를 위한 상기 인에이블 프리(EN_PRE)신호가 파워 노이즈에 기인하여 지터(jitter)를 가진다고 하더라도, 상기 플립 플롭(310)의 출력단 이후부터는 지터 프리(jitter free)한 레이턴시 제어신호 즉, 상기 데이터 출력 인에이블 신호(EN)가 출력된다.
- [0082] 클럭 도메인 체인지 스킴은 SDRAM의 DDR4 3.2GT/s 동작에 적용될 수 있다. DDR3 이후 새로 도입된 DDR4에서 요구하는 SDRAM의 동작 랜지(range)는 1.6GT/s에서 3.2GT/s까지이며, 동작 전압(voltage)은 1.2V 이하이다.
- [0083] 도 3에서와 같이 동작 타입이 서로 다른 2개의 이종 DLL을 포함하는 회로는 DLL 지터 특성이 개선되면서도 전력 소모가 적은 구조이므로, SDRAM의 DDR4에 보다 적합하게 적용될 수 있다.
- [0084] 도 4는 도 3에 적용 가능한 딜레이 라인의 구현 예시도이다.
- [0085] 도 4를 참조하면, 딜레이 라인은 복수의 단위 딜레이들(UD1-UDn)을 포함한다. 하나의 단위 딜레이(UD1)는 2개의 낸드 게이트(NAN1, NAN2)와 인버터(INV1)로 구성될 수 있다.
- [0086] 클럭(CK)은 단위 딜레이들(UD1-UDn)의 각 낸드 게이트(NAN1)의 일측 입력에 공통으로 인가된다. 제어 신호들(R1-Rn)은 단위 딜레이들(UD1-UDn) 중 대응되는 단위 딜레이의 낸드 게이트(NAN1)의 타측 입력에 대응적으로 인

가된다. 즉, 제1 단위 딜레이(UD1)를 구성하는 낸드 게이트(NAN1)의 타측 입력에는 제어 신호(R1)가 인가된다. 상기 제어 신호(R1)는 도 3의 콘트롤 로직들(219,239)에서 제공될 수 있다.

- [0087] 상기 도 4의 딜레이 라인은 도 3의 제1,2 딜레이 라인들(211,231)을 구현하기 위해 적용될 수 있다. 그러나, 이는 예시적인 것에 불과하면, 도 3의 제1,2 딜레이 라인들(211,231)의 구현은 인버터 딜레이 뿐만 아니라 다른 여러 형태의 딜레이로 이루어질 수 있다.
- [0088] 도 5는 도 3에 따른 예시적 동작 타이밍도 이다.
- [0089] 도 5는 DDR4 리드 타이밍도(read timing diagram)를 예시적으로 나타낸다. 리드 레이턴시(RL)가 7인 경우(RL=7)에 데이터 출력 스트로브 신호(DQS)는 리드 코맨드(READ)가 인가된 후부터, 입력 클럭(CK)의 7번째 라이징 에지에 동기하여 생성된다.
- [0090] 도 5에서 케이스 1(C1)은 파워 노이즈에 의한 영향이 없어 지터 프리한 파형 신호들(EN_PRE, CLK_1,CLK_2,DQS)이 이상적으로 발생하는 예를 나타낸다.
- [0091] 그러나, 실제로는 케이스 2(C2)와 같이 지터를 가지는 파형 신호들(EN_PRE, CLK_1)이 생성된다. 케이스 2(C2)는 도 3의 제1 영역((R10)에서 파워 노이즈에 기인하여 지터 영향이 존재하는 경우이다. 케이스 2(C2)에서 보여지는 바와 같이, 지터를 갖는 파형 신호들(EN_PRE, CLK_1)이 생성되어도 제2 DLL(230)이 지터 프리 또는 지터 저감된 제2 클럭(CLK_2)을 생성한다. 따라서, 제2 출력 회로(400)를 통해 출력되는 파형 신호(DQS)는 지터 프리 또는 지터 저감된 신호로서 생성된다.
- [0092] 한편, 케이스 3(C3)은 도 3의 제1,2 영역(R10,R20)에서 파워 노이즈에 기인하여 지터 영향이 모두 존재하는 경우이다. 케이스 3(C3)에서 보여지는 바와 같이, 지터를 갖는 파형 신호들(EN_PRE, CLK_1)이 생성되어도 제2 DLL(230)이 지터 프리 또는 지터 저감된 제2 클럭(CLK_2)을 생성한다. 이 경우에는 제2 출력 회로(400)를 통해 출력되는 파형 신호(DQS)는 지터의 영향을 받지만 싱글 DLL을 사용하는 경우에 비해 지터 저감된 신호로서 생성된다.
- [0093] 케이스 4(C4)는 도 3의 2 영역(R20)에서 파워 노이즈에 기인하여 지터 영향이 존재하는 예시적 경우이다. 케이스 4(C4)에서 보여지는 바와 같이, 지터 프리한 파형 신호들(EN_PRE, CLK_1,CLK_2)이 생성될 수 있다. 마찬가지로 이 경우에는 제2 출력 회로(400)를 통해 출력되는 파형 신호(DQS)는 지터의 영향을 받지만 싱글 DLL을 사용하는 경우에 비해 지터 저감된 신호로서 생성된다.
- [0094] 도 5를 통해 보여진 바와 같이, 제1 영역(R10)에서의 파워 노이즈에 의해 EN_PRE 신호에 지터가 생기더라도, 지터 프리 또는 저감된 제2 클럭 파형(CLK_2)에 의해 최종 출력에서 보여지는 지터량은 줄어든다.
- [0095] 도 6은 도 3에 따른 회로부의 지터 특성 개선을 비교적으로 보여준다.
- [0096] 가로축은 게이트들의 개수를 나타내고 세로축은 축적되는 지터의 크기를 가리킨다. 여기서 게이트들은 DLL에 존재하는 딜레이들을 의미한다.
- [0097] 도면에서 t1 포인트는 도 3에서의 플립 플롭(310)의 클럭단의 입력 포인트를 가리킨다. 듀얼 DLL의 경우에는 싱글 DLL에 비해 게이트들의 개수가 증가하더라도 지터가 누적되는 양이 상대적으로 적다. 누적 지터량 6a는 6c에 비해 지터량이 적고, 누적 지터량 6b는 6d에 비해 지터량이 적다. 여기서, 6a는 도 3의 제1 영역(R10)에서 파워 노이즈가 존재하는 경우에 나타나는 지터 그래프이다. 한편, 6c는 싱글 DLL이 적용되고 제1 영역(R10)에서 파워 노이즈가 존재하는 경우에 나타나는 지터 그래프이다.
- [0098] 6b는 도 3의 제1,2 영역(R1,R20)에서 파워 노이즈가 존재하는 경우에 나타나는 지터 그래프이다. 한편, 6d는 싱글 DLL이 적용되고 제1,2 영역(R10,R20)에서 파워 노이즈가 존재하는 경우에 나타나는 지터 그래프이다.
- [0099] 이중 DLLs을 사용하고 클럭 도메인의 체인지를 수행하는 도 3의 회로 스킴에 따르면, 게이트 단수가 증가되더라도 지터 특성은 싱글 DLL의 경우에 비해 우월함을 알 수 있다.
- [0100] 한편, 싱글 DLL의 경우에는 파워 노이즈에 취약하므로, 지터가 게이트 단수가 증가됨에 따라 지터량이 누적(accumulation)된다.
- [0101] 따라서, 싱글 DLL의 경우에 요구되는 지터 스펙(jitter spec)을 만족시키는 것이 어렵다. 레이턴시 콘트롤(latency control)의 내부 마진은 고주파수(high frequency)에서 더욱 부족하게 된다. 내부 마진의 부족에 따라 DLL을 데드 카피(dead copy)하여 레이턴시 제어를 하는 경우에는 원하는 성능을 얻기 위해 DLL 파워를 무한정

쓰기는 어렵다. 왜냐하면 성능을 만족시키기 위해 DLL 파워를 증가시키면 레이턴시 콘트롤 파워도 또한 증가된다. 그러므로 DLL의 디자인(design)이 제약된다.

- [0102] 따라서, 이종 DLLs을 사용하는 본 실시 예의 회로의 경우에는 제1 영역(R10)에서 발생하는 파워 노이즈가 깨끗하게 필터링(filtering)된다. 클럭 도메인 체인지에 의해 최종적으로 얻어지는 출력 신호들에서는 지터가 상대적으로 최소화 또는 저감된다.
- [0103] 도 7은 도 2에 따른 구체적 다른 예시도 이다.
- [0104] 도 7을 참조하면, 코맨드 디코더 및 레이턴시 콘트롤 유닛(121), 제1 딜레이 라인(123), 및 레이턴시 서브 유닛(125)은 도 2의 레이턴시 회로(120)에 포함될 수 있다.
- [0105] 제1 딜레이 라인(211), DLL 서브 유닛(213), 위상 검출기(218), 및 콘트롤 로직(219)은 도 2의 제1 DLL(210)에 포함될 수 있다. 여기서, 도 3의 경우와는 달리, 상기 위상 검출기(218)는 제1 클럭(CLK_1)의 위상과 제2 클럭(CLK_2)의 위상 간의 차를 검출한다. 제1 클럭(CLK_1)이 로킹되는 동작은 제2 클럭(CLK_2)이 로킹된 후에 수행된다. 결국, 제1 딜레이 라인(211)은 위상 검출기(218)의 검출 출력에 따라 딜레이 라인 제어신호를 출력하는 콘트롤 로직(219)에 따라 제어된다.
- [0106] 제2 딜레이 라인(231), 클럭 트리 및 출력 드라이버 레플리카(235), 클럭 버퍼 레플리카(237), 위상 검출기(238), 및 콘트롤 로직(239)은 도 2의 제2 DLL(230)에 포함될 수 있다.
- [0107] 도 7에서, 제1 DLL(210)은 도 3에서의 클럭 트리 및 출력 드라이버 레플리카(215) 및 클럭 버퍼 레플리카(217)가 제거된 구성을 가진다.
- [0108] 상기 제1 딜레이 라인(211)과 상기 제2 딜레이 라인(231)의 딜레이량은 서로 다를 수 있다.
- [0109] 상기 제1 DLL(210)은 리드 레이턴시(latency) 제어(control)를 위해 마련되고, 상기 제2 DLL(230)은 데이터 출력 인에이블 신호(EN)와 데이터 출력 스트로브 신호(DQS)의 생성에 참여하기 위해 마련된다.
- [0110] 상기 제1 딜레이 라인(123)은 상기 제1 딜레이 라인(211)과 동일하도록 구성될 수 있다.
- [0111] 상기 제1 딜레이 라인(123)은 데이터가 리드되는 구간 동안에 파워 소모를 줄이기 위해 디세이بل될 수 있다.
- [0112] 상기 제2 DLL(230)의 제2 딜레이 라인(231)에 인가되는 클럭(CLK)은 상기 클럭 버퍼(202)로부터 출력된 클럭이거나, 도 3에서와 같은 위상 스플리터(250)를 통해 위상 스플릿된 제2 입력 클럭일 수 있다.
- [0113] 상기 제2 DLL(230)은 전류모드 로직(CML)레벨로 스윙하는 내부 회로들을 가지므로 지터(jitter)성능이 상대적으로 좋은 반면 파워 소모가 상대적으로 많다. 한편, 제1 DLL(210)은 CMOS 레벨로 스윙하는 내부 회로들을 가지므로 지터 성능은 상대적으로 떨어지지만, 파워 소모가 상대적으로 적다.
- [0114] 상기 레이턴시 회로(120)에 의해 형성되는 리드 레이턴시 패쓰는 제1 DLL(210)의 제1 딜레이 라인(211)을 카피(copy)한다. 따라서, 파워 소모가 상대적으로 적은 제1 DLL(210)을 레이턴시 제어에 사용하면 리드 레이턴시 패쓰에서 소모되는 파워 소모도 추가적으로 줄어든다.
- [0115] 상기 제2 DLL(230)은 CML 회로로 구현될 수 있다.
- [0116] 상기 CML 회로는 작은 스윙 레벨(small swing level)을 가진다. 또한, CML 회로는 디퍼런셜(differential) 회로 구조를 가지기 때문에 노이즈에 대한 면역성(noise immunity)이 강하며, 다이내믹 전류(dynamic current) 성분을 발생시키지 않기 때문에 주위 회로에 노이즈 발생을 최소화시킨다.
- [0117] 도 7의 회로는 로킹 타임이 도 3에 비해 길지만, 도 3에 비해 회로 구성이 상대적으로 간단하므로 하드웨어의 추가 부담이 상대적으로 줄어든다.
- [0118] 도 8은 도 2에 따른 구체적 또 다른 예시도이다.
- [0119] 도 8의 구성은 콘트롤 로직(219)에 추가적으로 연결된 위상 검출기(220)를 제외하면, 도 3의 회로 구성과 동일하다.
- [0120] 상기 위상 검출기(220)는 제1 클럭(CLK_1)의 위상과 제2 클럭(CLK_2)의 위상 간의 차를 검출한다. 제1 클럭(CLK_1)이 로킹되는 동작은, 제2 클럭(CLK_2)이 로킹되는 것과는 독립적으로, 제1 루프(AR1)를 따라 수행된다. 한편, 상기 제2 클럭(CLK_2)이 로킹되는 동작은, 제1 클럭(CLK_1)이 로킹되는 것과는 독립적으로, 제2 루프(AR2)를 따라 수행된다.

- [0121] 결국, 제1 딜레이 라인(211)은 위상 검출기(218)의 검출 출력이나 위상 검출기(220)의 검출 출력에 따라 딜레이 라인 제어신호를 출력하는 콘트롤 로직(219)에 따라 제어된다. 상기 콘트롤 로직(219)은 설정된 동작 조건이나 로킹 상태에 따라 위상 검출기(218)의 검출 출력과 위상 검출기(220)의 검출 출력 중 하나를 선택할 수 있다.
- [0122] 도 8의 회로는 도 3에 비해 위상 검출기가 더 구비되나, 동작 신뢰성이 상대적으로 높을 수 있다.
- [0123] 도 9는 도 2에 따른 지연동기회로를 포함하는 반도체 장치의 예시적 블록도 이다.
- [0124] 도 9를 참조하면, 반도체 장치(300)는 DLL(10), 메모리 어레이(310), 로우 디코더(320), 컬럼 디코더(330), 입출력 회로(340), 어드레스 회로(350), 및 제어 회로(360)를 포함할 수 있다.
- [0125] 상기 메모리 어레이(310)는 복수의 워드라인들, 복수의 비트라인들, 및 상기 복수의 워드라인들과 상기 복수의 비트라인들 사이에 접속된 복수의 메모리 셀들을 포함할 수 있다. 상기 복수의 메모리 셀들 각각은 DRAM 또는 SDRAM과 같은 휘발성 메모리 셀로 구현될 수 있다.
- [0126] 또한, 상기 복수의 메모리 셀들 각각은 불휘발성 메모리 셀로 구현될 수 있다. 상기 불휘발성 메모리 셀들을 포함하는 불휘발성 반도체 메모리 장치는, EEPROM(Electrically Erasable Programmable Read-Only Memory), 플래시 메모리, MRAM(Magnetic RAM), 스핀전달토크 MRAM(Spin-Transfer Torque MRAM), Conductive bridging RAM(CBRAM), FeRAM (Ferroelectric RAM), OUM(Ovonic Unified Memory)라고도 불리는 PRAM(Phase change RAM), 저항 메모리(Resistive RAM: RRAM 또는 ReRAM), 나노튜브 RRAM(Nanotube RRAM), 폴리머 RAM(Polymer RAM: PoRAM), 나노 부유 게이트 메모리(Nano Floating Gate Memory: NFGM), 홀로그래픽 메모리 (holographic memory), 분자 전자 메모리 소자 (Molecular Electronics Memory Device), 또는 절연 저항 변화 메모리 (Insulator Resistance Change Memory)일 수 있다.
- [0127] 상기 불휘발성 메모리 셀은 한 메모리 셀당 하나의 비트 또는 다수의 비트들을 저장할 수 있다.
- [0128] 로우 디코더(320)는 어드레스 회로(350)로부터 인가되는 로우 어드레스를 수신하여 디코딩한다. 상기 로우 디코더(320)의 디코딩 동작에 의해 상기 복수의 워드라인들 중에서 적어도 하나의 워드라인이 선택된다.
- [0129] 컬럼 디코더(330)는 어드레스 회로(350)로부터 출력된 컬럼 어드레스를 수신하여 디코딩한다. 상기 컬럼 디코더(330)의 디코딩 동작에 의해 상기 복수의 비트라인들 중에서 어느 하나의 비트라인이 선택된다.
- [0130] 입출력 회로(340)는 로우 디코더(320)와 컬럼 디코더(330)에 의해 선택된 메모리 셀에 데이터를 라이트할 수 있다. 또한, 입출력 회로(340)는 로우 디코더(320)와 컬럼 디코더(330)에 의해 선택된 메모리 셀로부터 데이터를 리드할 수 있다.
- [0131] 입출력 회로(340)는 리드 동작 시에 리드될 데이터(DATA)를 감지 증폭하기 위한 다수의 감지 증폭기들과 라이트 동작 시에 라이트될 데이터(DATA)를 드라이빙하기 위한 다수의 드라이버들을 포함할 수 있다.
- [0132] 어드레스 회로(350)는 제어 회로(360)의 제어 하에 입력 어드레스를 수신하여 로우 어드레스와 컬럼 어드레스를 출력할 수 있다.
- [0133] 제어 회로(360)는 리드 동작 또는 라이트 동작을 수행하기 위해 필요한 복수의 제어 신호들에 응답하여 어드레스 회로(350)의 동작을 제어할 수 있는 복수의 동작 제어 신호들을 발생할 수 있다. 또한, 상기 제어 회로(360)는 도 3을 통해 설명된 바와 같이 상기 DLL(10)을 제어할 수 있다. 이 경우에 상기 DLL(10)은 도 3에서와 같이 동작 타입이 서로 다른 2개의 이중 DLL을 포함하는 회로이다.
- [0134] 따라서, DLL 지터 특성이 개선되면서도 전력 소모가 적은 DLL(10)이 제공되므로, 상기 반도체 장치(300)는 SDRAM DDR4의 동작 사양에 적합하게 동작될 수 있다.
- [0135] 결국, 입출력 회로(340)는 DLL(10)로부터 출력된 클럭들에 동기하여 리드 레이턴시 동작을 수행할 수 있다. 이 경우에 지터 프리 및 저전력 소모가 구현되므로 상기 반도체 장치(300)의 동작 퍼포먼스는 개선된다.
- [0136] 또한, 반도체 장치(300)는 상기 DLL(10)의 출력된 클럭들에 근거하여 온 다이 터미네이션(on die termination) 동작도 적절히 수행할 수 있다.
- [0137] ODT 기술은 SSTL(Stub Series Termination Logic) 기반의 시스템과 메모리 간의 인터페이스에서 신호의 반사(signal reflection) 등을 최소화함으로써 신호의 보전성(signal integrity)을 향상시키기 위하여 도입되었다. 결국, 기존에는 마더보드(motherboard)가 터미네이션 전압(VTT: Termination Voltage)을 제공해왔다. 그러나, ODT기술을 이용함으로써 DDR2 스펙 이상의 SDRAM에서는 DRAM과 메모리 컨트롤러(memory controller)가 터미네이

선 전압을 제공할 수 있게 되었다.

- [0138] 도 10은 도 9의 반도체 장치를 포함하는 반도체 시스템의 블록도 이다.
- [0139] 도 10을 참조하면, 반도체 시스템(400)은 PC, 포터블 컴퓨터, 포터블 이동 통신 장치, 또는 CE(consumer equipment)에 응용될 수 있다.
- [0140] 상기 포터블 이동 통신 장치는 이동 전화기, PDA, 또는 PMP를 포함할 수 있다.
- [0141] 또한, 상기 반도체 시스템(400)은 메모리 카드 또는 e-북(book)일 수 있다.
- [0142] 또한, 상기 반도체 시스템(400)은 게임기, 게임 컨트롤러, 네비게이터, 또는 전자 악기일 수 있다.
- [0143] 한편, 상기 CE(consumer equipment)는 디지털 TV, 홈 오토메이션 장치, 또는 디지털 카메라일 수 있다.
- [0144] 상기 반도체 시스템(400)은 도 9의 반도체 장치에 대응되는 메모리(300) 및 프로세서(410)를 포함할 수 있다. 따라서, 메모리(300)와 프로세서(410)는 버스(401)를 통하여 데이터를 주거나 받을 수 있다. 예컨대, 프로세서(410)는 메모리(300)의 메모리 액세스 동작을 전반적으로 제어할 수 있다.
- [0145] 상기 반도체 시스템(400)은 인터페이스 모듈(420)을 더 포함할 수 있다. 인터페이스 모듈(420)은 무선 통신 모듈일 수 있다. 따라서 모듈(420)은 프로세서(410)의 제어 하에 메모리(300)에 저장된 데이터를 무선 통신을 통하여 외부로 전송할 수 있고 또한, 외부로부터 전송된 데이터를 메모리(300)에 저장할 수 있다.
- [0146] 실시 예에 따라, 인터페이스 모듈(420)은 이미지 센서일 수 있다. 따라서 상기 이미지 센서는 이미지를 픽업하여 생성된 디지털 신호를 프로세서(410)의 제어 하에 상기 메모리(300)에 저장할 수 있고 메모리(300)에 저장된 데이터를 입출력 인터페이스(430)를 통하여 외부로 전송할 수 있다.
- [0147] 반도체 시스템(400)은 입출력 인터페이스(430)를 더 포함할 수 있다. 상기 입출력 인터페이스(430)는 디스플레이 장치일 수 있다. 또한, 입출력 인터페이스(430)는 키보드, 마우스, 스캐너와 같은 입력 장치일 수 있고, 또한 프린터와 같은 출력 장치일 수 있다.
- [0148] 도 10의 경우에도 상기 메모리(300)나 상기 프로세서(410)는 도 2와 같은 듀얼 DLLs를 포함할 수 있으므로, 저전력 소모 동작하에 지터 특성이 개선된 반도체 시스템(400)이 제공된다.
- [0149] 도 11은 모바일 기기에 적용된 본 발명의 응용 예를 도시한 개략적 회로 블록도 이다.
- [0150] 도 11을 참조하면, 스마트 폰이 될 수도 있는 모바일 기기는 멀티 포트 DRAM(110), 제1 프로세서(210), 제2 프로세서(310), 디스플레이부(420), 유우저 인터페이스(510), 카메라 유닛(600), 및 모뎀(700)을 포함할 수 있다.
- [0151] 상기 멀티 포트 DRAM(110)은 제1-3버스들(B10, B20, B22)과 연결되는 3개의 포트들을 가지며, 상기 제1 프로세서(210)와 제2 프로세서(310)에 연결되어 있다. 보다 구체적으로, 상기 멀티포트 DRAM(110)의 제1 포트는 제1 버스(B10)를 통해 베이스밴드 프로세서인 제1 프로세서(210)에 연결되고, 멀티포트 DRAM(110)의 제2 포트는 제2 버스(B20)를 통해 응용 프로세서인 제2 프로세서(310)에 연결된다.
- [0152] 또한, 멀티포트 DRAM(110)의 제3 포트는 제3 버스(B22)를 통해 상기 제2 프로세서(310)에 연결된다.
- [0153] 따라서, 하나의 멀티 포트 DRAM(110)은 하나의 스토리지 메모리와 두개의 DRAM을 대체할 수 있다. 상기 멀티 포트 DRAM(110)은 도 8와 같은 반도체 장치로 구현될 수 있다.
- [0154] 결국, 도 11의 멀티 포트 DRAM(110)은 3개의 포트들 구비하고 DRAM과 플래시 메모리의 역할을 함께 수행할 수 있다. 그러한 경우에 상기 멀티포트 DRAM(110)은 DRAM 인터페이스로 동작될 수 있으므로 2개의 DRAM을 대체할 수 있게 된다.
- [0155] 상기 멀티 포트 DRAM(110)은 SDRAM DDR4 에서 요구되는 동작 랜지와 동작 전압을 가질 수 있다.
- [0156] 상기 멀티 포트 DRAM(110)은 이종의 듀얼 DLLs를 다음과 같이 운영할 수 있다.
- [0157] 즉, 제1 딜레이 라인을 가지는 제1 지연동기회로를 이용하여 제1 입력 클럭에 지연 동기된 제1 클럭을 데이터 출력 타이밍 제어를 위한 신호로서 생성할 수 있다.
- [0158] 또한, 제2 딜레이 라인을 가지며 상기 제1 지연동기회로에 비해 지터 특성이 상대적으로 더 좋은 제2 지연동기회로를 이용하여 제2 입력 클럭에 지연 동기된 제2 클럭을 생성할 수 있다.

- [0159] 그리고, 클럭 도메인 변경을 위해 상기 제2 클럭을 이용하여 데이터 출력 인에이블 신호를 생성할 수 있다.
- [0160] 상기 제1 버스(B10)의 인터페이스는 휘발성 메모리 인터페이스일 수 있으며, 상기 제1 포트는 상기 제1 프로세서(210)로부터 발생된 제1 패킷 데이터(DQ1/ADDR1/CMD1)를 수신하여 멀티포트 DRAM(110)의 내부 회로블록으로 전달한다. 또한, 상기 제1 포트는 상기 멀티포트 DRAM(110)의 제1 데이터를 상기 제1 프로세서(210)로 제공한다. 이 경우에 상기 제1 데이터는 병렬 데이터일 수 있다.
- [0161] 상기 제3 버스(B22)의 인터페이스도 휘발성 메모리 인터페이스일 수 있으며, 상기 제3 포트는 상기 제2 프로세서(210)로부터 발생된 제3 패킷 데이터(DQ3/ADDR3/CMD3)를 수신하여 멀티포트 DRAM(110)의 내부 회로블록으로 전달한다. 또한, 상기 제3 포트는 상기 멀티포트 DRAM(110)의 제3 데이터를 상기 제2 프로세서(310)로 제공한다.
- [0162] 한편, 상기 제2 버스(B20)의 인터페이스는 낸드 플래시와 같은 불휘발성 메모리 인터페이스일 수 있으며, 상기 제2 포트는 상기 제2 프로세서(310)로부터 발생된 제2 패킷 데이터(DQ2/ADDR2/CMD2)를 수신하여 멀티포트 DRAM(110)의 내부 회로블록으로 전달한다. 또한, 상기 제2 포트는 상기 멀티포트 DRAM(110)의 제2 데이터를 상기 제2 프로세서(310)로 제공한다. 이 경우에 상기 제2 데이터는 직렬 또는 병렬 데이터일 수 있다.
- [0163] 상기 버스들의 인터페이스는 USB(Universal Serial Bus), MMC(Multi-Media Card), PCIE(Peripheral Component Interconnect-Express), SAS(Serial-attached SCSI), SATA(Serial Advanced Technology Attachment), PATA(Parallel Advanced Technology Attachment), SCSI(Small Computer System Interface), ESDI(Enhanced Small Disk Interface), 및 IDE(Integrated Drive Electronics) 등과 같은 다양한 인터페이스 프로토콜들 중 하나일 수 있다.
- [0164] 상기 제1,2 프로세서들(210,310)과 상기 DRAM(110)은 경우에 따라 하나의 칩으로 제조 또는 패키징될 수 있다. 결국, 상기 DRAM(110)은 상기 모바일 기기에 임베디드될 수도 있다.
- [0165] 상기 모바일 기기가 휴대용 통신 디바이스인 경우에, 상기 제1 프로세서(210)에는 통신 데이터의 송수신 및 데이터 변복조 기능을 수행하는 모뎀(700)이 연결될 수 있다.
- [0166] 대용량의 정보 저장을 위해 상기 제1 프로세서(210) 또는 제2 프로세서(310)에는 노어 타입 혹은 낸드 타입 플래시 메모리가 추가로 연결될 수 있다.
- [0167] 상기 디스플레이 부(420)는 백라이트를 갖는 액정이나 LED 광원을 갖는 액정 또는 OLED 등의 소자로서 터치 스크린을 가질 수 있다. 상기 디스플레이 부(420)는 문자, 숫자, 그림 등의 이미지를 컬러로 표시하는 출력 소자로서 기능한다.
- [0168] 상기 모바일 기기는 모바일 통신 장치의 위주로 설명되었으나, 필요한 경우에 구성 요소를 가감하여 스마트 카드로서 기능할 수 있다.
- [0169] 상기 모바일 기기는 별도의 인터페이스를 외부의 통신 장치와 연결될 수 있다. 상기 통신 장치는 DVD(digital versatile disc) 플레이어, 컴퓨터, 셋 탑 박스(set top box, STB), 게임기, 디지털 캠코더 등일 수 있다.
- [0170] 카메라 유닛(600)은 카메라 이미지 프로세서(Camera Image Processor: CIS)를 포함하며 상기 제2 프로세서(310)와 연결된다.
- [0171] 비록 도면에는 도시되지 않았지만, 상기 모바일 기기에는 응용 칩셋(Application chipset)이나 모바일 디램 등이 더 제공될 수 있음은 이 분야의 통상적인 지식을 가진 자에게 자명하다.
- [0172] 상기 멀티포트 DRAM(110)의 칩이나 상기 프로세서의 칩은 각기 혹은 함께 다양한 형태들의 패키지를 이용하여 실장될 수 있다. 예를 들면, 칩은 PoP(Package on Package), Ball grid arrays(BGAs), Chip scale packages(CSPs), Plastic Leaded Chip Carrier(PLCC), Plastic Dual In-Line Package(PDIP), Die in Wafer Pack, Die in Wafer Form, Chip On Board(COB), Ceramic Dual In-Line Package(CERDIP), Plastic Metric Quad Flat Pack(MQFP), Thin Quad Flatpack(TQFP), Small Outline(SOIC), Shrink Small Outline Package(SSOP), Thin Small Outline(TSOP), Thin Quad Flatpack(TQFP), System In Package(SIP), Multi Chip Package(MCP), Wafer-level Fabricated Package(WFP), Wafer-Level Processed Stack Package(WSP) 등의 패키지로서 패키징화될 수 있다.
- [0173] 비록, 도 11에서 DRAM 이 설치된 것을 예로 들었으나, 다양한 종류의 휘발성 메모리나 불휘발성 메모리가 사용

될 수 있다.

[0174] 상기 메모리들은 텍스트, 그래픽, 소프트웨어 코드 등과 같은 다양한 데이터 형태들을 갖는 데이터 정보를 저장할 수 있다.

[0175] 이상에서와 같이 도면과 명세서를 통해 최적 실시 예가 개시되었다. 여기서 특정한 용어들이 사용되었으나, 이는 단지 본 발명을 설명하기 위한 목적에서 사용된 것이지 의미 한정이나 특허청구범위에 기재된 본 발명의 범위를 제한하기 위하여 사용된 것은 아니다. 그러므로 본 기술 분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 것이다. 예를 들어, 사안이 다른 경우에 본 발명의 기술적 사상을 벗어남이 없이, 지연동기회로의 내부 회로 구조나 클럭 신호 생성 방식을 다양하게 변경 및 변형할 수 있을 것이다.

부호의 설명

[0176] *도면의 주요 부분에 대한 부호의 설명*

100: 동기 반도체메모리장치(SDRAM)

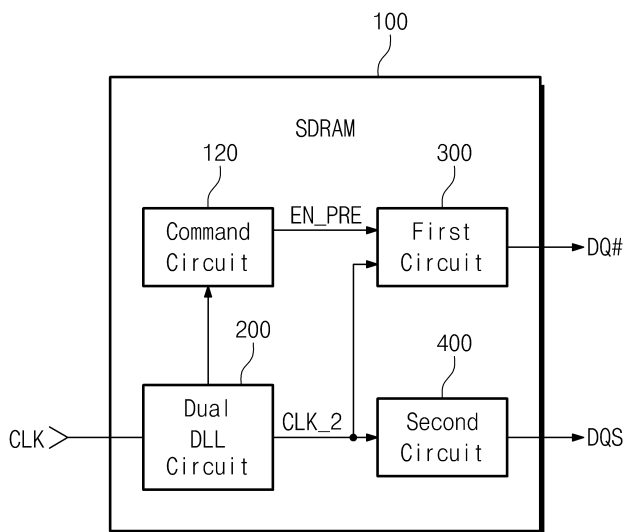
200: 듀얼 DLL 회로

300: 제1 회로

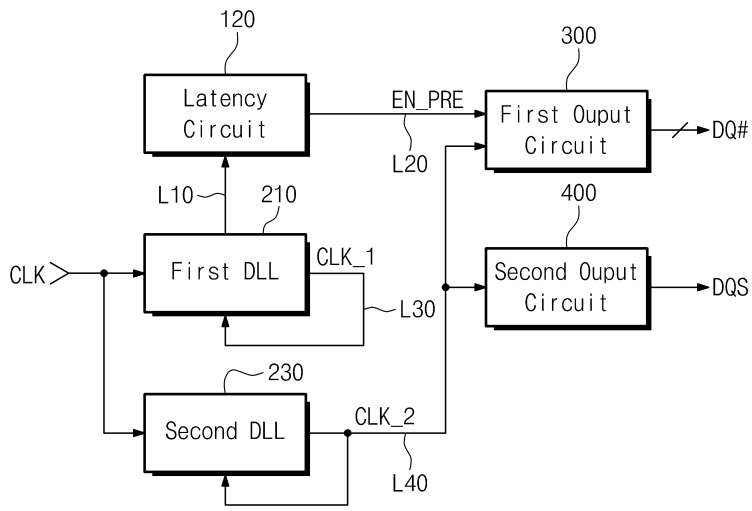
400: 제2 회로

도면

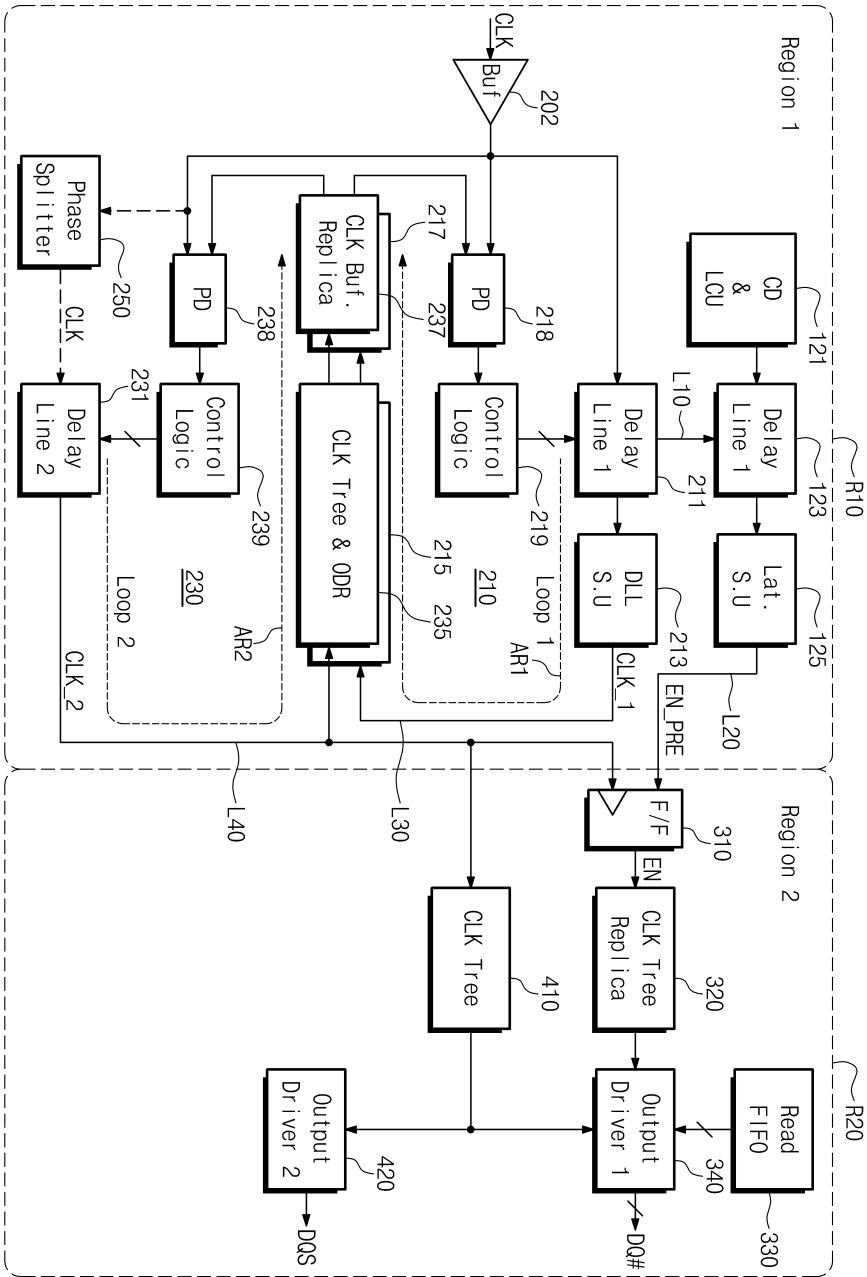
도면1



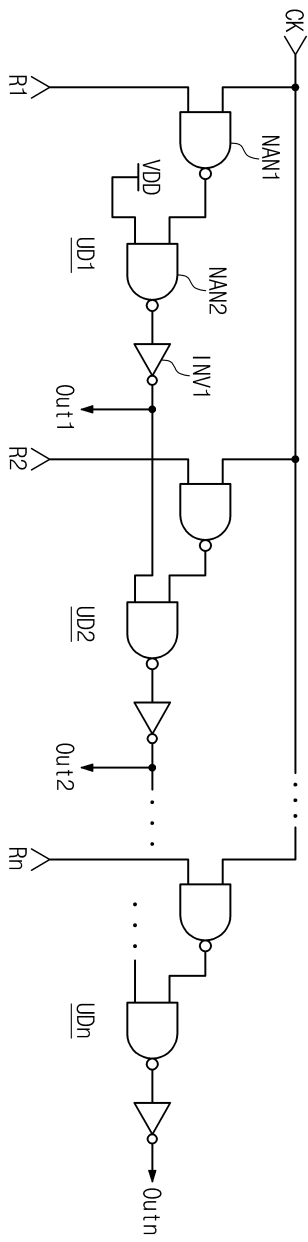
도면2



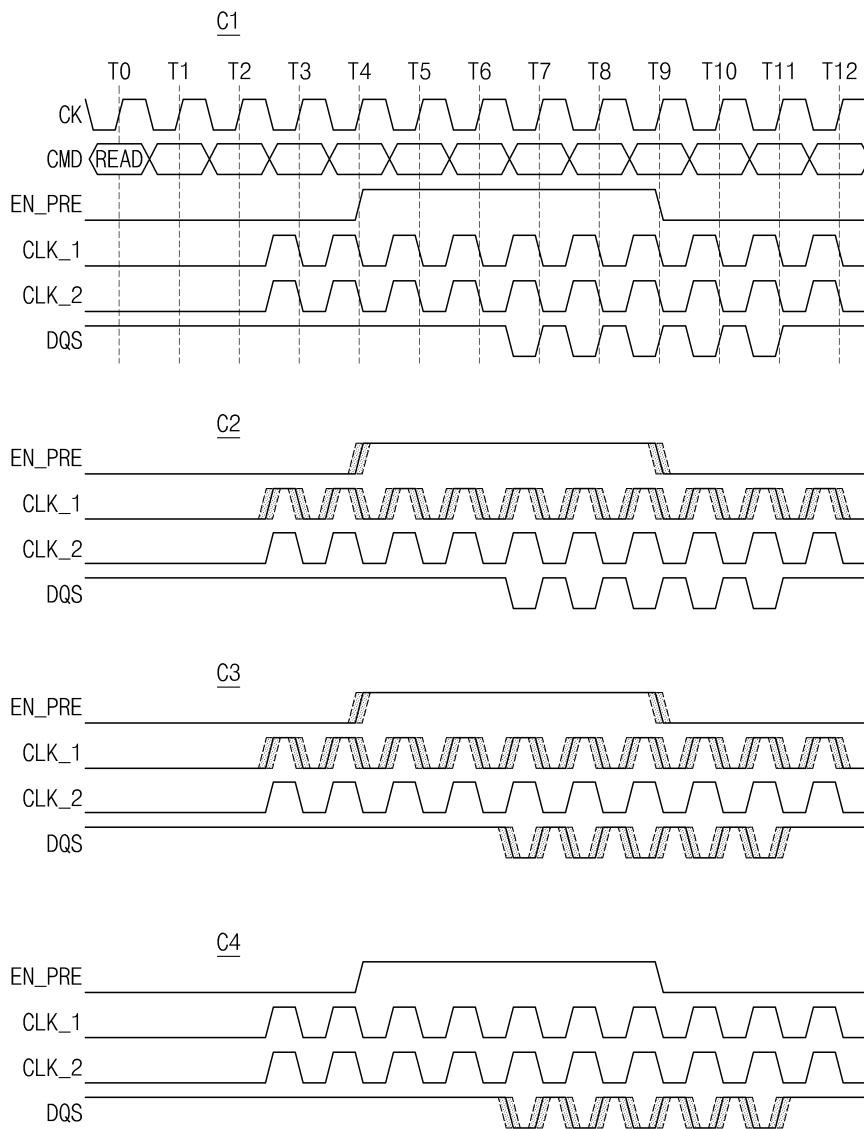
도면3



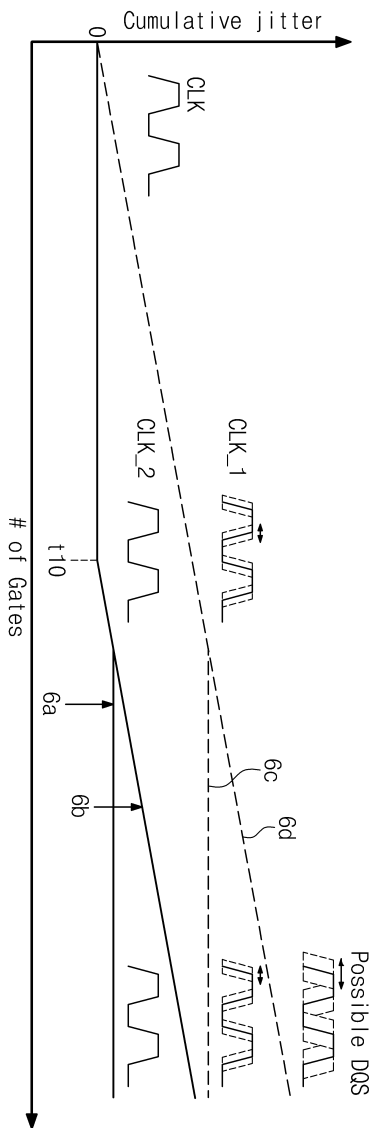
도면4



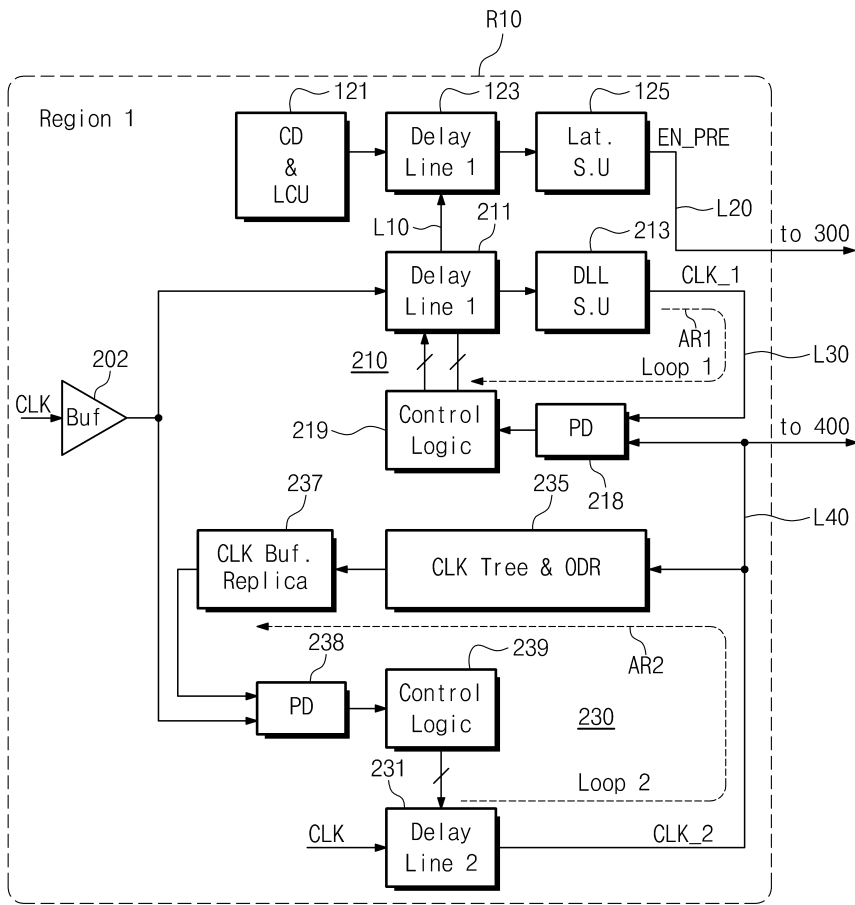
도면5



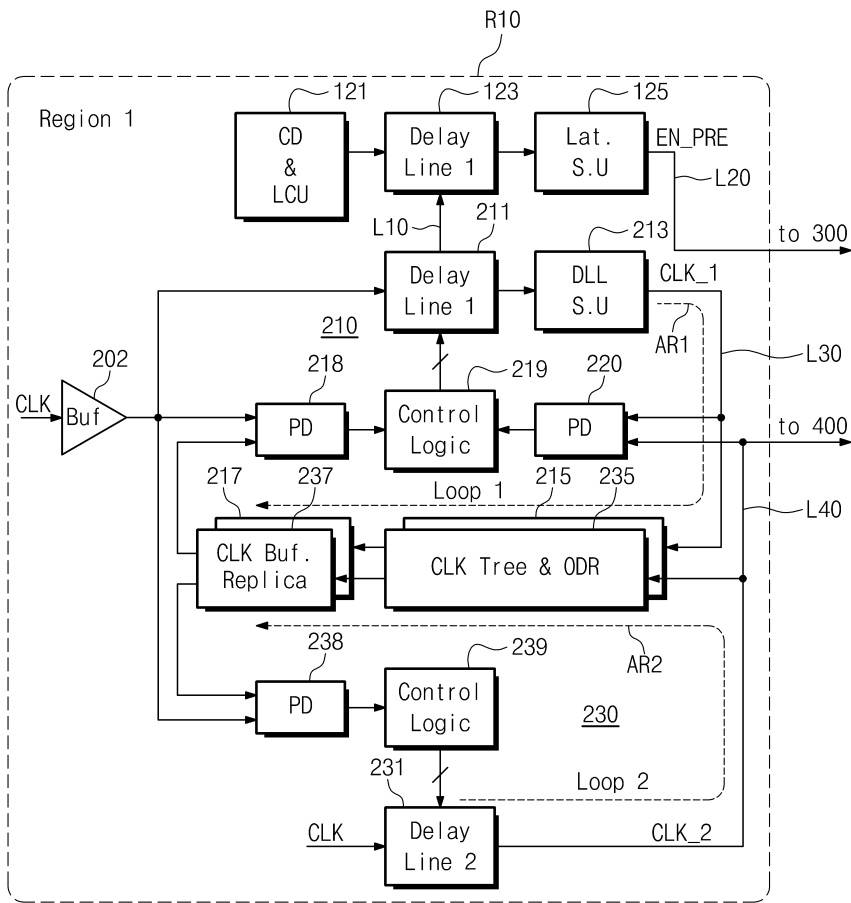
도면6



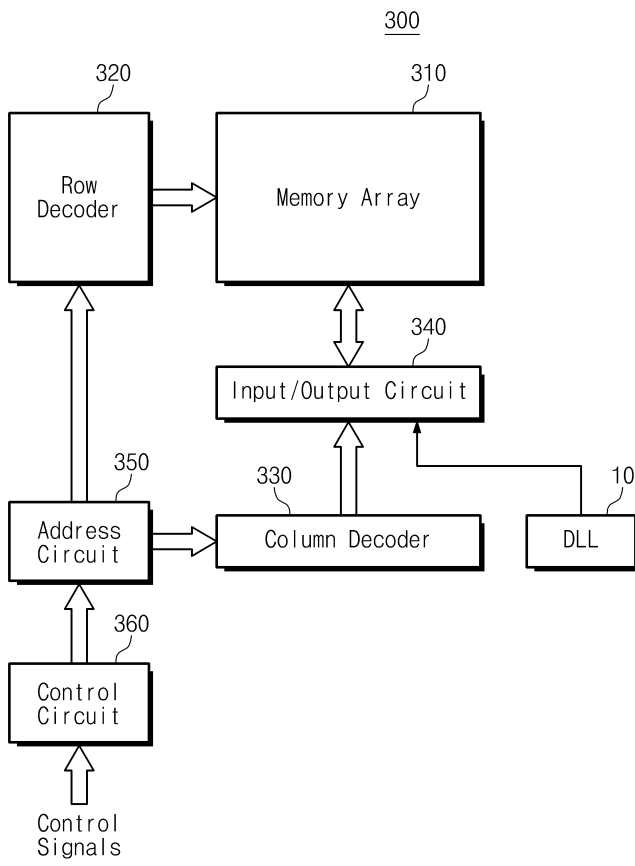
도면7



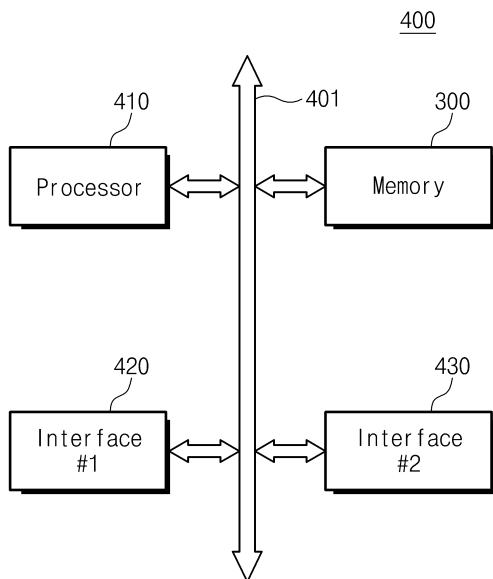
도면8



도면9



도면10



도면11

