

# 公告本

申請日期	90. 11. 13
案 號	90128095
類 別	Gnc 8/00

A4  
C4

533429

(以上各欄由本局填註)

## 發明專利說明書

一、發明 名稱	中 文	半導體記憶裝置
	英 文	SEMICONDUCTOR MEMORY DEVICE
二、發明 人	姓 名	(1)柳下良昌 (2)內田敏也
	國 籍	日 本
三、申請人	住、居所	(1)~(2)日本國神奈川縣川崎市中原區上小田中4丁目1番1號
	姓 名 (名稱)	日商・富士通股份有限公司
	國 籍	日 本
	住、居所 (事務所)	日本國神奈川縣川崎市中原區上小田中4丁目1番1號
	代 表 人 姓 名	秋草直之

裝

訂

線

(由本局填寫)

承辦人代碼：
大 類：
I P C 分類：

A6  
B6

本案已向：

日本 國(地區) 申請專利，申請日期： 案號： ， 有 無主張優先權  
 2001,03,29 特願2001-096344

有關微生物已寄存於： ，寄存日期： ，寄存號碼：

(請先閱讀  
面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部智慧財產局員工消費合作社印製

## 五、發明說明 ( 1 )

### 【發明所屬之技術領域】

本發明係有關半導體記憶裝置，特別係有關具移位冗餘(Shift Redundant)機能之半導體記憶裝置。

### 【習知技藝】

製造出之半導體記憶裝置具不良線路時，可藉所謂移位冗餘之手法，以包含冗餘線路之另一線路取代不良線路而正常化。

第9圖為說明移位冗餘之概要之圖。於該圖中，具有記憶體陣列2、一般線路2a及冗餘線路2b，且藉解碼器1管理該等連接關係。

此種半導體記憶裝置中，譬如第10圖所示，於中央部分發現不良線路時，解碼器1藉由將較該不良線路右側之線路全移位至右側，而可以包含冗餘線路之另一線路取代不良線路。

第11圖係一用以說明執行此種移位冗餘之電路圖。於該圖中，位址鎖存(Address Latch)電路20鎖存由外部輸入之位址信號，並供給於解碼器電路21。

解碼器電路21將藉位址鎖存電路20鎖存之位址信號解碼，生成用以選擇記憶體陣列之預定線路之位址信號，並供給於字組驅動器(Word Driver)電路22。

字組驅動器電路22因應解碼器電路21所供給之選擇信號而驅動記憶體陣列。

另一方面，熔絲電路23係藉因應記憶體陣列之字組線之數目而構成。藉製造後之檢查而檢測出記憶體陣列之預

## 五、發明說明 ( 2 )

定字組線為不良線路時，以外部裝置熔斷因應不良線路位置(位址)之熔絲，俾記憶顯示不良線路之資訊。

解碼器電路24將顯示維持於熔絲電路23之不良線路之資訊解碼，生成指示字組線中之不良線路之指示信號，並供給於冗餘電路25。

冗餘電路25依指示信號而控制字組驅動器電路22，並以包含冗餘線路之另一線路取代不良線路。

接著，說明有關前述習知例之動作。

藉製造後之檢查而檢測出記憶體陣列之預定字組線為不良線路時，依該不良線路，進行熔斷相當於熔絲電路23之熔絲之作業。

如此，業已熔斷對應不良線路之熔絲之半導體記憶裝置安裝於預定電路後，若輸入電源，首先，熔絲電路23生成一因應熔絲之熔斷狀態之信號(顯示不良線路之位址信號)，並供給於解碼器電路24。

解碼器電路24將熔絲電路23所供給之信號解碼，生成指示信號且供給於冗餘電路25。

冗餘電路24參照來自解碼器電路24之指示信號，藉控制字組驅動器電路22以將字組線移位，俾以包含冗餘線路之另一線路取代不良線路(參照第10圖)。

移位冗餘結束後，半導體記憶裝置便開始位址信號之接收，位址鎖存電路20則鎖存輸入之位址信號。

解碼器電路21將藉位址鎖存電路20鎖存之位址信號解碼且生成選擇信號，並供給於字組驅動器電路22。

### 五、發明說明 ( 3 )

因字組驅動器電路22係根據來自冗餘電路25之指示而進行移位冗餘，故可適當地移位來自解碼器電路21之選擇信號，並供給於記憶體陣列。由該結果，除將不良線路由存取對象剔除外，並可藉冗餘線路代替不良線路。

第12圖係一說明第11圖所示之電路形成於半導體基板上時之電路圖之概略之圖。於該圖之例中，沿記憶體陣列之一邊配置有解碼器電路與熔絲電路。此外，解碼器電路中，未施有陰影線(Hatching)之部分係冗餘電路。又，記憶體陣列之右半部分與左半部分分別為冗餘單位，且，不良線路存在於各個單位時，藉冗餘線路取代之動作可單獨實施。

如此，成為移位冗餘對象之記憶體陣列與熔絲電路具1對1之關係時，因僅重新追加對應冗餘線路之區塊即足夠，故可輕易地實現移位冗餘。

#### 【發明欲解決之課題】

然而，為實現移位冗餘，如第11圖所示，移位冗餘用之選擇佈線需與一般的選擇佈線分開設置。特別係解碼器電路21、冗餘電路25之後，因佈線數多，故有依電路之佈局(Layout)而產生佈線損失(Wiring Penalty)之問題點。

又，如FCRAM(快動隨機存取記憶體 Fast Cycle Random Access Memory)，由多數副塊(Sub-block)構成之半導體記憶裝置之場合，係如第13圖所示，可考慮多數副塊共有熔絲之手法。在此，所謂「副塊」係指包含1條冗餘線路之記憶體陣列之單位。第13圖所示之例中，因施有陰影

## 五、發明說明 ( 4 )

線之部分為冗餘電路，故，係藉圖中橫向2個，又，圖中縱向2個，2個之合計4(=2×2)而構成。

且，此例中，因並列於圖中上下方向之2個副塊共用1個熔絲電路，故，如第14圖所示，並列於上下之任一副塊之線路不良時，係亦包含並列於上下方向之另一方之副塊而執行移位冗餘。此圖之例中，由左方數來第4個與右端之線路為不良線路，且該等不良線路藉左側副塊之左端冗餘線路與右側副塊之左端冗餘線路進行取代。

此種並列於上下方向之多數副塊共用相同之熔絲電路時，因需藉佈線連結各副塊之解碼器電路與熔絲電路，故，如第13圖及第14圖所示，需要橫跨副塊之佈線。由該結果，具以下問題點，即，不但產生佈線損失之或然率提高，且解碼器之佈局變為困難。

此外，展開型(Spread Type)之記憶體佈局(Memory Layout)之場合中，並列於上下之記憶體陣列可共有熔絲電路，此時，不需使線路橫跨於記憶體陣列上。然而，此種手法具無法對應3個以上之記憶體陣列之問題點。

本發明係有鑑於前述問題點而作成者，其目的係在於，尤其於具多數副塊之半導體記憶裝置中，減低產生佈線損失之或然率，並可使記錄器之配置變為容易。

### 【用以解決課題之手段】

本發明為解決前述課題，故提供一種半導體記憶裝置，係第1圖所示之具移位冗餘機能者，該半導體記憶裝置包含有：位址輸入電路30，係用以接收位址信號之輸入者；

## 五、發明說明 ( 5 )

驅動電路31，係用以因應前述位址信號而驅動記憶體陣列者；信號線32，係用以連結前述位址輸入電路30與前述驅動電路31者；冗餘電路33，係配置於前述驅動電路31附近，且用以藉包含冗餘線路之另一線路取代存在於前述記憶體陣列之不良線路者；不良線路資訊儲存電路34，係用以儲存顯示前述不良線路之資訊者；及供給電路35，係用以將儲存於前述不良線路資訊儲存電路34之資訊，經由前述信號線32而供給於前述冗餘電路33者。

在此，位址輸入電路30接收位址信號之輸入。驅動電路31因應位址信號而驅動記憶體陣列。信號線32連結位址輸入電路30與驅動電路31。冗餘電路33配置於驅動電路31附近，並藉包含冗餘線路之另一線路取代存在於記憶體陣列之不良線路。供給電路35將儲存顯示不良線路之資訊之不良線路資訊儲存電路34，與儲存於不良線路資訊儲存電路34之資訊，經由信號線32而供給於冗餘電路33。

又，提供一種半導體記憶裝置，係具備多數個具有驅動電路及記憶體陣列之副塊者，該半導體記憶裝置包含有：不良線路資訊儲存電路，係用以將顯示存在於前述副塊之不良線路之資訊儲存於副塊單位者；及冗餘電路，係用以根據儲存於前述不良線路資訊儲存電路之資訊，而藉包含冗餘線路之另一線路取代存在於各副塊之不良線路者。

在此，不良線路資訊儲存電路將顯示存在於副塊之不良線路之資訊儲存於副塊單位。冗餘電路根據儲存於不良

## 五、發明說明 ( 6 )

線路資訊儲存電路之資訊，而藉包含冗餘線路之另一線路取代存在各副塊之不良線路。

### 【簡單之圖示說明】

第1圖：說明本發明動作原理之原理圖。

第2圖：例示本發明第1實施型態之構造。

第3圖：說明第2圖所示之第1實施型態之動作。

第4圖：說明第2圖所示之第1實施型態之動作。

第5圖：例示本發明第2實施型態之構造。

第6圖：說明第5圖所示之第2實施型態之動作。

第7圖：例示本發明第3實施型態之構造。

第8圖：例示第7圖所示之虛線所圍繞之部分的詳細構造。

第9圖：說明習知之移位冗餘之概要。

第10圖：說明習知之移位冗餘之概要。

第11圖：例示習知之半導體記憶裝置之構造。

第12圖：說明第11圖所示之電路形成於半導體基板上時之電路圖之概略。

第13圖：說明由多數副塊構成之半導體記憶裝置中之移位冗餘之一例。

第14圖：說明由多數副塊構成之半導體記憶裝置中之移位冗餘之一例。

### 【發明之實施型態】

以下，參照附圖說明本發明之實施型態。

第1圖為說明本發明之動作原理之原理圖。如該圖所

## 五、發明說明 ( 7 )

示，本發明之半導體記憶裝置，係由位址輸入電路30、驅動電路31、信號線32、冗餘電路33、不良線路資訊儲存電路34、供給電路35及記憶體陣列36構成。

在此，位址輸入電路30由外部接收位址信號之輸入，並透過信號線32而供給於驅動電路31。

驅動電路31因應透過信號線32而供給之位址信號驅動記憶體陣列36。

信號線32電性連結位址輸入電路30與驅動電路31，並傳送位址信號。

冗餘電路33配置於驅動電路31附近，並執行以包含冗餘線路之另一線路取代存在於記憶體陣列36之不良線路之處理。

不良線路資訊儲存電路34係，儲存顯示存在於記憶體陣列36之不良線路之資訊。

供給電路35係，將儲存於不良線路資訊儲存電路34之不良線路之資訊，經由信號線32而供給於冗餘電路33。

接著，說明以上原理圖之動作。

藉檢查而檢測出於記憶體陣列36存有不良線路時，用以界定不良線路之資訊係藉另一裝置而儲存於不良線路資訊儲存電路34。不良線路資訊儲存電路34上具備有多數熔絲，且藉熔斷相當於因應不良線路之位置之熔絲，俾儲存不良線路資訊。

藉如上之操作，於不良線路資訊儲存電路34業已儲存顯示不良線路之資訊之狀態中，將半導體記憶裝置安裝於

(請先閱讀背面之注意事項再  
訂  
本頁)

訂

線

## 五、發明說明 ( 8 )

預定之電路。

於此狀態中，若於該電路輸入電源，半導體記憶裝置之供給電路35將由不良線路資訊儲存電路34讀出有關不良線部之資訊，並經由信號線32而供給於冗餘電路33。此外，此時位址輸入電路30之動作停止，且位址信號之輸入中斷。

冗餘電路33因應透過信號線32而供給之資訊，執行以包含冗餘線路之另一線路取代記憶體陣列36之不良線路之處理。

又，冗餘電路33係，於內部具備有記憶電路，且，因可將有關不良線路之資訊記憶於其內部，故由供給電路35供給資訊後，可根據記憶於內部之資訊而連續地實施冗餘處理。

冗餘處理結束後，位址輸入電路30開始由外部輸入位址信號。由位址輸入電路30輸入之位址信號，係經由信號線32而供給於驅動電路31。

驅動電路31根據經由信號線32而供給之位址信號驅動記憶體陣列36。此時，因藉冗餘電路33執行移位冗餘，故可將不良線路由存取對象剔除。

如前述說明，依本發明，於起動時，因利用用以將位址信號供給於驅動電路31之信號線32，且由不良線路資訊儲存電路34將有關不良線路之資訊供給於冗餘電路33，因此可較習知減少佈線之數目，並減低佈線損失發生之或然率。

又，起動時，因由不良線路資訊儲存電路34將資訊供

(請先閱讀背面之注意事項再  
為本頁)

訂

線

## 五、發明說明 ( 9 )

給於冗餘電路33，且將資訊記憶於該處，故起動後僅需提供1次資訊至冗餘電路33，因此可使裝置之動作簡略化。

第2圖為例示本發明實施型態之構造之圖。如該圖所示，本發明之半導體記憶裝置係由位址鎖存電路50、熔絲電路51、切換(Switch)電路52、選擇電路53、解碼器電路54、切換電路55、冗餘電路56、字組驅動器電路57及無圖示之記憶體陣列構成。

在此，位址鎖存電路50鎖存由外部供給之位址信號，並供給於切換電路52。

熔絲電路51係藉多數熔絲構成。且，藉該等熔絲維持不良線路之有無與用以界定不良線路之資訊。

切換電路52依照選擇電路53之控制，選擇位址鎖存電路50或熔絲電路51之輸出之任一方，並供給於解碼器電路54。

選擇電路53係，於半導體記憶裝置起動時，將指示選擇來自熔絲電路51之輸出之信號供給於切換電路52及切換電路55，並於冗餘處理結束後，供給一指示選擇來自位址鎖存電路50之輸出之信號。

解碼器電路54將位址鎖存電路50或熔絲電路51所供給之位址信號解碼，並生成用以選擇字組線之選擇信號並將之輸出。

切換電路55依選擇電路53之指示，而將解碼器電路54之輸出供給於字組驅動器電路57或冗餘電路56。

冗餘電路56係，內部具有鎖存電路，並記憶解碼器電

(請先閱讀背面之注意事項再  
為本頁)

訂

線

## 五、發明說明 ( 10 )

路54將熔絲電路51之輸出信號解碼之結果所得的資訊。且，根據此記憶之資訊控制字組驅動器電路57，並執行藉包含冗餘線路之另一線路取代不良線路之冗餘處理。

字組驅動器電路57依冗餘電路56之控制而執行冗餘處理並由位址鎖存電路50輸出，且，因應藉解碼器電路54解碼所得之選擇信號而控制記憶體陣列。

接著，說明前述實施型態之動作。

藉出貨前之檢查等而檢測出於記憶體陣列存有不良線路時，依該不良線路之位置而熔斷熔絲電路51之預定熔絲。此外，熔絲電路51具有用以顯示不良線路是否存在之熔絲，與用以界定不良線路之位址之熔絲群，而檢測出不良線路時，除熔斷用以顯示前述不良線路是否存在之字組線外，並依該不良線路之位置，以預定之圖形(Pattern)(譬如，依照表示位址值之2進制之圖形)熔斷前述熔絲群。

於此狀態中，於半導體記憶裝置安裝於預定電路後，若於該電路輸入電源，選擇電路53便指示切換電路52及切換電路55選擇來自熔絲電路51之輸出。

由該結果，如第3圖黑線所示，來自熔絲電路51之輸出係藉切換電路52而選擇，並供給於解碼器電路54，在此進行解碼並變換為選擇信號後，再藉切換電路55而供給於冗餘電路56。

冗餘電路56將切換電路55所供給之冗餘用選擇信號鎖存並維持於內部之鎖存電路。如此，鎖存於鎖存電路之選擇信號將持續維持至電源切斷。

(請先閱讀背面之注意事項再  
為本頁)

訂

線

## 五、發明說明 ( 11 )

其次，朝冗餘電路56之選擇信號之供給結束後，選擇電路53對切換電路52及切換電路55指示選擇來自位址鎖存電路50之輸出。

由該結果，如第4圖黑線所示，位址鎖存電路50鎖存由外部供給之位址信號，並透過切換電路52而供給於解碼器電路54。

解碼器電路54將位址信號解碼並生成選擇信號，且輸出於切換電路55。

切換電路55依照來自選擇電路53之指示，將來自解碼器電路54之輸出供給於字組驅動器電路57。

然而，由於字組驅動器電路57係依冗餘電路56之控制而執行冗餘處理，因此係藉包含冗餘線路之另一線路取代不良線路。由該結果，對不良線路輸入選擇信號時，係對代替不良線路之另一線路進行存取。

如前述說明，依本發明，於起動半導體記憶裝置時，因有關記憶於熔絲電路51之不良線路之資訊係利用傳送一般位址之路徑而供給於冗餘電路56，故可減少佈線之數目。由該結果，可降低佈線損失發生之或然率。

又，前述實施型態中，因冗餘電路56具鎖存電路，且將有關不良線路之資訊鎖存於該處，故起動後，僅需進行1次由熔絲電路51讀出資料，之後可不進行再次讀出而繼續執行冗餘處理。

其次，說明有關本發明第2實施型態。

第5圖表示本發明第2實施型態之概要。如該圖所示，

(請先閱讀背面之注意事項再  
為本頁)

訂

線

## 五、發明說明 ( 12 )

第2實施型態係由記憶體陣列60a、61a、解碼器電路60b、61b、熔絲電路60c、61c及佈線60d、61d構成。

此外，記憶體陣列60a、解碼器電路60b、熔絲電路60c及佈線60d中，左邊第1列~第5列形成1個副塊，又，第6列~第10列形成另一個副塊。

又，記憶體陣列61a、解碼器電路61b、熔絲電路61c及佈線61d中，左邊第1列~第5列形成1個副塊，又，第6列~第10列形成另一副塊。

此例中，為使說明簡略化，故僅顯示4個副塊，但實際上亦可假想存有5個以上之副塊。

在此，記憶體陣列60a、61a係構造呈矩陣狀配置。

解碼器電路60b、61b係由解碼器電路與冗餘解碼器電路(施有陰影線之部分)構成。解碼器電路藉輸入位址信號並解碼而生成選擇信號，並使符合之字組線為現用(Active)之狀態。冗餘解碼器電路讀出有關儲存於熔絲電路60c、61c之不良線路之資訊，並將之解碼，以執行移位冗餘處理。

熔絲電路60c、61c係由譬如顯示不良線路是否存在之熔絲，與顯示不良線路存在之位置之多數熔絲構成，且配置成與記憶體陣列60a、61a之字組線平行之邊相鄰接。

佈線60d、61d與解碼器電路60b、61b及熔絲電路60c、61c連接，並於該等之間傳送資訊。

第6圖為說明第5圖所示之第2實施型態之動作之圖。

如該圖所示，此實施型態中，因熔絲電路單獨設於圖中上下方向之副塊，且圖中左右方向之副塊共用熔絲電

## 五、發明說明 ( 13 )

路，故可於上下之副塊單獨執行移位冗餘。

譬如，上側之記憶體陣列60a中，若右側副塊之左邊數來第4列為不良線路，則不僅右側之副塊，就連左邊之副塊亦同樣地藉左端之冗餘線路取代。

又，記憶體陣列60b中，譬如左側副塊之左邊數來第3列為不良線路，則不僅左側之副塊，就連右側之副塊亦同樣地藉左端之冗餘線路取代。

如此，藉由設置與並列於圖中上下方向之副塊分開之熔絲電路，如第13圖所示，因不需橫跨記憶胞(Memory Cell)配置信號線，故可減低佈線損失之產生。

此外，此圖之例中，雖配置於圖中左右方向之副塊共用熔絲電路，但亦可具備各自獨自之熔絲電路。

又，因熔絲電路配置成與字組線平行之副塊之邊相鄰接，故，譬如即使於多數副塊共用熔絲電路，亦不需橫跨記憶體陣列設置佈線，因而可減低佈線損失之產生。

接著，說明有關本發明第3實施型態。

第7圖例示本發明第3實施型態之構造。此外，第3實施型態係綜合第1實施型態與第2實施型態。此圖之例中，第3實施型態係藉副塊65及副塊66構成。此外，如第5圖所示，亦可構造成於圖中橫方向上具2個或2個以上之副塊。

第8圖係將第7圖所示之虛線所圍繞之部分擴大顯示之圖。此圖之例中，係藉位址鎖存電路70、熔絲電路71、選擇電路72、切換電路73、解碼器電路74a、75a、切換電路74b、75b、鎖存電路74c、75c、冗餘電路74d、75d、字組

(請先閱讀背面之注意事項再  
為本頁)

訂

線

## 五、發明說明 ( 14 )

驅動器電路74e、75ef及記憶胞74f、75f構成。

此外，位址鎖存電路70對應位址鎖存電路50，熔絲電路71對應熔絲電路51，選擇電路72對應選擇電路53，切換電路73對應切換電路52，解碼器電路74a、75a對應解碼器電路54，切換電路74b、75b對應切換電路55，冗餘電路74d、75d、字組驅動器電路75e、75e對應字組驅動器電路57，鎖存電路74c、75c對應冗餘電路56。

位址鎖存電路70配置成與副塊65之字組線平行之邊相鄰接，且鎖存由外部供給之位址信號，並將之供給於切換電路73。

熔絲電路71與位址鎖存電路70同樣地配置成與副塊65之字組線平行之邊相鄰接。此外，熔絲電路71係藉多數熔絲構成，並於存有不良線路時，藉該等熔絲維持是否有不良線路與用以界定該不良線路之資訊。

切換電路73配置於來自解碼器電路74a、75a之佈線為直線之位置上，且依選擇電路72之控制，選擇位址鎖存電路70或熔絲電路71之輸出之任一方，並供給於解碼器電路74a、75a。

選擇電路72係，於半導體記憶裝置起動時，將指示選擇來自熔絲電路71之輸出之信號供給於切換電路73及切換電路74b、75b，且於冗餘處理結束後，供給指示選擇來自位址鎖存電路70之輸出之信號。

解碼器電路74a、75a配置於副塊之最上部，並將位址鎖存電路70或熔絲電路71所供給之位址信號解碼，且生成

(請先閱讀背面之注意事項再  
為本頁)

訂

線

## 五、發明說明 ( 15 )

用以選擇字組線之選擇信號並將之輸出。

鎖存電路74b、75b配置於解碼器電路74a、75a之下，並依選擇電路72之指示，將解碼器電路74a、75a之輸出供給於字組驅動器電路74e、75e或鎖存電路74c、75c中任一者。

鎖存電路74c、75c配置於切換電路74b、75b之下，鎖存並記憶熔絲電路71所供給之資訊，且供給於冗餘電路74d、75d。

字組驅動器電路74e、75e配置於冗餘電路74d、75d之下，並根據藉鎖存電路74c、75c鎖存之資訊而執行冗餘處理。

記憶胞74f、75f形成呈多數記憶零件(Memory Element)配置於列方向。

其次，說明前述實施型態之動作。

藉出貨前之檢查等而檢測出於記憶胞74f、75f…存有不良線路時，依該不良線路之位置，熔斷熔絲電路71之預定熔絲。此外，此熔斷作業係以副塊單位執行。

且，與前述同樣地，熔絲電路71具有用以顯示不良線路是否存在之熔絲，與用以界定記憶體陣列之不良線路位址之熔絲群，且，檢測出不良線路時，除熔斷顯示前述不良線路是否存在之字組線外，並依該不良線路之位置熔斷前述熔絲群。

於此狀態中，於半導體記憶裝置安裝於預定之電路後，若於該電路輸入電源，則各副塊之選擇電路將指示選

(請先閱讀背面之注意事項再  
為本頁)

訂

線

## 五、發明說明 ( 16 )

擇來自熔絲電路之輸出。譬如，第8圖之例中，選擇電路72指示切換電路73及切換電路74b、75b選擇來自熔絲電路71之輸出。

由該結果，來自熔絲電路71之輸出係藉切換電路73選擇，並供給於解碼器電路74a、75a，於該處解碼並變換為選擇信號後，藉切換電路74b、75b分別供給於切換電路74c、75c。

鎖存電路74c、75c鎖存並維持切換電路74b、75b所供給之資訊，且供給於冗餘電路74d、75d。

冗餘電路74d、75d鎖存並維持切換電路74b、75b所供給之冗餘用選擇信號。如此，業已鎖存之資訊可持續維持至電源切斷。

其次，朝冗餘電路74d、75d之選擇信號之供給結束後，選擇電路72指示切換電路73及切換電路74b、75b選擇來自位址鎖存電路70之輸出。

由該結果，位址鎖存電路70鎖存由外部供給之位址信號，並經由切換電路73供給於解碼器電路74a、75a。

解碼器電路74a、75a將位址信號解碼並生成選擇信號，且輸出於切換電路74b、75b。

切換電路74b、75b依來自選擇電路72之指示，將來自解碼器電路74a、75a之輸出供給於字組驅動器電路74e、75e。

然而，因字組驅動器電路74e、75e係依冗餘電路74d、75d之控制而執行冗餘處理，故不良線路係藉另一線路進行

## 五、發明說明 ( 17 )

取代。由該結果，對不良線路輸入選擇信號時，係對代替不良線路之另一線路進行存取。具體而言，記憶胞74f為不良線路時，對記憶胞74f進行存取要求時，存取將分配於未圖示之另一線路之記憶胞。

如前述說明，依本發明，因對並列於與字組線平行之方向(圖中上下方向)之副塊設置獨立之熔絲電路，且單獨控制各個副塊，故不需如第13圖所示般地橫跨記憶胞進行佈線，可防止佈線損失之產生。

又，因共用傳送位址信號之佈線與傳送冗餘資訊之佈線，故藉減少佈線之數目，可與前述同樣地防止佈線損失之產生。

又，因具備鎖存電路，且將有關不良線路之資訊鎖存於該處，故起動後僅需進行1次由熔絲電路讀出資料，之後可不進行再次讀出而繼續執行冗餘處理。

此外，前述實施型態中，雖於各副塊單位設置單獨之1個熔絲電路，但亦可並列於與字組線垂直相交之方向上之多數副塊共用1個熔絲電路。此時，因可於記憶體陣列之外部設置佈線，所以不需如習知般地進行橫跨記憶體陣列之佈線，故此種構造亦可防止佈線損失之產生。

又，即使係並列於與字組線平行之方向上之副塊，譬如展開型之佈線，因可不需橫跨記憶胞上而進行佈線，故可防止佈線損失之產生。另外，此時，如前述，可不橫跨字組線即進行控制之副塊係，於上下方向為2個。

進而，前述實施型態中，雖以對字組線進行冗餘處理

(請先閱讀背面之注意事項再  
為本頁)

訂

線

## 五、發明說明 ( 18 )

為例而作說明，但本發明並不限於字組線，亦可適用於行線(Column Line)等。

最後，以上所示之電路僅是其中一例，本發明並不限於此種情況。

### 【發明之效果】

如前述說明，本發明之半導體記憶裝置係具有移位冗餘機能者，因該半導體記憶裝置設置有以下構件，故可減少所需之信號線數目，由該結果，可減低佈線損失之產生；該等構件係：位址輸入電路，係用以接收位址信號之輸入者；驅動電路，係用以因應位址信號而驅動記憶體陣列者；信號線，係用以連結位址輸入電路與驅動電路者；冗餘電路，係配置於驅動電路附近，且用以藉包含冗餘線路之另一線路取代存在於記憶體陣列之不良線路者；不良線路資訊儲存電路，係用以儲存顯示不良線路之資訊者；及供給電路，係用以將儲存於不良線路資訊儲存電路之資訊，經由信號線而供給於冗餘電路。

又，本發明之半導體記憶裝置係具備多數個具有驅動電路及記憶體陣列之副塊者，因該半導體記憶裝置設置有以下構件，故可剔除需橫跨副塊之佈線，因而可減少佈線損失之產生；該等構件係：不良線路資訊儲存電路，係用以將顯示存在於副塊之不良線路之資訊儲存於副塊單位者；及冗餘電路，係用以根據儲存於不良線路資訊儲存電路之資訊，而藉包含冗餘線路之另一線路取代存在於各副塊之不良線路者。

(請先閱讀背面之注意事項再  
為本頁)

訂

線

## 五、發明說明 ( 19 )

## 【元件標號對照表】

1...解碼器	55...切換電路
2...記憶體陣列	56...冗餘電路
2a...一般線路	57...字組驅動器電路
2b...冗餘線路	60a、61a...記憶體陣列
20...位址鎖存電路	60b、61b...解碼器電路
21...解碼器電路	60c、61c...熔絲電路
22...字組驅動器電路	60d、61d...佈線
23...熔絲電路	65...副塊
24...解碼器電路	66...副塊
25...冗餘電路	70...位址鎖存電路
30...位址輸入電路	71...熔絲電路
31...驅動電路	72...選擇電路
32...信號線	73...切換電路
33...冗餘電路	74a、75a...解碼器電路
34...不良線路資訊儲存電路	74b、75b...切換電路
35...供給電路	74c、75c...鎖存電路
36...記憶體陣列	74d、75d...冗餘電路
50...位址鎖存電路	74e、75e...字組驅動器電路
51...熔絲電路	74f、75f...記憶胞
52...切換電路	
53...選擇電路	
54...解碼器電路	

(請先閱讀背面之注意事項再  
為本頁)

訂

線

## 四、中文發明摘要(發明之名稱： 半導體記憶裝置 )

本發明之課題係在於減少半導體記憶裝置之佈線損失之產生。位址輸入電路(30)係用以接收位址信號之輸入。驅動電路(31)係用以因應位址信號而驅動記憶體陣列。信號線(32)係用以連結位址輸入電路(30)與驅動電路(31)。冗餘電路(33)係配置於驅動電路(33)附近，且用以藉包含冗餘線路之另一線路取代存在於記憶體陣列之不良線路。供給電路(35)係用以將儲存顯示不良線路之資訊之不良線路資訊儲存電路(34)，與儲存於不良線路資訊儲存電路(34)之資訊，經由信號線(32)而供給於冗餘電路(33)。藉此構成，可以共通之信號線(32)傳送位址信號與不良線路資訊，使佈線數減少，並減少佈線損失之產生。

## 英文發明摘要(發明之名稱：SEMICONDUCTOR MEMORY DEVICE )

A semiconductor memory device that reduces the probability of the penalties of wirings arising. An address input circuit receives an address signal input. A drive circuit drives a memory array in compliance with the address signal. A signal line connects the address input circuit and the drive circuit. A redundant circuit is located near the drive circuit and substitutes other lines including a redundant line for a defective line in the memory array. A defective line information store circuit stores information showing the defective line. A supply circuit supplies information stored in the defective line information store circuit to the redundant circuit via the signal line. This structure enables to transmit an address signal and information regarding a defective line by a common signal line and to reduce the number of wirings and the probability of the penalties of wirings arising.

(請先閱讀背面之注意事項再填  
本頁各欄)

裝

訂

線

## 六、申請專利範圍

1. 一種半導體記憶裝置，係具有移位冗餘機能者，該半導體記憶裝置包含有：

位址輸入電路，係用以接收位址信號之輸入者；

驅動電路，係用以因應前述位址信號而驅動記憶體陣列者；

信號線，係用以連結前述位址輸入電路與前述驅動電路者；

冗餘電路，係配置於前述驅動電路附近，且用以藉包含冗餘線路之另一線路取代存在於前述記憶體陣列之不良線路者；

不良線路資訊儲存電路，係用以儲存顯示前述不良線路之資訊者；及

供給電路，係用以將儲存於前述不良線路資訊儲存電路之資訊，經由前述信號線而供給於前述冗餘電路者。

2. 如申請專利範圍第1項之半導體記憶裝置，其中該供給電路，於起動半導體記憶裝置時，係經由前述信號線而將顯示前述不良線路之資訊供給於前述冗餘電路。

3. 如申請專利範圍第2項之半導體記憶裝置，其中該冗餘電路係具有一用以記憶前述資訊之記憶電路。

4. 一種半導體記憶裝置，係具備多數個具有驅動電路及記憶體陣列之副塊者，該半導體記憶裝置包含有：

不良線路資訊儲存電路，係用以將顯示存在於前述副塊之不良線路之資訊儲存於副塊單位者；及

冗餘電路，係用以根據儲存於前述不良線路資訊儲

(請先閱讀背面之注意事項再填本頁)

訂

## 六、申請專利範圍

存電路之資訊，而藉包含冗餘線路之另一線路取代存在於各副塊之不良線路者。

5. 如申請專利範圍第4項之半導體記憶裝置，其中該不良線路資訊儲存電路係多數副塊共用。
6. 如申請專利範圍第5項之半導體記憶裝置，其中該共有前述不良線路資訊儲存電路之多數副塊，係並列於與前述線路垂直相交之方向上。
7. 如申請專利範圍第5項之半導體記憶裝置，其中該副塊係劃分成多數部分，且前述冗餘電路係於各個前述多數部分執行冗餘處理。
8. 如申請專利範圍第4項之半導體記憶裝置，其中該不良線路資訊儲存電路係配置成與前述不良線路平行之前述副塊之一邊相鄰接。
9. 如申請專利範圍第4項之半導體記憶裝置，其中該冗餘電路係配置於前述副塊附近，且，該半導體記憶裝置並具有：

位址輸入電路，係用以接收位址信號之輸入者；

驅動電路，係用以因應前述位址信號而驅動副塊者；

信號線，係用以連結前述位址輸入電路與前述驅動電路者；及

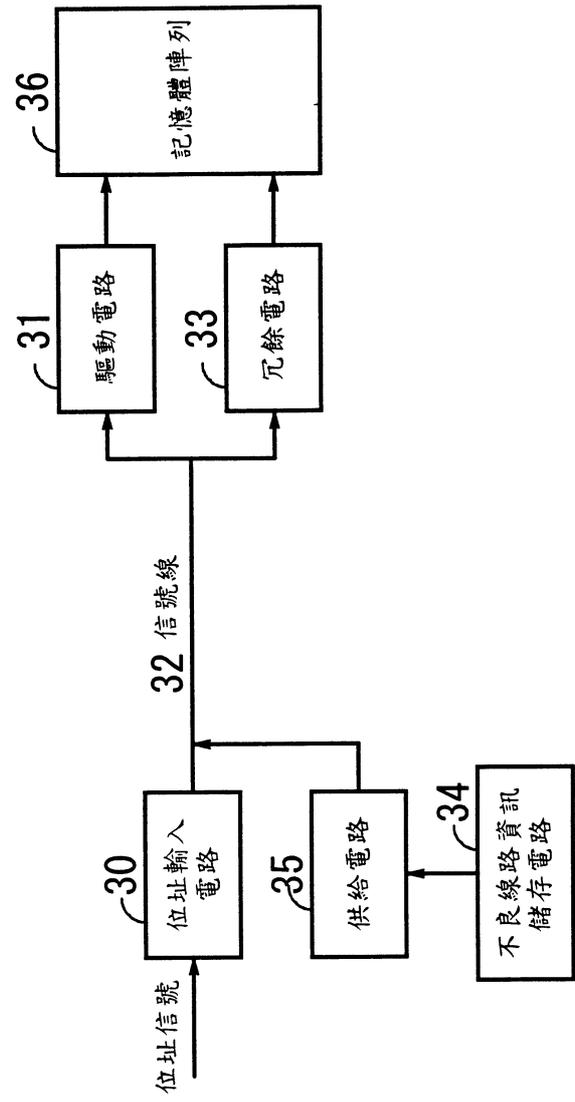
供給電路，係用以將儲存於前述不良線路資訊儲存電路之資訊經由前述信號線而供給於前述冗餘電路者。

10. 如申請專利範圍第8項之半導體記憶裝置，其中該驅動電路係沿前述副塊之一邊配置，而，前述信號線則與前述驅動電路平行配置。

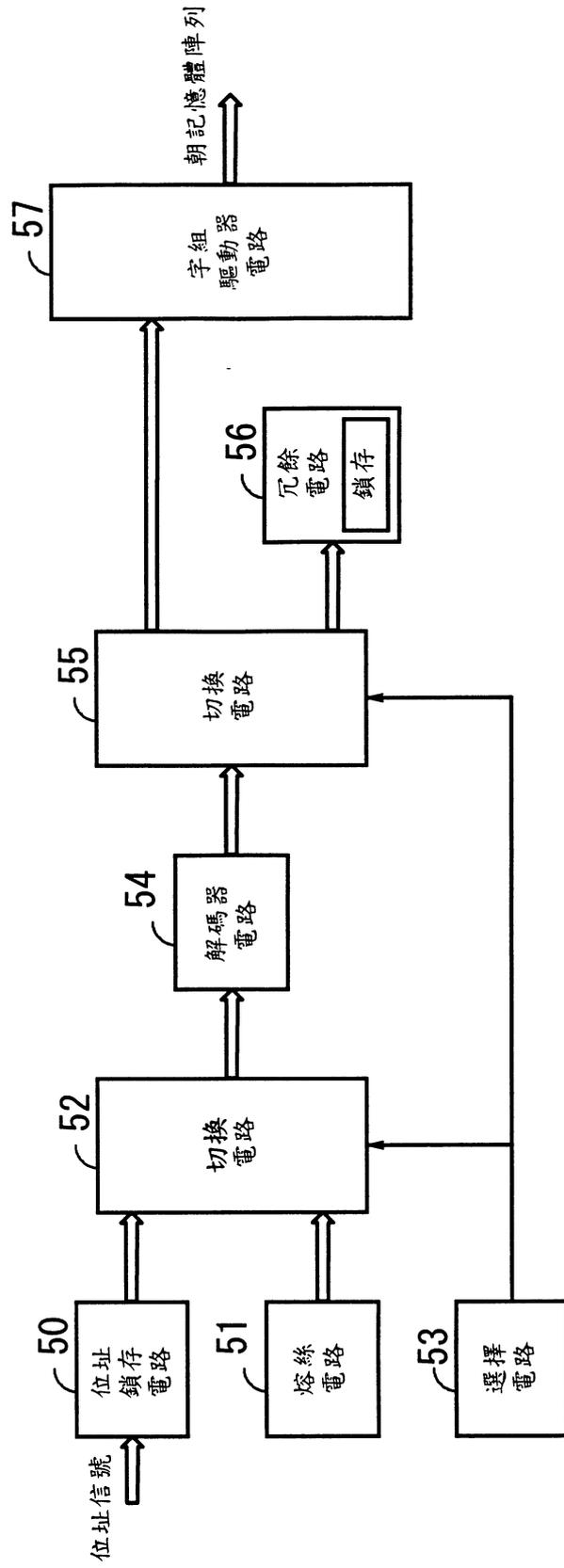
(請先閱讀背面之注意事項再填本頁)

訂

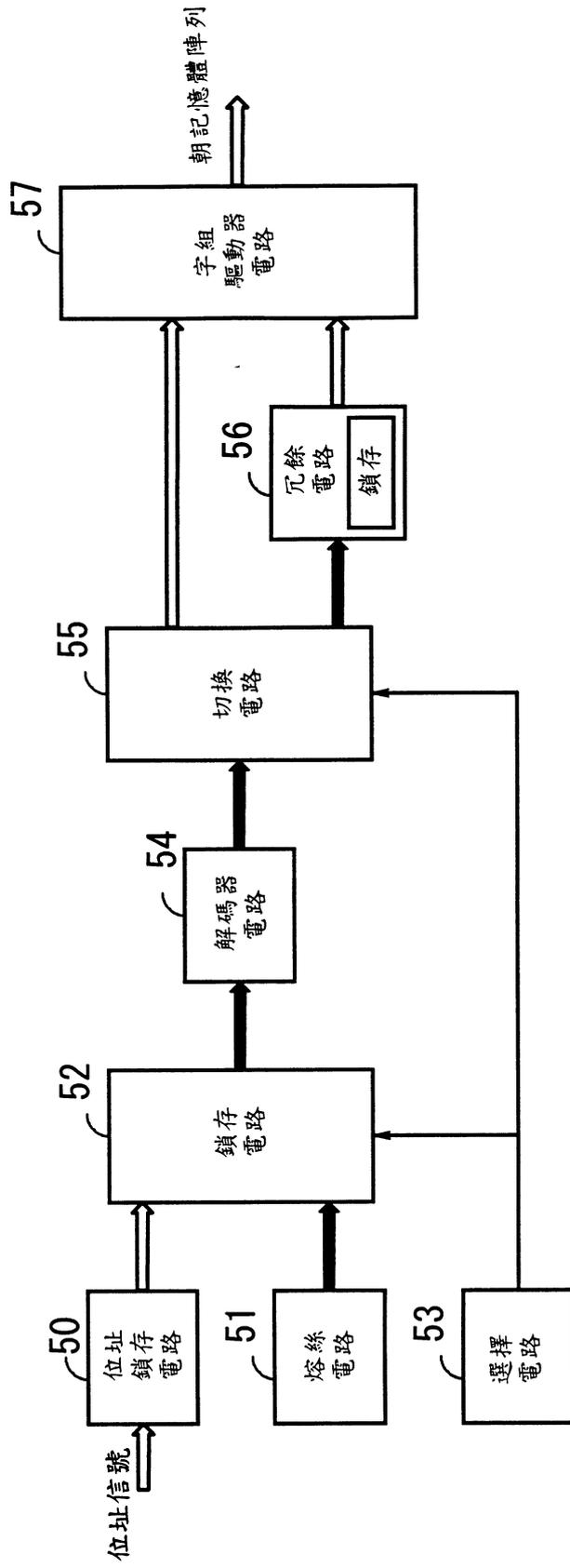
第 1 圖



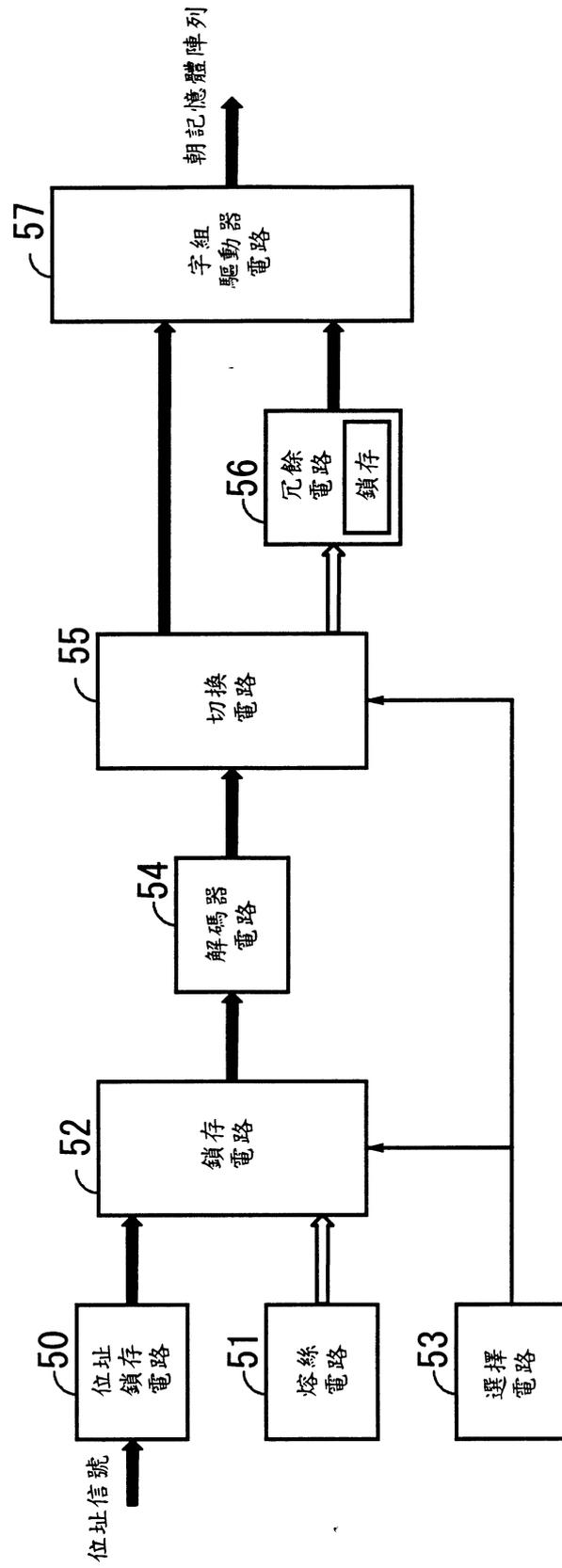
第 2 圖



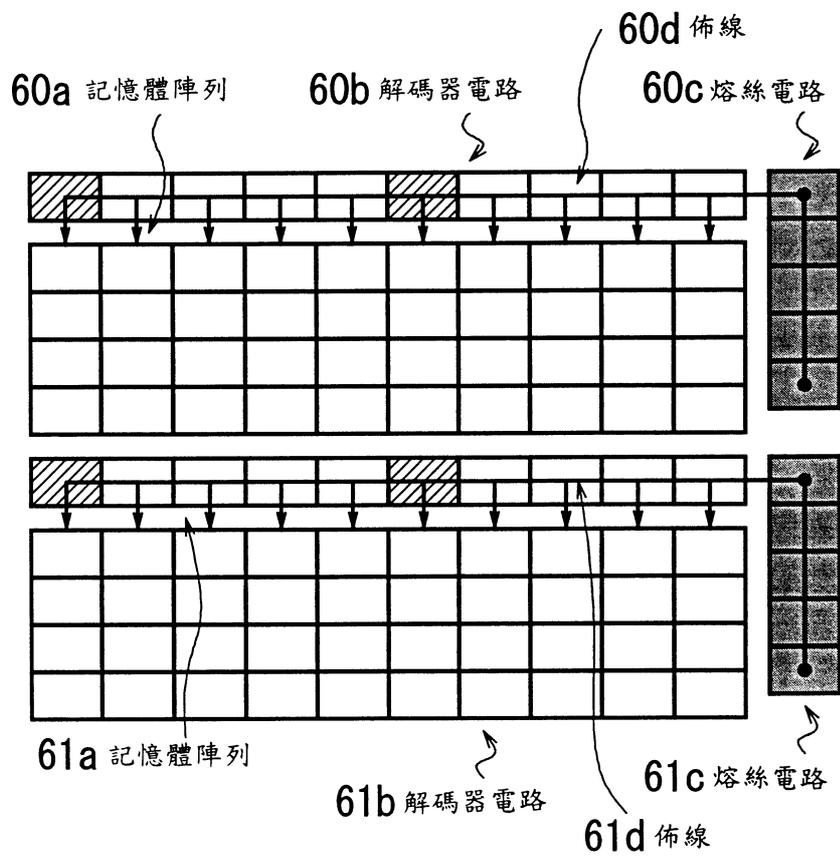
第 3 圖



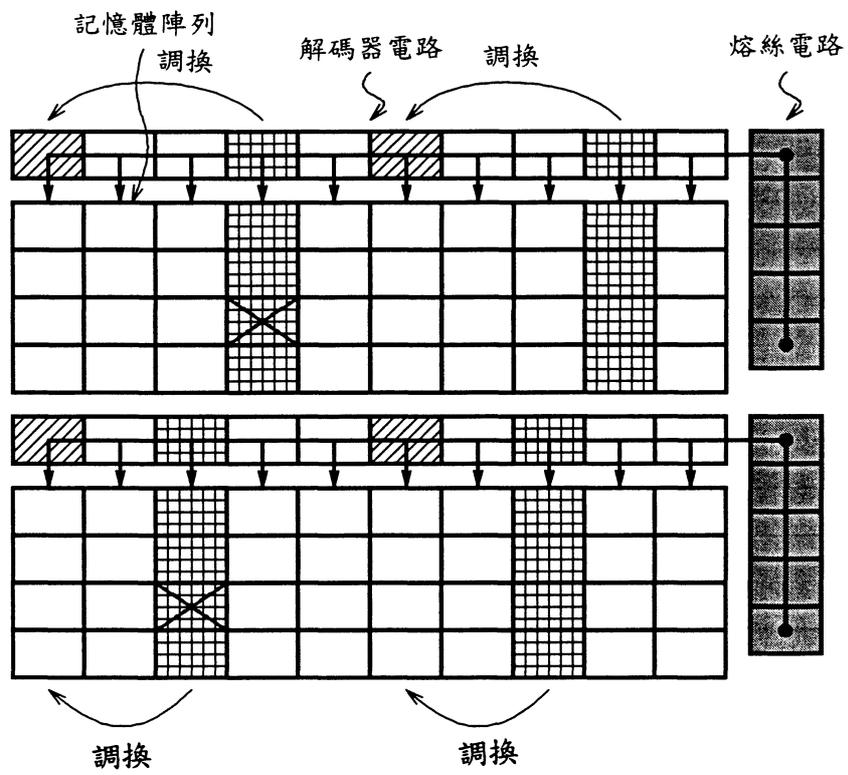
第 4 圖



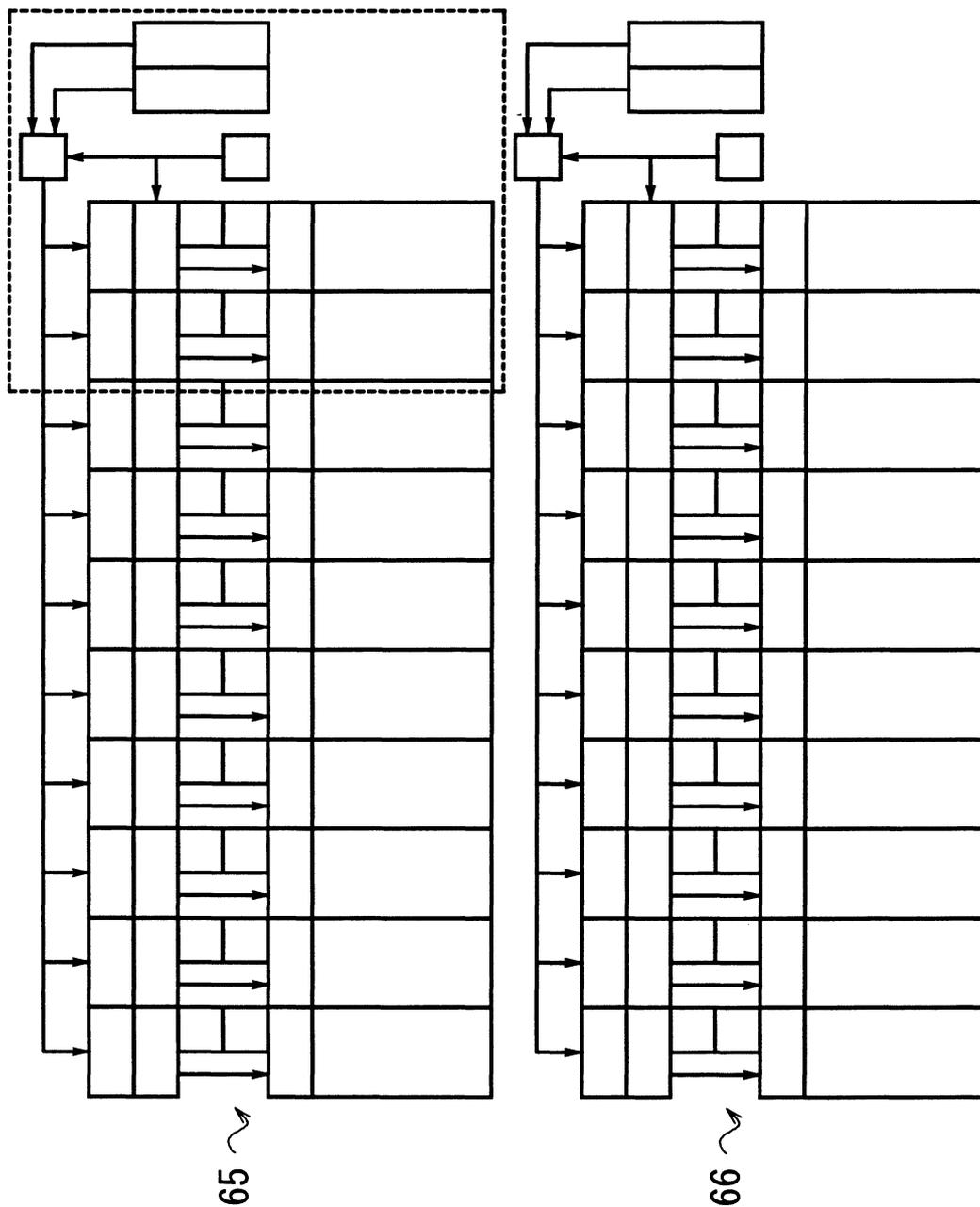
第 5 圖



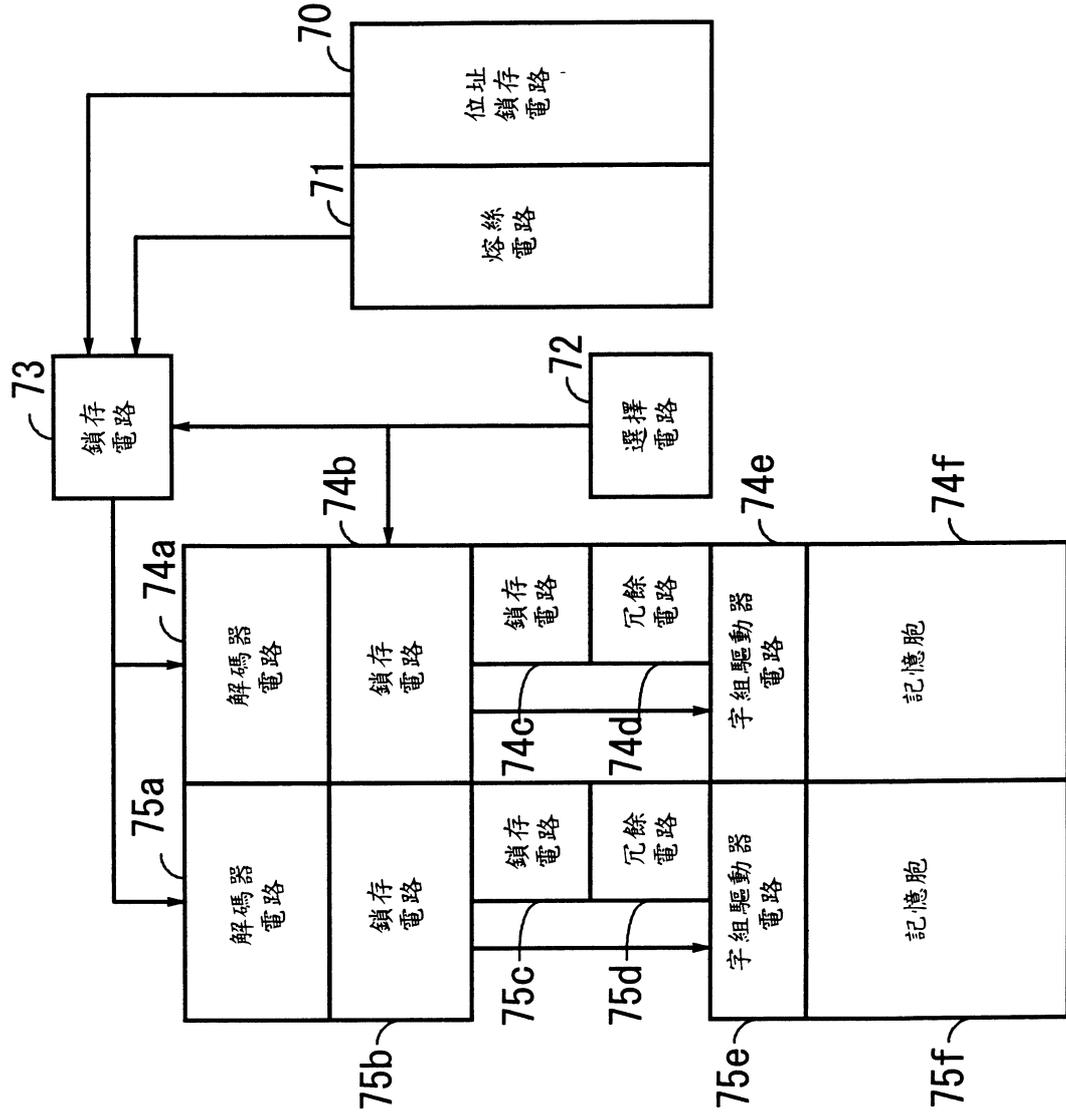
第 6 圖



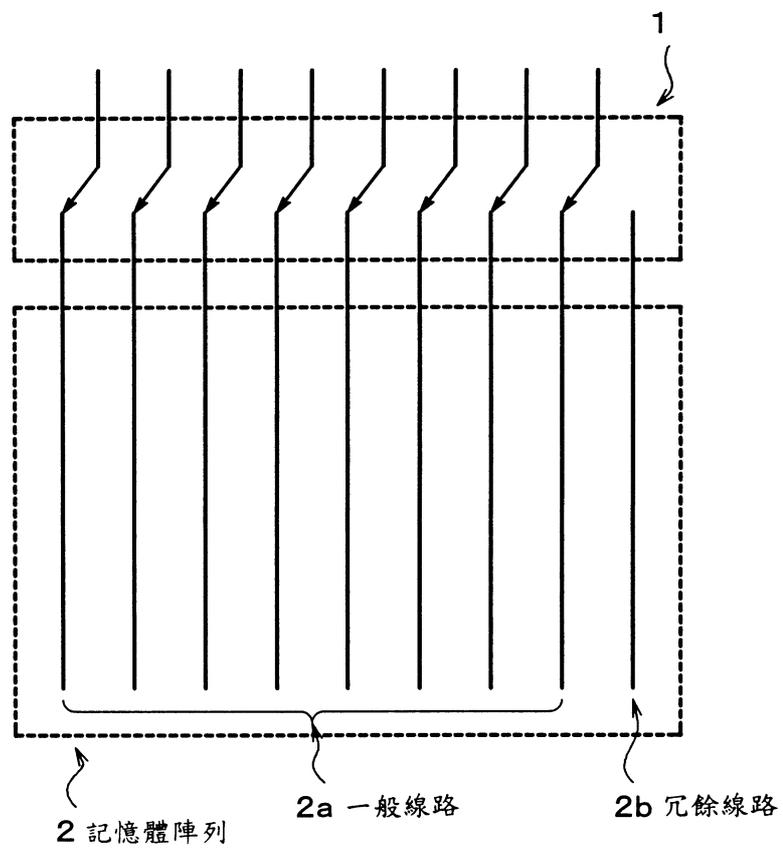
第 7 圖



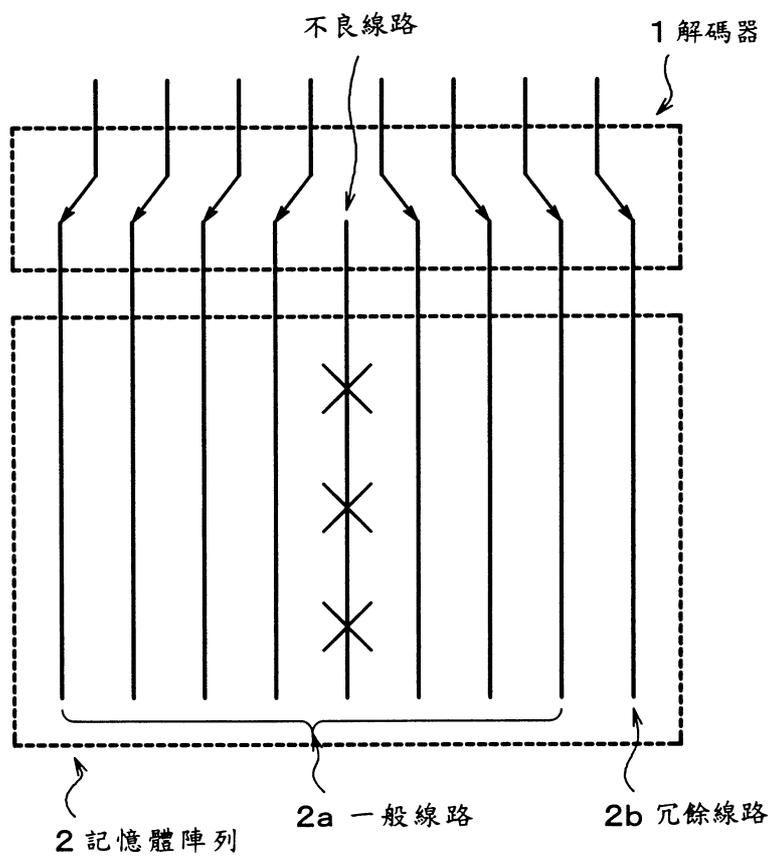
第 8 圖



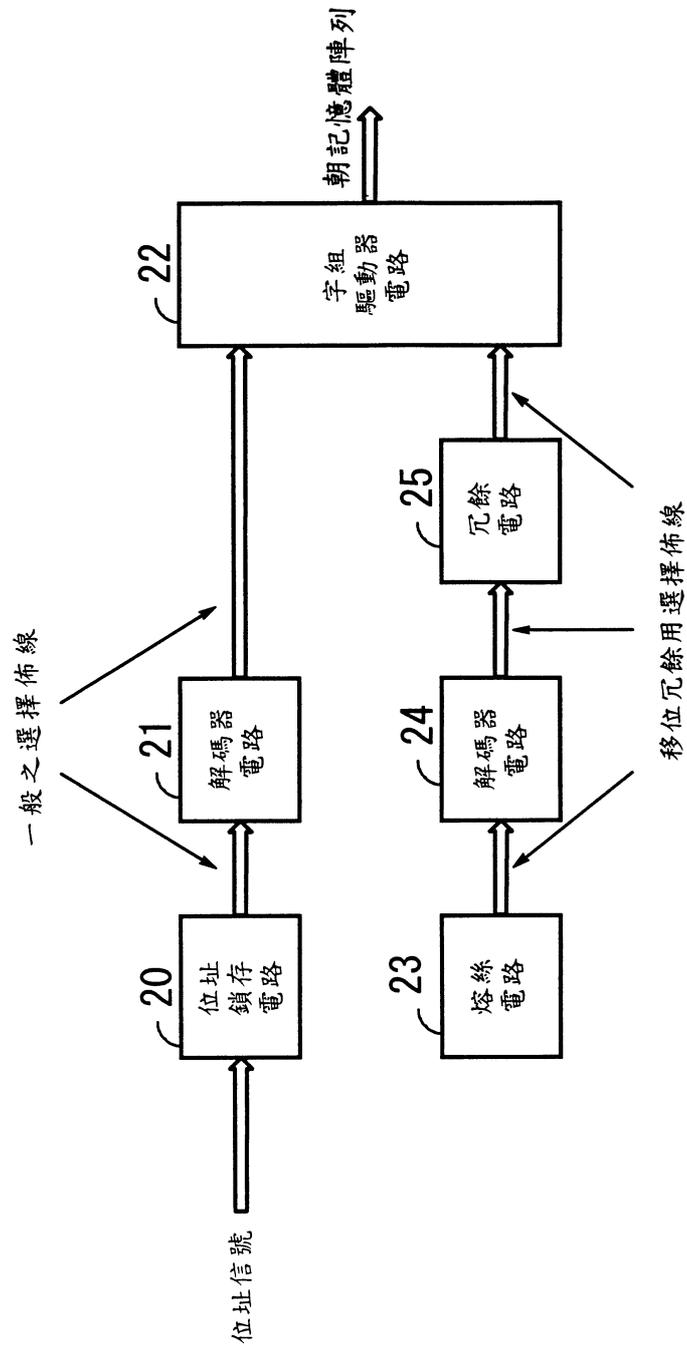
第 9 圖



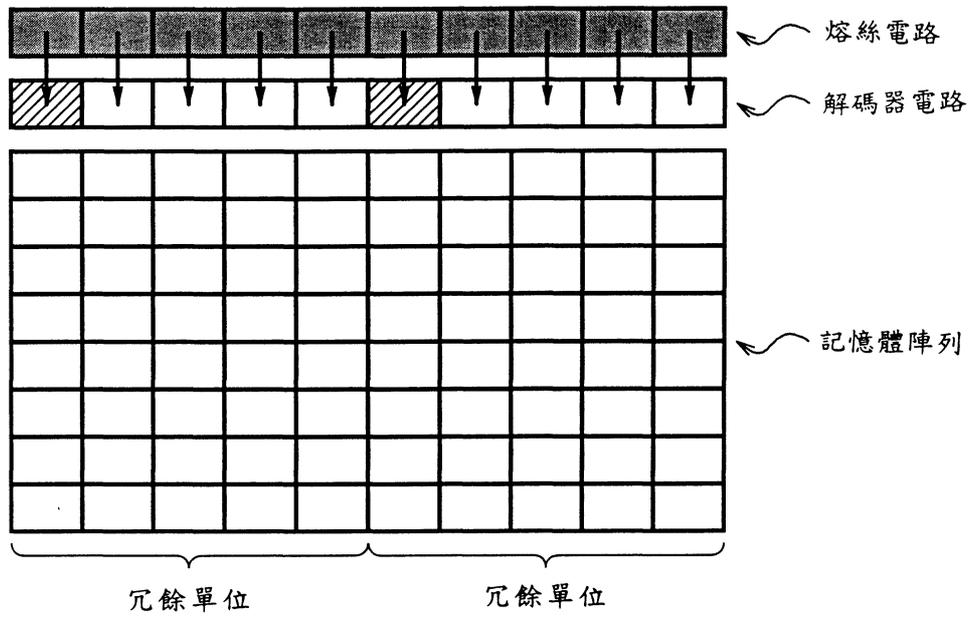
第 10 圖



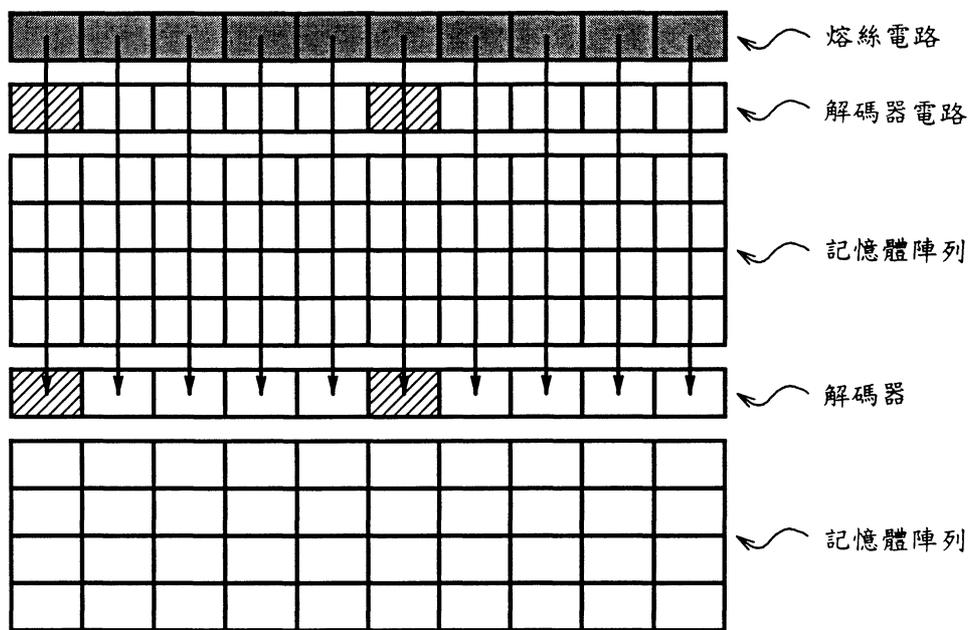
第 11 圖



第 12 圖



第 13 圖



第 14 圖

