



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2012년09월07일  
(11) 등록번호 10-1180977  
(24) 등록일자 2012년09월03일

- (51) 국제특허분류(Int. C1.)  
**H01L 21/28** (2006.01) **H01L 21/768** (2006.01)  
**H01L 21/3205** (2006.01)
- (21) 출원번호 10-2006-7008659
- (22) 출원일자(국제) 2004년10월08일  
 심사청구일자 2009년09월23일
- (85) 번역문제출일자 2006년05월03일
- (65) 공개번호 10-2006-0107763
- (43) 공개일자 2006년10월16일
- (86) 국제출원번호 PCT/US2004/033417
- (87) 국제공개번호 WO 2005/048342  
 국제공개일자 2005년05월26일
- (30) 우선권주장  
 10/705,631 2003년11월08일 미국(US)
- (56) 선행기술조사문헌  
 US06498091 B1\*
- \*는 심사관에 의하여 인용된 문헌
- (73) 특허권자  
**글로벌파운드리즈 인크.**  
 케이만 아일랜드 케이와이1-1104 그랜드 케이만  
 어그랜드 하우스 퍼.오.박스 309 메이플즈 코포  
 레이트 서비스 리미티드
- (72) 발명자  
**호퍼 돈 엠.**  
 미국 캘리포니아 95134 산 호세 베르디그리스 서  
 를 4327  
**키노시타 히로유키**  
 미국 캘리포니아 94087 서니베일 야무스 테라스  
 1325  
**우 크리스티**  
 미국 캘리포니아 95014 쿠패르티노 린다 비스타  
 드라이브 10706
- (74) 대리인  
**박장원**

전체 청구항 수 : 총 7 항

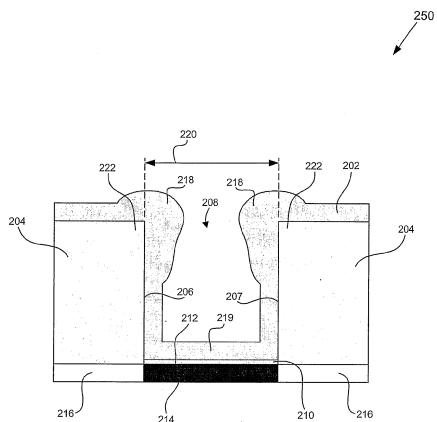
심사관 : 김한수

(54) 발명의 명칭 콘택 형성 동안에 콘택홀 폭 증가를 방지하는 방법

### (57) 요 약

일 예시적 실시예에 따르면, 반도체 다이에 위치된 실리사이드 층(214) 위에 콘택을 형성하는 방법은 콘택홀(208)의 측벽들(206, 207)상에, 상기 콘택홀(208)의 바닥부에 위치된 자연 산화물층(210)상에 장벽층을 증착하는 단계를 포함하는데, 여기서 상기 측벽들(206, 207)은 유전체층(204)에서 콘택홀(208)에 의해 정의된다. 상기 콘택홀(208)의 측벽들(206, 207)상에, 상기 자연 산화물층(210)상에 장벽층을 증착하는 단계(150)는, 상기 장벽층(202)이 상기 콘택홀(208)의 바닥부에서의 두께보다 상기 콘택홀(208)의 상부에서 더 큰 두께를 갖도록 최적화될 수 있다. 이러한 예시적 실시예에 따르면, 상기 방법은 상기 실리사이드 층(214)을 노출하기 위해 상기 콘택홀(208)의 바닥부에 위치된 상기 자연 산화물층(210)과 상기 장벽층(202) 부분(219)을 제거하는 단계(152)를 더 포함한다.

대 표 도 - 도2A



## 특허청구의 범위

### 청구항 1

삭제

### 청구항 2

삭제

### 청구항 3

삭제

### 청구항 4

삭제

### 청구항 5

삭제

### 청구항 6

삭제

### 청구항 7

반도체 다이에 위치한 실리사이드 층(614) 위에 콘택을 형성하기 위한 방법에 있어서,

콘택홀(608)의 측벽들(606, 607) 및 상기 콘택홀(608)의 바닥부에 위치된 자연 산화물층(610) 상에 장벽층(602)을 증착하는 단계(550)와, 여기서 상기 측벽들(606, 607)은 유전체층(604)에서 상기 콘택홀(608)에 의해 정의되며, 상기 자연 산화물층(610)은 상기 실리사이드 층(614) 위에 위치하며;

스퍼터 식각/증착 공정을 이용함으로써 상기 콘택홀(608)의 바닥부에서 상기 실리사이드 층(614) 위에 위치한 상기 자연 산화물층(610)을 제거하는 단계(552)를 포함하며,

여기서, 상기 콘택홀(608)의 상기 측벽들(606, 607) 상에 상기 장벽층(602)을 증착하는 단계(550)는, 상기 장벽층(602)이 상기 콘택홀(608)의 바닥부에서의 두께보다 상기 콘택홀(608)의 상부에서 큰 두께를 갖도록 최적화되는 것을 특징으로 하는 콘택 형성 방법.

### 청구항 8

제 7항에 있어서, 상기 콘택홀(608)의 바닥부에서 상기 실리사이드 층(614) 위에 위치된 상기 자연 산화물층(610)을 제거하는 단계(552)는 상기 장벽층(602)과 상기 자연 산화물층(610)의 동시적인 스퍼터 식각, 및 상기 장벽층(602) 위에 티탄/티탄 질화물 증착을 동시에 수행하는 단계를 포함하는 것을 특징으로 하는 콘택 형성 방법.

### 청구항 9

제 7항에 있어서, 상기 콘택홀(608)은 전기적 콘택 폭(620)을 가지며, 여기서 상기 전기적 콘택 폭(620)은 상기 스퍼터 식각/증착 공정에 의해 증가되지 않는 것을 특징으로 하는 콘택 형성 방법.

### 청구항 10

제7항에 있어서,

상기 스퍼터 식각/증착 공정은 1.0 보다 큰 스퍼터 식각/증착 비율을 갖는 것을 특징으로 하는 콘택 형성 방법.

### 청구항 11

제7항에 있어서,

상기 유전체층(604)은 상기 콘택홀(608)에 인접하게 위치한 상부 모서리 영역들(622)을 포함하며, 상기 스퍼터 식각/증착 공정은 상기 유전체층(604)의 상기 상부 모서리 영역들(622)을 식각하지 않는 것을 특징으로 하는 콘택 형성 방법.

## 청구항 12

제7항에 있어서,

상기 스퍼터 식각/증착 공정에서 아르곤(Ar)이 스퍼터 식각에 이용되는 것을 특징으로 하는 콘택 형성 방법.

## 청구항 13

제7항에 있어서,

상기 유전체층(604)은 PECVD 산화물을 포함하는 것을 특징으로 하는 콘택 형성 방법.

## 명세서

### 기술분야

[0001]

본 발명은 일반적으로 반도체 디바이스 제조 분야에 관한 것이다. 보다 구체적으로는, 본 발명은 반도체 다이에서 반도체 디바이스들을 위한 콘택 형성(contact formation) 분야에 관한 것이다.

### 배경기술

[0002]

콘택들은, 다른 것들보다도 반도체 다이의 트랜지스터 영역과 트랜지스터 영역 위에 위치된 배선 금속층 사이의 연결들을 제공하는데에 이용된다. 고밀도 회로를 달성하기 위해, 일반적으로 높은 종횡비를 갖는 이 콘택들은 서로에 대해 접촉이나 간접 없이 반도체 다이의 좁은 영역 내에 맞아야(fit) 한다. 이와 같이, 콘택 형성 동안에 콘택홀 폭을 제어하여, 충분히 좁은 폭을 갖는 콘택을 달성하는 것이 중요하다.

[0003]

종래의 콘택 제조 공정 동안에, 콘택홀은 전형적으로 리소그래피에 의해 정의되며, 예를 들어, 반도체 다이의 트랜지스터 영역 위에 위치될 수 있는 산화물층에서 식각된다. 결과적인 콘택홀은 실리사이드 층 위에 형성될 수 있는데, 여기서 실리사이드 층은 반도체 다이의 트랜지스터 영역에서 예를 들어, 소스 영역 또는 드레인 영역에 연결될 수 있다. 이후에, 콘택홀은 티탄과 같은 금속을 포함하는 장벽층과 일직선이 되고, 텅스텐과 같은 금속으로 충전되어 콘택을 형성하게 된다. 하지만, 장벽층이 콘택홀의 측벽들상에서, 그리고 콘택홀의 바닥부에 위치된 실리사이드 층상에서 증착되기 이전에, 실리사이드 층 위에 형성되는 자연 산화물층(native oxide layer)이 먼저 제거되어야 한다. 종래의 콘택 제조 공정에서, 자연 산화물층은 전형적으로 아르곤을 포함하는 스퍼터 식각 공정을 이용함으로써 제거되고 있다.

[0004]

하지만, 스퍼터 식각 공정 동안에, 자연 산화물층 이외에, 콘택홀을 정의하는 산화물층의 상부 모서리 부분들이 또한 식각되는데, 이는 콘택홀 상부의 폭을 증가시킨다. 결과적으로, 콘택홀이 텅스텐으로 충전된 이후에 형성된 콘택은 패턴화된 콘택홀의 초기 폭과 비교할 때에 바람직하지않은 증가된 폭을 갖는다.

[0005]

따라서, 기술분야에서, 콘택 형성 동안에 콘택홀 폭의 바람직하지않은 증가를 방지하는, 반도체 다이의 트랜지스터 영역 위에 콘택을 형성하는 방법이 필요하다.

### 발명의 상세한 설명

[0006]

본 발명은 콘택 형성 동안에 콘택홀 폭 증가를 방지하는 방법에 관한 것이다. 본 발명은 기술분야에서, 콘택 형성 동안에 콘택홀 폭의 바람직하지않은 증가를 방지하는, 반도체 다이의 트랜지스터 영역 위에 콘택을 형성하는 방법에 대한 기술분야에서의 필요에 대처하고 해결한다.

[0007]

일 예시적 실시예에 따르면, 반도체 다이에 위치된 실리사이드 층 위에 콘택을 형성하는 방법은 콘택홀의 측벽들상에, 그리고 상기 콘택홀의 바닥부에 위치된 자연 산화물층상에 장벽층을 증착하는 단계를 포함하는데, 여기서 상기 측벽들은 유전체층에서 콘택홀에 의해 정의된다. 예를 들어, 장벽층은 티탄/티탄 질화물로 될 수 있으며, 유전체층은 PECVD 산화물로 될 수 있다. 상기 콘택홀의 측벽들상에, 그리고 상기 자연 산화물층상에 장벽층을 증착하는 단계는, 상기 장벽층이 상기 콘택홀의 바닥부에서의 두께보다 상기 콘택홀의 상부에서 더

큰 두께를 갖도록 최적화될 수 있다.

[0008] 이러한 예시적 실시예에 따르면, 상기 방법은 상기 실리사이드 층을 노출하기 위해 상기 콘택홀의 바닥부에 위치된 상기 자연 산화물층과 상기 장벽층 일부분을 제거하는 단계를 더 포함한다. 예를 들어, 상기 콘택홀의 바닥부에 위치된 상기 자연 산화물층과 상기 장벽층 일부분은 스퍼터 식각 공정을 이용하여 제거될 수 있다. 상기 콘택홀은 전기적 콘택 폭을 포함하며, 여기서 상기 전기적 콘택 폭은 상기 스퍼터 식각 공정에 의해 증가되지 않는다. 상기 유전체층은 상기 콘택홀에 인접하여 위치된 상부 모서리 영역들을 포함하며, 여기서 상기 유전체층의 상부 모서리 영역들은 상기 콘택홀의 바닥부에 위치된 상기 자연 산화물층과 상기 장벽층 일부분을 제거하는 단계 동안에 식각되지 않는다. 본 발명의 다른 특징들 및 이점들은 하기의 상세한 설명과 첨부 도면들이 검토된 이후에 기술분야의 당업자에게 더욱 자명하게 될 것이다.

## 실시예

[0018] 본 발명은 반도체 다이에서 콘택 형성 동안에 콘택홀 폭 증가를 방지하기 위한 방법에 관한 것이다. 하기 상세한 설명은 본 발명의 구현과 관련된 특정 정보를 포함한다. 기술분야의 당업자는, 본 발명이 본 출원에서 구체적으로 설명된 것과 다른 방식으로 구현될 수 있음을 인식할 것이다. 게다가, 본 발명의 특정 상세사항들의 일부는 본 발명을 불분명하게 하지 않기 위해 설명되지 않는다.

[0019] 본 출원에서의 도면들 및 첨부된 상세한 설명은 본 발명의 단지 예시적인 실시예들에 관한 것이다. 간결성을 유지하기 위해, 본 발명의 다른 실시예들은 본 출원에서 구체적으로 설명되지 않으며, 첨부 도면들에 의해 구체적으로 도시되지 않는다.

[0020] 도 1은 본 발명의 일 실시예에 따라 반도체 다이의 트랜지스터 영역 위에 콘택을 형성하기 위한 예시적 방법을 도시하는 흐름도이다. 기술분야의 당업자에게 자명한, 여러 상세사항들 및 특징들은 흐름도(100)에서 생략되었다. 예를 들어, 기술분야에 알려진 바와같이, 단계는 하나 이상의 하부단계들로 구성될 수 있거나 특수 장비 또는 물질들을 포함할 수 있다. 흐름도(100)에서 표시된 단계들(150 및 152)은 본 발명의 일 실시예를 설명하는데에 충분하며, 본 발명의 다른 실시예들은 흐름도(100)에서 도시된 것과 다른 단계들을 이용할 수 있다. 흐름도(100)에서 도시된 공정 단계들은 웨이퍼상에서 수행되는데, 여기서 웨이퍼는 단계(150) 이전에 유전체층에 형성된 콘택홀, 및 콘택홀의 바닥부에서 실리사이드 층 위에 위치된 자연 산화물층을 포함하며, 유전체층 및 실리사이드 층은 기판의 트랜지스터 영역(도면들에서 미도시) 위에 위치될 수 있다. 도 2A 및 2B에서의 구조(250 및 252)는 상술된 기판의 트랜지스터 영역(도면들에서 미도시) 위에 위치된 유전체층에 형성된 콘택홀을 포함하는 구조상에서, 흐름도(100)의 단계들(150 및 152) 각각을 수행한 결과를 도시한다.

[0021] 이제 도 1의 단계(150) 및 도 2A의 구조(250)을 참조하면, 흐름도(100)의 단계(150)에서, 장벽층(202)이 유전체층(204) 위에, 콘택홀(208)의 측벽들(206 및 207)상에, 그리고 콘택홀(208)의 바닥부(212)에 위치된, 또한 실리사이드 층(214) 위에 위치된 자연 산화물층(210) 위에 증착된다. 도 2A에서 도시된 바와같이, 유전체층(204)은 유전체층(216) 위에 위치되는데, 여기서 유전체층(216)은 기판의 트랜지스터 영역(도 2에서 미도시) 위에 위치된다. 유전체층(204)은 예를 들어, 플라즈마 인핸스드 화학적 증기 증착("PECVD") 공정에서 증착될 수 있는 실리콘 이산화물을 포함할 수 있다. PECVD 공정으로 증착된 실리콘 이산화물은 또한 본 출원에서 "PECVD 산화물"로서 불린다. 자연 산화물층(210)은 콘택홀(208)의 바닥부(212)에서 실리사이드 층(214) 위에 위치되며, 열적 성장된 산화물을 포함할 수 있다. 예를 위해, 자연 산화물층(210)은 10.0 옹스트롬 내지 50.0 옹스트롬의 두께를 가질 수 있다. 장벽층(202)은 종래 기술분야에서 알려진 방식으로 콘택홀(208)의 측벽들(206 및 207)상에, 자연 산화물층(210) 위에, 그리고 유전체층(204) 위에 증착될 수 있으며, 티탄/티탄 질화물("Ti/TiN")을 포함할 수 있다. 다른 실시예들에서, 장벽층(202)은 금속들의 다른 조합 또는 적절한 단일 금속을 포함할 수 있다. 본 실시예에서, 장벽층(202)의 증착은, 콘택홀(208)의 상부에서 상부 모서리 영역들(222)에 인접하여 위치된 장벽층(202) 부분들(218)이 콘택홀(208)의 바닥부(212)에 위치된 장벽층(202) 부분(219)보다 큰 두께를 갖도록 최적화될 수 있다. 결과적으로, 장벽층(202)의 부분들(218)은 후속 스퍼터 식각 공정 동안에 유전체층(204)의 상부 모서리 영역들(222)에 대한 충분한 보호를 제공한다. 콘택홀(208)의 측벽들(206 및 207) 사이의 거리인 콘택홀 폭(220)이 또한 본 출원에서 "전기적 콘택 폭"으로서 불린다. 도 2A를 참조하면, 흐름도(100)의 단계(150)의 결과가 구조(250)에 의해 도시된다. 계속하여 도 1의 단계(152)와 도 2B의 구조(252)를 참조하면, 흐름도(100)의 단계(152)에서, 콘택홀(208)의 바닥부(212)에 위치된 자연 산화물층(210)과 장벽층(202) 부분(219)이 실리사이드 층(214)을 노출하기 위해 제거된다. 콘택홀(208)의 바닥부(212)에 위치된 장벽층(202)의 부분(219)과 자연 산화물층(210)이 스퍼터 식각 공정을 이용함으로써 제거될 수 있는데, 여기서 스퍼터 식각 공정은 아르곤("Ar")을 포함할 수 있다. 스퍼터 식각 공정은 또한 측벽들(206

및 207)의 상부에 위치된 장벽층(202) 부분들을 제거한다. 하지만, 장벽층(202) 부분들(218)(도 2A에 도시됨)이 유전체층(204)의 상부 모서리 영역들(222)을 보호하기 위해 충분한 두께를 갖기 때문에, 상부 모서리 영역들(222)은 스파터 식각 공정 동안에 식각되지 않는다. 결과적으로, 콘택홀 폭(220)은 스파터 식각 공정 동안에 증가되지 않는다. 콘택홀(208)은 콘택 형성을 완료하기 위해 후속 단계에서 텅스텐과 같은 금속으로 충전될 수 있다. 도 2B를 참조하면, 흐름도(100)의 단계(152)의 결과가 구조(252)에 의해 도시된다.

[0022] 따라서, 도 1의 본 발명의 실시예에서, 자연 산화물층(210)을 제거하기 위해 스파터 식각 공정을 수행하기 전에 장벽층(202)을 형성하고 장벽층(202) 형성을 최적화함으로써, 본 발명은 유전체층(204)의 상부 모서리 영역들(222)의 식각을 회피한다. 결과적으로, 본 발명은 유익하게는 콘택 형성 공정 동안에 증가되지 않은 콘택홀 폭을 갖는 콘택을 달성한다.

[0023] 도 3은 본 발명의 일 실시예에 따른 웨이퍼의 트랜지스터 영역 위에 콘택을 형성하는 예시적 방법을 도시하는 흐름도이다. 기술분야의 당업자에게 자명한 여러 상세사항들 및 특징들이 흐름도(300)에서 생략되었다. 예를 들어, 기술분야에 알려진 바와같이, 단계는 하나 이상의 하부단계들로 구성될 수 있거나 특수 장비 또는 물질들을 포함할 수 있다. 흐름도(300)에서 표시된 단계들(350 및 352)은 본 발명의 일 실시예를 설명하는데에 충분하며, 본 발명의 다른 실시예들은 흐름도(300)에서 도시된 것과 다른 단계들을 이용할 수 있다. 흐름도(300)에서 도시된 공정 단계들은 웨이퍼상에서 수행되는데, 여기서 웨이퍼는 단계(350) 이전에 유전체층에 형성된 콘택홀, 및 콘택홀의 바닥부에서 실리사이드 층 위에 위치된 자연 산화물층을 포함하며, 유전체층 및 실리사이드 층은 기판의 트랜지스터 영역(도면들에서 미도시) 위에 위치될 수 있다. 도 4A 및 4B의 구조들(350 및 352)은 상술된 기판의 트랜지스터 영역(도면들에서 미도시) 위에 위치된 유전체층에 형성된 콘택홀을 포함하는 구조상에서, 흐름도(300)의 단계들(350 및 352) 각각을 수행한 결과를 도시한다.

[0024] 도 3의 단계(350) 및 도 4A의 구조(450)를 참조하면, 흐름도(300)의 단계(350)에서, 실리사이드 층(414) 위에 위치된 자연 산화물층(410)이 반응성 수소 선세정(reactive hydrogen pre-clean)(430)을 이용함으로써 콘택홀(408)의 바닥부(412)에서 제거된다. 비록 자연 산화물층(410)이 단계(350)에서 제거되었지만, 본 발명의 본 실시예를 더 잘 예시하기 위해 자연 산화물층(410)이 도 4A에서 도시된다. 도 4A에서, 구조(450)의 유전체층들(404 및 416), 측벽들(406 및 407), 콘택홀(408), 자연 산화물층(410), 및 실리사이드 층(414)은 각각 도 2A에서 구조(250)의 유전체층들(204 및 216), 측벽들(206 및 207), 콘택홀(208), 자연 산화물층(210), 및 실리사이드 층(214)에 대응한다. 본 실시예에서, 유전체층(404)은 PECVD 산화물을 포함하는데, 여기서 PECVD 산화물은 증착된 이후에 어닐링 공정에서 경화될 수 있다. 따라서, 유전체층(404)은 상온에서 열적 성장된 실리콘 산화물을 포함하는 자연 산화물층(410)보다 더욱 경화되어 있다. 결과적으로, 자연 산화물층(410)이 반응성 수소 선세정(즉, 반응성 수소 선세정(430))에 의해 식각되는(즉, 제거되는) 때에, 측벽들(406)의 상부에 위치되는 유전체층(404)의 상부 모서리 영역들(422)이 식각되지 않는다. 따라서, 반응성 수소 선세정(430) 수행 이후에, 콘택홀(408)의 측벽들(406 및 407) 사이의 거리인 콘택홀 폭(420)은 증가되지 않는다. 콘택홀 폭(420)은 도 2A의 콘택홀 폭(220)과 유사하며, 또한 본 출원에서 "전기적 콘택 폭"으로 불린다. 도 4A를 참조하면, 흐름도(300)의 단계(350)의 결과가 구조(450)에 의해 도시된다.

[0025] 계속하여 도 3의 단계(352)와 도 4B의 구조(452)를 참조하면, 흐름도(300)의 단계(352)에서, 장벽층(432)이 콘택홀(408)의 측벽들(406 및 407)상에, 콘택홀(408)의 바닥부(412)에 위치된 실리사이드 층(414) 위에, 그리고 유전체층(404) 위에 증착된다. 장벽층(432)은 종래 기술분야에서 공지된 방식으로 증착될 수 있으며, Ti/TiN을 포함할 수 있다. 다른 실시예들에서, 장벽층(432)은 다른 금속들 조합 또는 적절한 단일 금속을 포함할 수 있다. 콘택홀(408)은 콘택 형성을 완료하기 위해 후속 단계에서 텅스텐과 같은 금속으로 충전될 수 있다. 도 4B를 참조하면, 흐름도(300)의 단계(352)의 결과는 구조(452)에 의해 도시된다.

[0026] 따라서, 도 3의 본 발명의 실시예에서, 콘택홀에 장벽층을 증착하기 이전에 콘택홀의 바닥부에서 자연 산화물층을 제거하기 위해 반응성 수소 선세정 공정을 이용함으로써, 본 발명은 유익하게 콘택 형성 동안에 콘택홀 폭이 증가되지 않는 콘택을 제공한다.

[0027] 도 5는 본 발명에 실시예에 따라 웨이퍼의 트랜지스터 영역 위에 콘택을 형성하는 예시적 방법을 도시하는 흐름도이다. 기술분야의 당업자에게 자명한 여러 상세사항들 및 특징들은 흐름도(500)에서 생략되었다. 예를 들어, 기술분야에 알려진 바와같이, 단계는 하나 이상의 하부단계들로 구성될 수 있거나 특수 장비 또는 물질들을 포함할 수 있다. 흐름도(500)에서 표시된 단계들(550 및 552)은 본 발명의 일 실시예를 설명하는데에 충분하며, 본 발명의 다른 실시예들은 흐름도(500)에서 도시된 것과 다른 단계들을 이용할 수 있다. 흐름도(500)에서 도시된 공정 단계들은 웨이퍼상에서 수행되는데, 여기서 웨이퍼는 단계(550) 이전에 유전체층에 형성된 콘택홀, 및 콘택홀의 바닥부에서 실리사이드 층 위에 위치된 자연 산화물층을 포함하며, 유전체층 및 실리사

이드 층은 기판의 트랜지스터 영역(도면들에서 미도시) 위에 위치될 수 있다. 도 6A 및 6B의 구조들(550 및 552)은 상술된 기판의 트랜지스터 영역(도면들에서 미도시) 위에 위치된 유전체층에 형성된 콘택홀을 포함하는 구조상에서, 흐름도(500)의 단계들(550 및 552) 각각을 수행한 결과를 도시한다.

[0028] 도 5의 단계(550) 및 도 4A의 구조(450)를 참조하면, 흐름도(500)의 단계(550)에서, 장벽층(602)이 콘택홀(608)의 측벽들(606, 607)상에, 콘택홀(608)의 바닥부(612)에 위치된 자연 산화물층(610) 위에, 그리고 유전체층(616) 위에 위치된 유전체층(604) 위에 증착된다. 도 5의 단계(550)는 도 3의 단계(350)에 대응한다. 특히, 도 6A의 구조(650)에서 장벽층(602), 유전체층(604 및 616), 측벽들(606 및 607), 콘택홀(608), 자연 산화물층(610), 바닥부(612), 실리사이드 층(614), 부분들(618), 부분(619), 콘택홀 폭(620), 및 상부 모서리 영역들(222) 각각이 도 2A의 구조(250)에서 장벽층(202), 유전체층(204 및 216), 측벽들(206 및 207), 콘택홀(208), 자연 산화물층(210), 바닥부(212), 실리사이드 층(214), 부분들(218), 부분(219), 콘택홀 폭(220), 및 상부 모서리 영역들(222)에 대응한다. 따라서, 도 2A의 콘택홀 폭(220)과 유사하게도, 콘택홀 폭(420)은 또한 본 출원에서 "전기적 콘택 폭"으로서 불린다. 도 2A의 장벽층(202)과 유사하게도, 본 실시예에서 장벽층(602) 증착은, 콘택홀(608)의 상부에서 상부 모서리 부분들(622)에 인접하여 위치된 장벽층(602) 부분들(618)이 콘택홀(608)의 바닥부(612)에 위치된 장벽층(602) 부분(619)보다 큰 두께를 갖도록 최적화될 수 있다. 도 6A를 참조하면, 흐름도(500)의 단계(550)의 결과가 구조(650)에 의해 도시된다.

[0029] 계속하여 도 5의 단계(552) 및 도 6B의 구조(652)를 참조하면, 흐름도(500)의 단계(552)에서, 콘택홀(608)의 바닥부(612)에서 실리사이드 층(614) 위에 위치된 자연 산화물층(610)을 제거하기 위해, 스퍼터 식각/증착 공정이 동시에 수행된다. 동시적인 스퍼터 식각/증착 공정에서, Ar이 스퍼터 식각에 이용될 수 있으며, Ti/TiN이 예를 들어, 스퍼터 증착 기법을 이용하여 콘택홀(608)의 측벽들(606) 및 바닥부(612)상에 증착될 수 있다. 동시적인 스퍼터 식각/증착 공정은 적절한 스퍼터 식각/증착 비율을 이용할 수 있으며, 이에 따라 자연 산화물층(610)이 식각(즉, 제거)된다. 예를 들어, Ar 및 Ti/TiN 분자들 비율은 1.0 내지 2.0의 스퍼터 식각/증착 비율을 달성하도록 선택될 수 있다. 따라서, 1.0보다 큰 스퍼터 식각/증착 비율을 이용함으로써, Ti/TiN을 콘택홀(608)의 측벽들(606 및 607)상에 다시 증착함으로써 유전체층(604)의 상부 모서리 영역들(622)을 보호하는 동안에, 본 실시예는 자연 산화물층(610)의 제거를 달성한다. 콘택홀(608)은 콘택 형성을 완료하기 위해 후속 단계에서 텅스텐과 같은 금속으로 충전될 수 있다. 도 6B를 참조하면, 흐름도(500)의 단계(552)의 결과가 구조(652)에 의해 도시된다.

[0030] 따라서, 도 5의 본 발명의 실시예에서, 동시 스퍼터 식각/증착 공정을 이용함으로써, 본 발명은 콘택 형성 동안에 콘택홀 폭의 바람직하지 않은 증가를 방지하면서도 실리사이드 층 위에 위치된 콘택홀의 바닥부에서의 자연 산화물층의 제거를 달성한다.

### 산업상 이용 가능성

[0031] 따라서, 상술한 바와같이, 도 1, 3 및 5의 실시예에서, 스퍼터 식각 및 장벽층 증착 공정들을 위한 시퀀스 및 기법들을 적절히 선택함으로써, 본 발명은 콘택 형성 동안에 콘택홀 폭의 바람직하지 않은 증가를 방지하면서도 콘택홀의 바닥부에서의 자연 산화물층의 제거를 달성한다. 대조적으로, 장벽층 증착 이전에 자연 산화물층을 제거하기 위해 Ar 스퍼터를 이용하는 종래의 콘택 형성 공정은 콘택홀 폭의 바람직하지 않은 증가를 발생시킨다.

[0032] 본 발명의 예시적 실시예들의 상술한 설명으로부터, 본 발명의 범주를 벗어남이 없이 본 발명의 개념들을 구현하는데에 다양한 기법들이 사용될 수 있음이 명백하다. 게다가, 본 발명이 여러 실시예들에 대한 특정의 참조로 설명되었지만, 기술분야의 당업자는 본 발명의 사상 및 범주를 벗어남이 없이 형태 및 상세사항에서 변화가 가해질 수 있음을 인식할 것이다. 상술한 예시적 실시예들은 모든 관점들에서 제한적이라기보다는 예시적인 것으로서 고려되어야 한다. 또한, 본 발명은 본원에서 설명된 특정 예시적 실시예들에 국한되지 않으며, 본 발명의 사상을 벗어남이 없이 많은 재배열들, 변형들, 및 대체들이 가능함을 이해해야 한다.

[0033] 이와 같이, 콘택 형성 동안에 콘택홀 폭 증가를 방지하기 위한 방법이 설명되었다.

### 도면의 간단한 설명

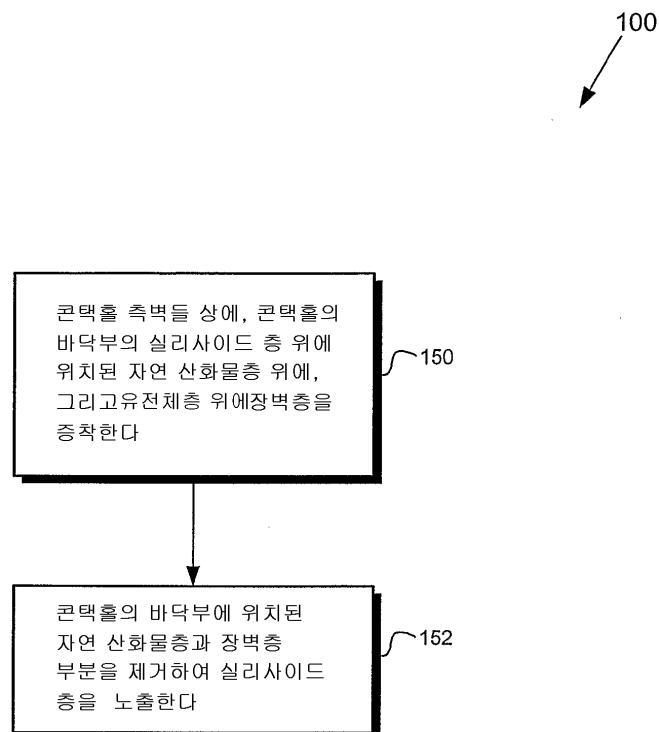
[0009] 도 1은 본 발명의 일 실시예에 따른 예시적 방법 단계들에 대응하는 흐름도이다.

[0010] 도 2A는 도 1의 흐름도의 특정 단계들에 대응하여, 본 발명의 실시예에 따라 처리된 웨이퍼의 일부에 대한 단면도이다.

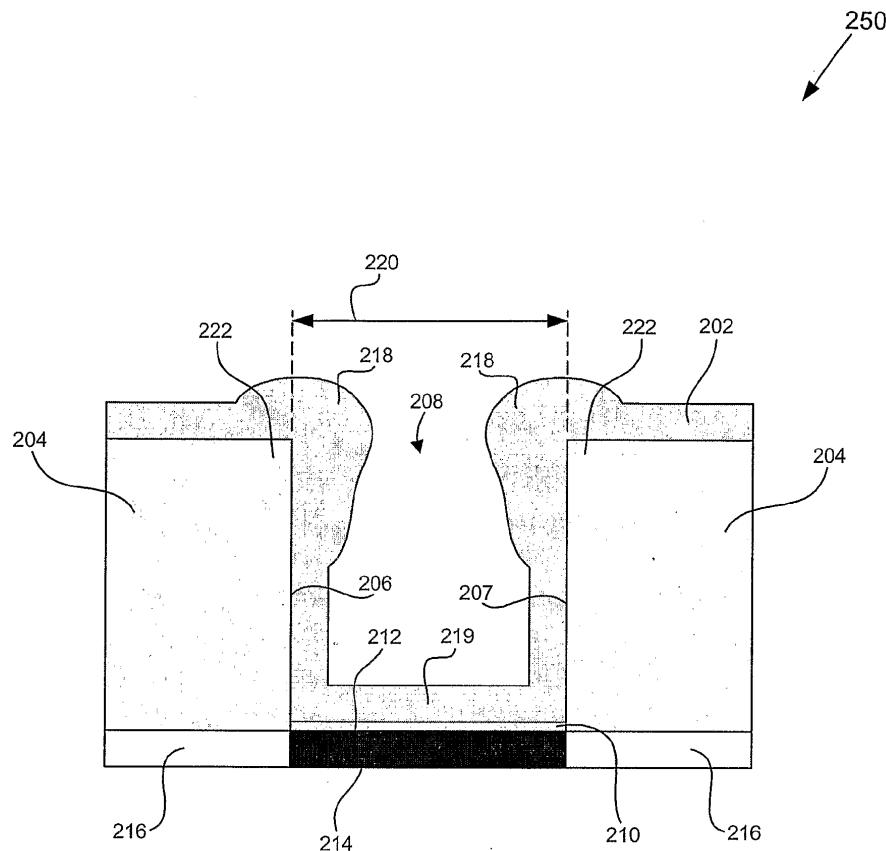
- [0011] 도 2B는 도 1의 흐름도의 특정 단계들에 대응하여, 본 발명의 실시예에 따라 처리된 웨이퍼의 일부에 대한 단면도이다.
- [0012] 도 3은 본 발명의 일 실시예에 따른 예시적 방법 단계들에 대응하는 흐름도이다.
- [0013] 도 4A는 도 3의 흐름도의 특정 단계들에 대응하여, 본 발명의 실시예에 따라 처리된 웨이퍼의 일부에 대한 단면도이다.
- [0014] 도 4B는 도 3의 흐름도의 특정 단계들에 대응하여, 본 발명의 실시예에 따라 처리된 웨이퍼의 일부에 대한 단면도이다.
- [0015] 도 5는 본 발명의 일 실시예에 따른 예시적 방법 단계들에 대응하는 흐름도이다.
- [0016] 도 6A는 도 5의 흐름도의 특정 단계들에 대응하여, 본 발명의 실시예에 따라 처리된 웨이퍼의 일부에 대한 단면도이다.
- [0017] 도 6B는 도 5의 흐름도의 특정 단계들에 대응하여, 본 발명의 실시예에 따라 처리된 웨이퍼의 일부에 대한 단면도이다.

## 도면

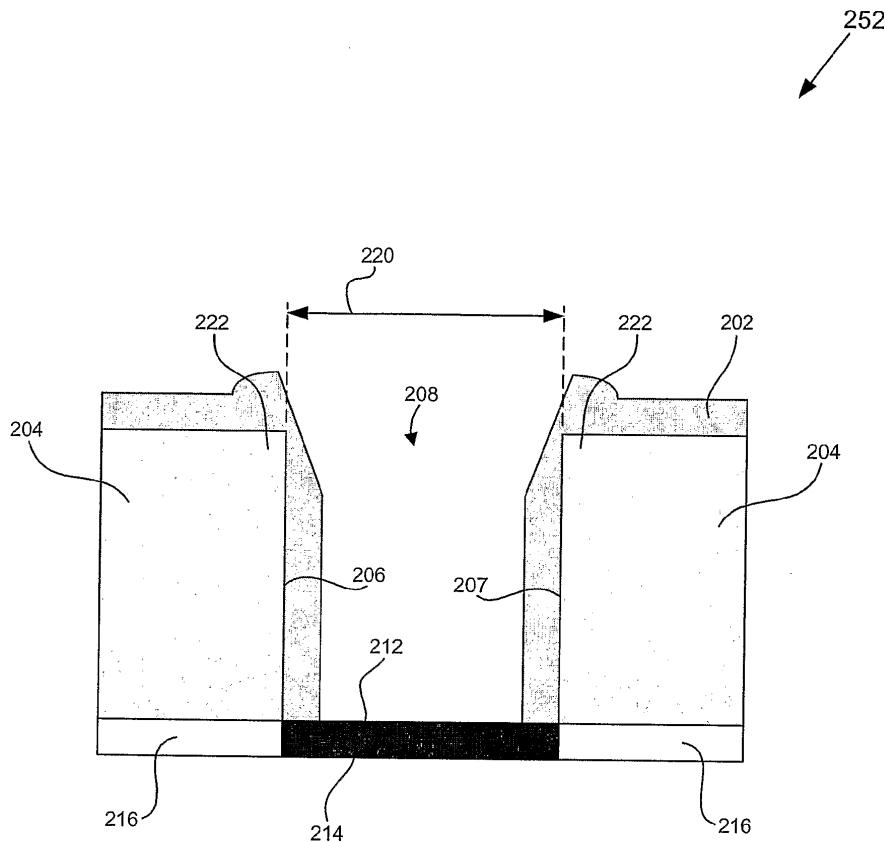
### 도면1



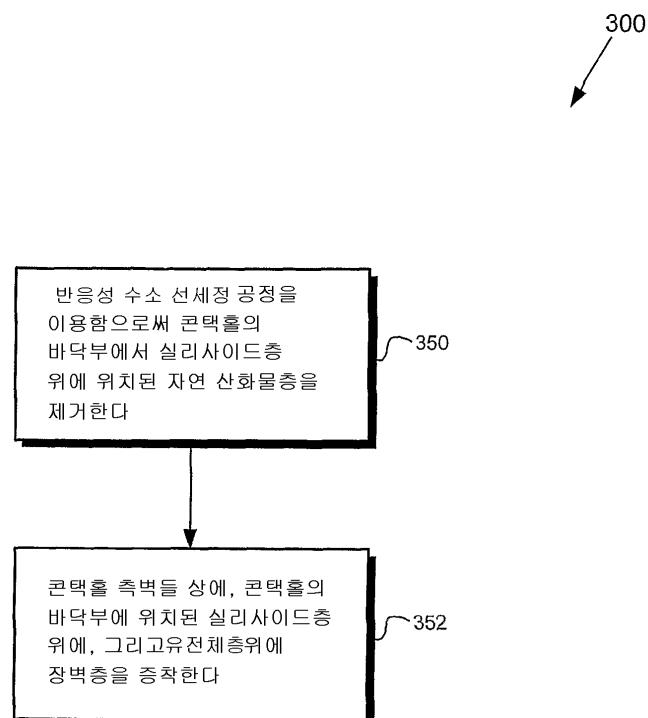
도면2A



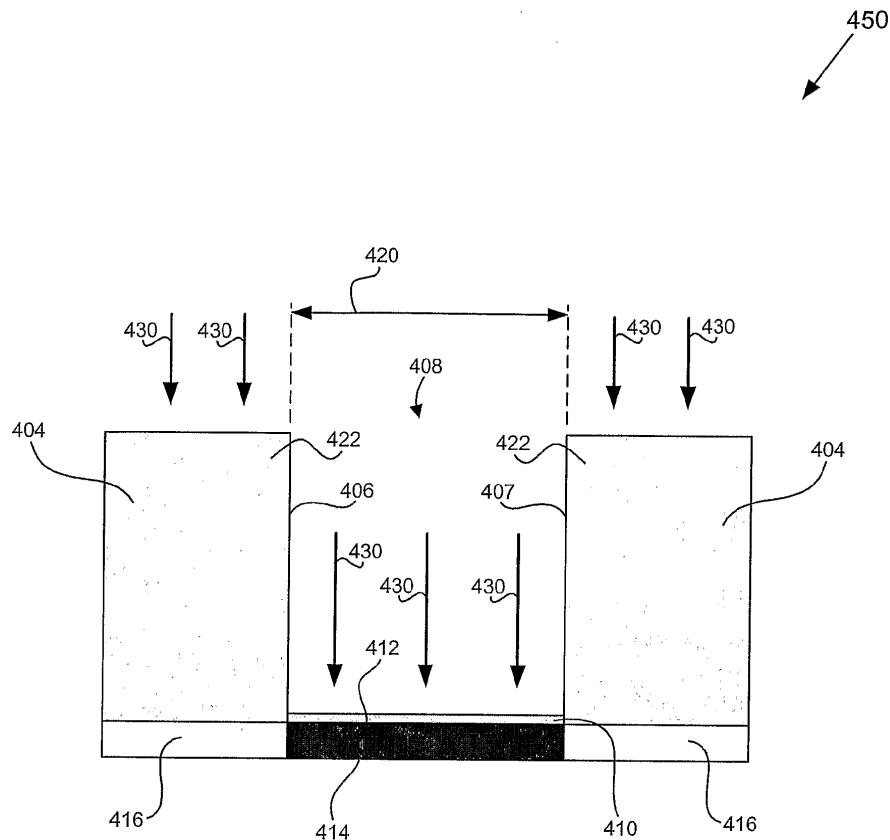
## 도면2B



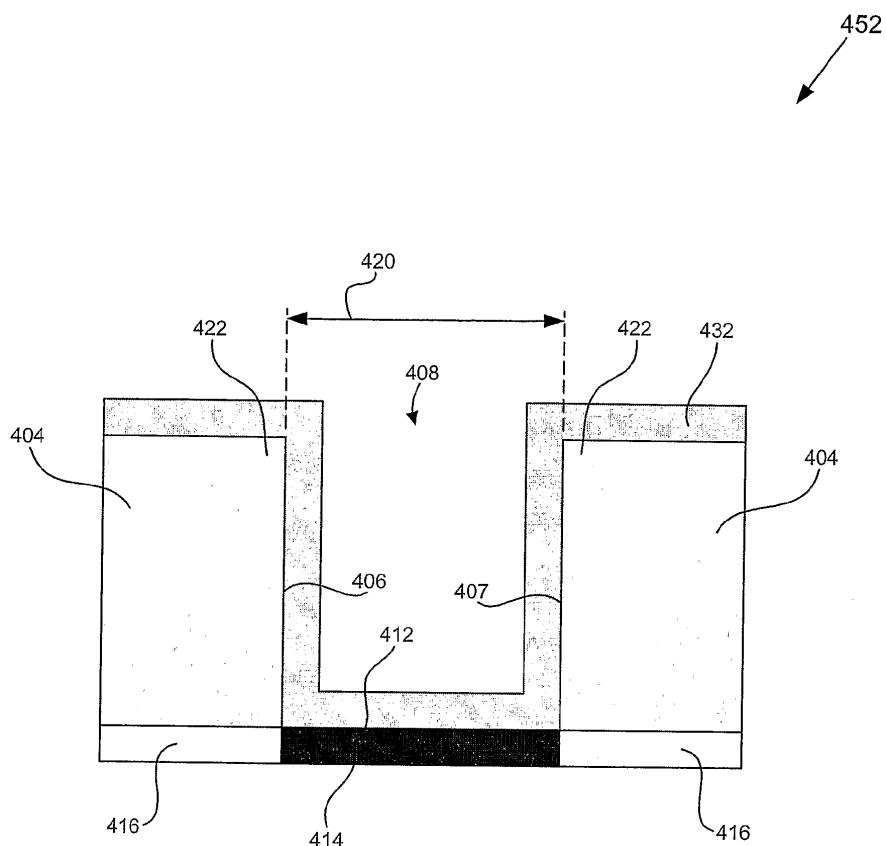
## 도면3



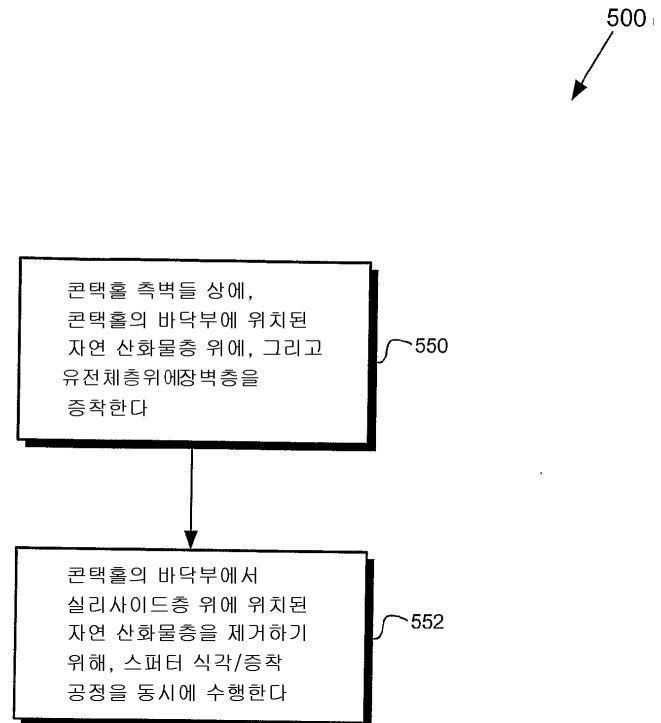
## 도면4A



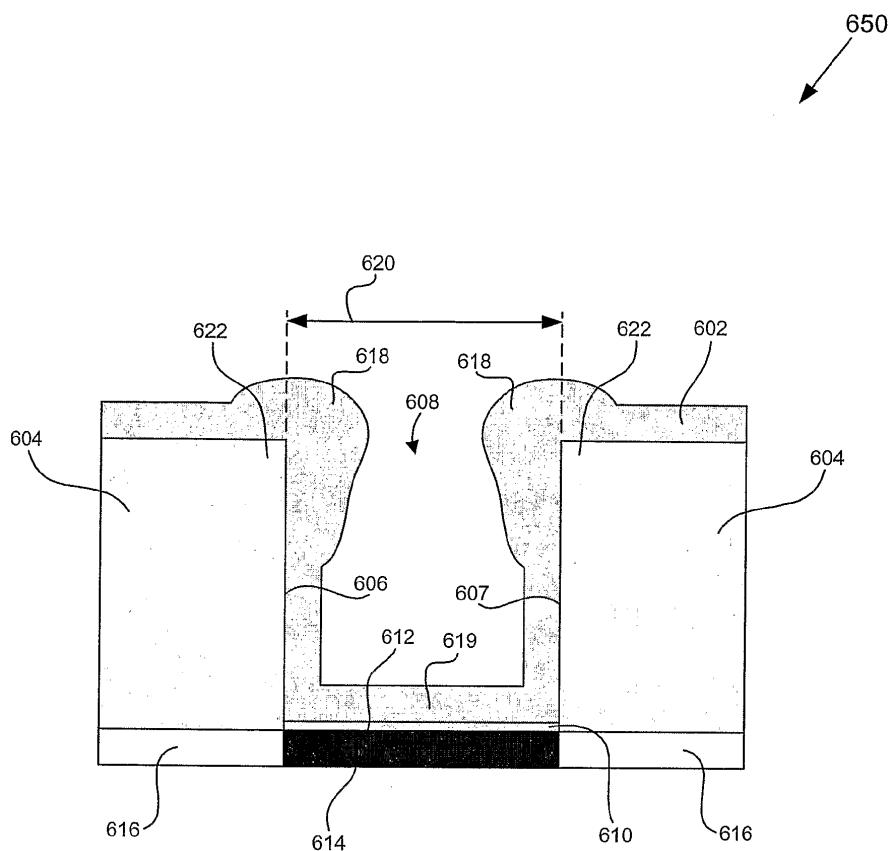
## 도면4B



## 도면5



## 도면6A



도면6B

