

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：94144658

※ 申請日期：94.12.16

※IPC 分類：H01L27/146, 2/828

一、發明名稱：(中文/英文)

具有均勻光感度的畫素陣列的 CMOS 影像感測器

CMOS IMAGE SENSORS HAVING PIXEL ARRAYS WITH
UNIFORM LIGHT SENSITIVITY

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

三星電子股份有限公司

SAMSUNG ELECTRONICS CO., LTD.

代表人：(中文/英文) 尹鍾龍/YUN, JONG-YONG

住居所或營業所地址：(中文/英文)

大韓民國京畿道水原市靈通區梅灘洞 416 番地

416, MAETAN-DONG, YEONGTONG-GU, SUWON-SI,

GYEONGGI-DO, REPUBLIC OF KOREA

國籍：(中文/英文) 韓國/KR

三、發明人：(共 2 人)

姓名：(中文/英文) ID :

1. 南丁鉉/NAM, JUNG-HYUN

2. 李允熙/LEE, YUN-HEE

國籍：(中文/英文) 1-2.韓國/KR

四、聲明事項：

☐ 主張專利法第二十二條第二項 ☐ 第一款或 ☐ 第二款規定之事實，其事實發生日期為： 年 月 日。

☒ 申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

☒ 有主張專利法第二十七條第一項國際優先權：

1. 韓國；2004/12/16；10-2004-0107181
2. 美國；2005/11/01；11/264,437

☐ 無主張專利法第二十七條第一項國際優先權：

☐ 主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

☐ 主張專利法第三十條生物材料：

☐ 須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

☐ 不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

九、發明說明：

【發明所屬之技術領域】

本發明實質上是關於具有改良之回應均勻性（response uniformity）的 CMOS 主動畫素感測器裝置，且詳言之，是關於用於製造具有畫素結構之 CMOS 主動畫素感測器裝置的方法，前述畫素結構在整個一畫素陣列上提供畫素間感度之增強之均勻性。

【先前技術】

已開發出各種類型之固態成像裝置，其主要包括電荷耦合裝置（CCD）以及互補金氧半導體（CMOS）影像感測裝置，以及基於 CCD 影像感測設計與 CMOS 影像感測設計之組合的併合影像感測器（hybrid image sensor）。通常，CCD、CMOS 固態成像感測器以及 CCD 影像感測器基於當矽暴露於光時發生之“光電效應”而運作。詳言之，CCD 以及 CMOS 影像感測器包括畫素陣列，在前述畫素陣列中每一單位畫素包括一光接收區域（light receiving region），前述光接收區域包括形成於前述畫素之一主動矽區域（active silicon region）中之一或多個光偵測器（photo detector）元件（諸如光電二極體）。當前述光接收區域曝露於光時，可見光以及近 IR（紅外）光光譜中之光子具有充足之能量以擊穿矽中的共價鍵（covalent bond），藉此將電子自價帶（valence band）釋放至導帶（conduction band）中。產生之電子之數量與光強度成比例。光子產生之電荷藉由光偵測器元件積聚於畫素陣列

中，且接著經偵測並處理以產生一數位影像。

圖 1 是說明一具有一 4 電晶體 (4-T) 主動畫素感測器構架之習知 CMOS 影像感測裝置之一單位畫素的示意電路圖。通常，例示性單位畫素 (10) 包括一 PD (光偵測器) 元件 (或光接收元件)、一轉移電晶體 (transfer transistor) TX、一 FD (浮動擴散 (floating diffusion)) 區域 (或感測節點)、一重置電晶體 (reset transistor) RX、一放大器 DX (或源極隨耦放大器 (source follower amplifier)) 以及一選擇電晶體 (select transistor) SX。前述 PD 元件可為一例如形成於前述畫素 (10) 之一光接收區域 (或感光區域) 中之光電二極體或固定光電二極體 (pinned photodiode)。藉由前述轉移電晶體 TX 之運作來將 PD 元件耦合至前述 FD 區域/自 FD 區域去耦合。前述重置電晶體 RX 具有一連接至一 RS 控制訊號線之閘電極。前述轉移電晶體 TX 具有一連接至一 TG 控制訊號線之閘電極。前述選擇電晶體 SX 具有一連接至一 SEL 控制訊號線之閘電極以及一連接至一輸出 (行) 線 OUT 之源電極。運作前述電晶體 RX、TX、DX 以及 SX 以執行諸如重置畫素，將所積聚之電荷自 PD 元件轉移至 FD 區域，以及將 FD 區域中之前述所積聚之電荷轉換成一經放大並轉移至前述輸出線 OUT 之可量測的電壓。

更特定言之，前述例示性單位畫素 (10) 運作如下。最初，在一整合期 (或電荷收集期) 期間，用入射光來照明畫素 (10) 且在 PD 元件之一電位阱 (potential well) (或

電荷積聚區域) 中積聚光產生之電荷。在前述整合期完成之後，藉由一施加至前述 RS 控制訊號線之重置控制訊號來激活重置電晶體 RX，以自 FD 區域排出電荷並將 FD 區域設置至一參考電位（例如，對 FD 區域進行充電至近似於源極電壓 VDD 減去重置電晶體 RX 之臨限電壓）。在前述重置運作之後，藉由一施加至前述 TG 控制訊號線之控制訊號來激活轉移電晶體 TX 以將前述所積聚之光產生之電荷自 PD 元件轉移至 FD 區域。前述放大器電晶體 DX 放大 FD 區域之電壓且前述經放大之電壓經由前述選擇電晶體 SX 而被緩衝/耦合至行輸出線 (26)，前述選擇電晶體 SX 藉由一施加至前述 SEL 控制訊號線的列選擇訊號而得以激活。

歷史上，歸因於 CCD 影像感測器所提供之各種優點，包括較高之動態範圍 (dynamic range)、低 FPN (固定圖案雜訊) 以及對光之高感度，故類比 CCD 影像感測器已統治固態成像應用之市場。然而，在 CMOS 技術之進步已導致改良之 CMOS 影像感測器設計的發展，藉此允許 CMOS 固態影像感測器在各種固態成像應用中取代 CCD。固態 CMOS 影像感測器提供各種優點包括，例如低製造成本、使用一單個電壓電源之低功率消耗、系統單晶片整合 (system-on-chip integration)、高速運作（例如，以高圖框率 (frame rate) 捕獲連續之影像）、高度整合之畫素陣列、晶片上影像處理系統、對單位畫素之隨機存取等。相反地，CCD 影像感測裝置之製造是昂貴的，通常要

求以不同時鐘速率 (clock speed) 之具有顯著較高之功率消耗之 2 個、3 個或 3 個以上的供應電壓，且不允許對單位畫素之隨機存取。

然而與固態 CCD 相比，習知 CMOS 主動畫素感測器具有更低之“填充因數 (fill factor)” ，其導致降級之效能（例如，對入射光之低感度、低量子效率、不良之訊雜比 (signal-to-noise ratio) 以及有限之動態範圍）。通常，前述畫素“填充因數”（或孔徑效率 (aperture efficiency)）指代畫素之光接收區域（或感光區域）之面積與畫素之總面積的比率。歸因於在環繞設計成之感光區域之單位畫素中之主動電路與關聯之互連的合併，所以 CMOS 主動畫素感測器具有低“填充因數”。參看圖 2 進一步解釋一 CMOS 主動畫素感測器之“填充因數”，圖 2 示意說明一單位畫素 (20) 之一例示性佈局圖案。

如圖 2 中所描繪，前述單位畫素 (20) 之總表面面積包括一經界定之感光區域 (21) 以及一環繞前述感光區域 (21) 之電晶體區域 (22)。前述感光區域 (21) 是經設計以捕獲穿透畫素 (20) 之入射光之畫素的區域。在感光區域 (21) 之主動矽中形成一光接收元件（例如，光電二極體 PD）。前述電晶體區域 (22) 是其中形成有主動組件（例如，放大器、重置以及列選擇電晶體）以及後段製程 (Back-End-Of-Line, BEOL) 互連結構的畫素區域。因為區域 (22) 中之前述主動電路元件以及互連吸收或反射了電晶體區域 (22) 上之大多數入射光，所以在很大程度上，

前述電晶體區域(22)實質上是一“光滅(optically dead)”區域。因此，畫素(20)之能夠吸收光子以產生電荷的感光區域(21)為電晶體區域(22)所需之畫素區域所限制，從而導致一低填充因數。各種畫素設計包括 L 形光電二極體，矩形形狀光電二極體以及正方形光電二極體，其提供不同之“填充因數”。

儘管前述電晶體區域(22)很大程度上是畫素(20)之一“光滅”區域，但是電晶體區域(22)之下方之基板可吸收某些入射之光而導致光產生之電荷的產生。可將前述光產生之電荷收集於 PD 元件之電位阱中。在此方面，因為畫素之電晶體區域(22)亦可作用於 PD 元件收集之電荷，所以主動畫素之“設計成的”填充因數（其基於感光區域(21)之實際曝露面積（孔徑））與“有效”填充因數不同。此外，可藉由接面（例如，FD 區域）或電晶體區域(22)中之主動組件之電位阱來捕獲電晶體區域(22)中之某些光產生之電荷，或前述電荷可擴散至鄰近畫素之 PD 元件並被收集於其中。因此，電晶體區域(22)中之光電荷的產生可導致雜訊且促使整個前述畫素陣列上之非均勻的畫素回應。

在某些習知主動畫素設計中，藉由使用一形成於畫素陣列之上之一分離之金屬光屏蔽層來降低畫素回應的非均勻性，其中前述光屏蔽層運作以屏蔽入射光免於進入畫素電晶體區域，但是包括與感光區域對準之孔徑以允許入射光抵達畫素之感光區域。實質上，前述光屏蔽層運作以將

前述經界定之感光區域之畫素回應與前述電晶體區域之畫素回應分離，且因此在整個畫素陣列上實現一更均勻之畫素回應。然而，對額外光屏蔽之使用導致畫素填充因數減少以及較低之量子效率(QE)效能(且因此，降級之效能)，且為建構主動畫素感測器造成位置設計限制，如將參看圖3而作解釋。

圖3是一具有分離之光屏蔽層之習知CMOS主動畫素感測器之一單位畫素的示意側視圖。詳言之，圖3說明一形成於一由一隔離層(31)所界定之半導體基板(30)之一主動區域中之一單位畫素的一部分。在前述畫素之主動矽區域中形成一光電二極體元件PD以及擴散區域(32)以及(33)。在前述基板(30)之上形成一堆疊結構(34)。前述堆疊層(34)包括多個閘電極(例如，轉移電晶體Tx以及重置電晶體Rx)以及形成前述BEOL金屬化互連之透明介電層以及非透明金屬層的交替層(alternating layer)。形成一上部金屬層以運作作為一具有一經界定之寬度為w之開口(孔徑)(34b)的光屏蔽(34a)，其與基板(30)中之PD元件對準。前述金屬屏蔽(34a)反射/阻斷畫素表面上之某些入射光，且某些入射光進入穿過前述孔徑(34b)並穿過堆疊層(34)之隧道區域(tunnel region)(34c)(其缺乏BOEL結構之金屬線)且被PD元件吸收。

儘管前述光屏蔽(34a)可增加畫素間回應之均勻性，但是對分離之光屏蔽層(34a)之使用降低畫素感度。當然，對前述額外光屏蔽層(34a)之使用導致堆疊層(34)之高

度 h 增大，且因此增大隧道高度與孔徑寬度之縱橫比（意即，比率 h/w ）。當前述縱橫比增大時，導致在有限入射角中可穿過孔徑（34b）至 PD 元件之入射光的數量減少，其導致較低之畫素感度以及較低之 QE。隨著 CMOS 技術按比例縮小為更小之特徵尺寸（feature size），可形成更小尺寸之畫素以及光屏蔽孔徑以增加積體密度（integration density）。然而在實務水準上，儘管存在更小之可用設計標準，但是歸因於有效運作所需之要求的畫素感度水準所以主動畫素感測器之尺寸將受限制。當然，因為使用更小之設計標準來建構具有分離之光屏蔽之畫素，所以隧道高度 h 與孔徑寬度 w 的縱橫比增大，其導致降低之畫素感度。因此，為了致能前述更小之設計標準，當使用有效光屏蔽以最小化整個畫素陣列上之畫素間感度的變化時，需要限制基板（30）上之堆疊層（34）的高度 h 。

【發明內容】

大體而言，本發明之例示性實施例包括具有改良之回應均勻性的固態 CMOS 主動畫素感測器裝置。更特定言之，本發明之例示性實施例包括用於製造具有畫素陣列之 COMS 主動畫素感測器的方法，前述畫素陣列之單位畫素經設計以在整個畫素陣列上提供增加之畫素間感度之均勻性而無需額外光屏蔽層。在本發明之一例示性實施例中，COMS 主動畫素感測器包括單位畫素構架，在前述單位畫素構架中設計有一或多個低程度金屬化層以提供 BEOL 互連以及 I/O 以及控制線並且運作作為增加畫素間感度之均

勻性的光屏蔽層。詳言之，對稱地圖案化並圍繞光接收元件而排列一或多個低程度金屬化層以平衡抵達感光區域之入射光的數量。

在本發明之一例示性實施例中，一影像感測裝置包括一包括多個形成於一半導體基板中之單位畫素的畫素陣列。每一單位畫素包括多個讀出元件（readout element）以及至少一光接收元件。在前述畫素陣列之上形成一第一佈線層（wiring layer），前述第一佈線層包括一第一佈線圖案（pattern of wiring line）。前述第一佈線圖案包括介於單位畫素中之讀出元件之間的電互連，其中前述第一佈線層是一光學阻斷層，其阻斷每一單位畫素中之入射光以為畫素陣列中之每一光接收元件保持實質上相同之感度。

在另一例示性實施例中，在前述第一佈線層之上形成一第二佈線層。前述第二佈線層包括一第二佈線圖案，其中前述第二佈線圖案包括電壓供應線。第二佈線層是第二光學阻斷層，前述第二光學阻斷層進一步阻斷每一單位畫素中之入射光以為畫素陣列之每一光接收元件保持實質上相同之感度。

在本發明之其它例示性實施例中，前述第一佈線圖案包括具有虛設突起元件（protruding element）之畫素控制線，且前述第二佈線圖案包括具有虛設突起元件之畫素 I/O 線。電壓供應線可包括虛設突起元件。

在另一例示性實施例中，前述第一佈線圖案是由一在前述畫素陣列中之每一單位畫素中重複的第一單位圖案所

形成，且前述第二佈線圖案是由一在前述畫素陣列中之每一單位畫素中重複之第二單位圖案所形成。前述用於每一單位畫素之第一以及第二單位圖案經排列以在每一單位畫素中界定一相似尺寸以及形狀之孔徑以便曝露每一單位畫素之一光接收區域。前述每一單位畫素之光接收區域包括一包括前述單位畫素之光接收元件的主動區域。每一畫素之光接收區域可更包括一與前述包括光接收元件之主動區域相鄰之非主動區域的至少一部分。

在本發明之又一例示性實施例中，每一單位畫素是一包括一第一子畫素單位以及一第二子畫素單位之共用單位畫素。前述第一佈線圖案包括一在前述畫素陣列中之每一單位畫素中重複的第一單位圖案，且前述第一單位圖案包括一在前述畫素陣列中之每一單位畫素之每一子畫素單位中重複的子單位圖案。前述子單位圖案包括一襯墊元件（pad element），其中前述襯墊元件是一用於前述第一子畫素單位之隔離虛設襯墊元件，且其中前述襯墊元件是一用於前述第二子畫素單位之電接觸襯墊，前述電接觸襯墊連接至第二子畫素單位之一讀出元件。在另一實施例中，第一以及第二子畫素單位之子單位圖案形成一鏡像（mirror image）圖案。

為讓本發明之上述和其他目的、特徵和優點能更明顯易懂，下文特舉較佳實施例，並配合所附圖式，作詳細說明如下。

【實施方式】

現將參看附圖進一步詳細論述具有改良之回應均勻性之固態 CMOS 主動畫素感測器裝置的例示性實施例。應瞭解，圖式僅為示意描繪，其中各種組件、層以及區域之厚度以及尺寸並非按比例繪製，而是為達成明確之目的而作誇示。應進一步瞭解，當本文中描述一層處於另一層或基板之“上”或“上方”時，此層可直接處於其他層或基板上，或亦可存在介入層。應進一步瞭解，在所有圖示中所使用之相同參考數字表示同樣或類似或具有同樣或類似功能的元件。

實質上而言，如本文中所描述之本發明的例示性實施例包括用於製造具有畫素陣列之 COMS 主動畫素感測器的方法，在前述畫素陣列中設計畫素結構在整個畫素陣列上提供畫素間感度之增加之均勻性而無需額外光屏蔽層。圖 2 之例示性畫素結構可用以解釋本發明之通用發明概念。如上文中所說明，圖 2 描繪一具有一感光區域 (21) 以及電晶體區域 (22) 之單位畫素 (20)。為了本發明之目的，假設前述感光區域 (21) (或“PD 區域”) 表示主動矽區域之面積，根據一“設計”填充因數一光電二極體形成於前述主動矽區域中。一環繞 PD 區域 (21) 之周邊區域 (23) 表示電晶體區域 (22) 之一部分，在前述部分中光產生之電荷最有可能由 PD 元件所收集，但是亦可擴散至畫素的其它區域，從而導致整個陣列上之畫素感度的非均勻性。為達成說明之目的，本文中 PD 區域 (21) 與周邊區域 (23) 之組合稱為一有效感光區域 (或“EPS 區

域”)。應瞭解，由於主動畫素感測器之 EPS 區域將基於諸如 PD 元件之實際尺寸以及結構、畫素中之 PD 元件與相鄰組件之空間以及電子的關係等各種因素而變化，故圖 2 中所說明之前述 EPS 區域僅例示而言。

在本發明之一例示性實施例中，COMS 主動畫素感測器包括單位畫素構架，在前述單位畫素構架中設計有一或多個低程度金屬化層以提供 BEOL 互連，且運作作為增加畫素間感度之均勻性的光屏蔽層。詳言之，對稱地圖案化並圍繞每一畫素之 PD 區域 (21) 而排列一或多個低程度金屬化層以運作作為平衡抵達感光區域之入射光之數量的光屏蔽 (阻斷) 層。圖案化前述金屬化層以在每一畫素中有效地界定對稱之孔徑，前述孔徑為陣列中之每一畫素曝露相同數量以及/或相同部分的 EPS 區域。前述曝露之 EPS 區域可包括全部 (或實質上) 整個前述感光區域 (21) 以及前述周邊區域 (23) 之至少一部分。以此方式，金屬化圖案提供實質上相同之光屏蔽面積，因此提供入射光接收效率之均勻分佈。對額外光屏蔽層之去除允許降低 BEOL 金屬化，因此導致增加之填充因數以及感度。

可實施關於畫素結構以及如上文中參考圖 2 所描述之金屬化圖案的通用發明概念，來用於各種類型之 CMOS 主動畫素影像感測器，包括 3-T、4-T、5-T 主動畫素感測器以及共用以及非共用 CMOS 主動畫素感測器架構。為達成說明之目的，將在下文中參看諸如圖 4 至圖 10 中所描繪之共用單位畫素構架來詳細論述本發明之例示性實施例。詳

言之，圖 4 是一具有一可將本發明應用於其之共用畫素構架之畫素陣列的示意電路圖。圖 5 至圖 10 說明一用於基於圖 4 之畫素陣列電路結構來建構一半導體 CMOS 主動畫素影像感測裝置的方法，前述半導體 CMOS 主動畫素影像感測裝置具有對稱結構之單位畫素以提供均勻感度。然而應瞭解，本發明並不限於共用畫素結構，且一般熟習此項技術者可容易地想像實施基於本文之教示之各種畫素構架之發明概念。

參看圖 4，展示一包括多個單位畫素 (41) 之畫素陣列 (40)。每一單位畫素 (41) 包括兩個光電二極體 (42a) 以及 (42b) 以及共同連接至一 FD 區域 (感測節點) 之兩個轉移電晶體 (43a) 以及 (43b)。每一單位畫素 (41) 更包括一重置電晶體 (44)，一放大器電晶體 (45) 以及一選擇電晶體 (46)。電源 VDD 連接至前述重置電晶體 (44) 以及前述選擇電晶體 (46)。前述共用畫素結構為一給定之晶片尺寸提供更高之密度設計。畫素 (41) 類似於上文中參看圖 1 所論述之 4-T 主動畫素感測器而運作。在一整合階段期間，在包括前述光電二極體 (42a) 以及 (42b) 之前述單位畫素 (41) 之感光區域上的入射光導致光產生之電荷，前述電荷由光電二極體 (42a) 以及 (42b) 之電位阱 (或收集接面) 所收集。在一電荷轉移階段期間，藉由激活個別轉移閘極 (transfer gate) (43a) 以及 (43b) 來將所收集之電荷自光電二極體 (42a) 以及 (42b) 轉移至 FD 區域。

根據本發明之一例示性實施例，可將前述單位畫素(41)建構成具有對稱結構，前述對稱結構在整個陣列(40)上提供均勻的畫素間感度而無需一分離之、額外光阻斷層。圖5至圖10說明根據本發明之一例示性實施例一用於製造一具有一如圖4中所說明之共用畫素架構之影像感測裝置的方法。詳言之，如下文中將參看圖5至10進一步詳細解釋，對稱地圖案化並圍繞畫素之光電二極體區域排列前述單位畫素之金屬化層以作為界定在整個畫素陣列上之每一單位畫素中之對稱地類似的光接受區域的光阻斷屏蔽，前述單位畫素之金屬化層在主動組件與I/O訊號線之間為畫素提供互連。

圖5A至圖5C說明根據本發明之一例示性實施例用於製造一影像感測裝置的初始步驟。詳言之，圖5A是一畫素陣列(50)之示意平面圖，其說明用於具有一共用主動畫素感測器構架之單位畫素(51)之主動區域的一初始佈局圖案。此外，圖5B是沿著圖5A之線5B至5B的示意橫截面圖，且圖5C是沿著圖5A之線5C至5C的示意橫截面圖。

如圖5A中所描繪，陣列(50)中之每一單位畫素(51)佔用相同畫素面積 $P_{\text{面積}}$ ，為達成說明之目的用 $P_{\text{面積}} = P_X \times P_Y$ 來表示前述 $P_{\text{面積}}$ ，如由圖5A中所描繪之虛線所界定，其中 P_X 表示一單位畫素(51)之寬度（在列方向內）且 P_Y 表示一單位畫素(51)之長度（在行方向內）。此外，在圖5A之例示性實施例中，每一單位畫素(51)包括一

對子畫素單位 (51a) 以及 (51b)。在圖 5A 中，每一子畫素單位 (51a) 佔用一中心線 C 上方之單位畫素 (51) 的一上部部分，且每一子畫素單位 (51b) 佔用前述中心線 C 下方之單位畫素 (51) 的一下部部分。認為前述子畫素單位 (51a) 以及 (51b) 佔用中心線 C 上方以及下方之相同之面積 $P_{\text{子面積}} = \frac{1}{2} P_{\text{面積}}$ 。

如圖 5A 至圖 5C 中所描繪，每一單位畫素 (51) 包括多個主動區域 A1、A2、A3 以及 A4，前述主動區域由一形成於一半導體基板 (100) 之一磊晶基板層 (102) 中的隔離區域 (103) 所界定。在本發明之一例示性實施例中，前述基板層 (102) 是一使用習知方法而形成之 p 摻雜層 (p-doped layer)。可用磷摻雜劑來形成前述基板層 (102)。應瞭解在其它例示性實施例中，摻雜層 (102) 可為一 N 摻雜層 (N-doped layer)。基板 (100) 可為 n 型或 p 型。前述隔離區域 (103) 可由諸如二氧化矽之任何合適之絕緣材料使用諸如淺溝槽隔離 (STI) 或矽局部氧化 (LOCOS) 方法之已知方法而形成。

在前述例示性實施例中，每一單位畫素 (51) 包括兩個主動區域 A1。前述主動區域 A1 為其中形成有光接收元件 (例如，光電二極體) 的感光區域。每一單位畫素 (51) 之主動區域 A2、A3 以及 A4 是用於畫素電晶體的主動區域。詳言之，前述主動區域 A2 延伸自主動區域 A1 且為前述轉移電晶體以及 FD 區域界定主動區域。前述主動區域 A3 以及 A4 為前述重置電晶體以及放大器電晶體界定主動

區域。如圖 5A 中所描繪，由子畫素單位 (51a) 中之主動區域 A1/A2 所形成的形狀是一由子畫素單位 (51b) 之主動區域 A1/A2 所形成的形狀關於前述單位畫素 (51) 之中心線 C 的鏡像。一給定之單位畫素 (51) 之主動區域 A3 以及 A4 分別整體地連接至單位畫素 (51) 上方以及下方之鄰近之單位畫素的主動區域 A4 以及 A3。更特定言之，一單位畫素 (51) 之一子畫素單位 (51b) 的主動區域 A4 如主動區域 A3 而延伸至一鄰近單位畫素 (51) 之一子畫素單位 (51a) 中。如圖 5A 之例示性實施例中所展示，前述主動區域 A1、A2、A3 以及 A4 對稱地形成於整個陣列 (50) 上之每一畫素 (51) 中。換言之，主動區域 A1、A2、A3 以及 A4 為主動區域界定一單位圖案，前述圖案在整個畫素陣列 (50) 上為每一單位畫素 (51) 而重複。在此方面，主動區域 A1/A2/A3 在整個陣列 (50) 上為每一子畫素單位 (51a) 界定一子單位圖案，且主動區域 A1/A2/A4 在整個陣列 (50) 上為每一子畫素單位 (51b) 界定一子單位圖案。

圖 6A、圖 6B 以及圖 6C 說明在形成用於主動電晶體以及光接收元件（例如，光電二極體）之閘電極之後的例示性畫素感測器陣列 (50)。詳言之，圖 6A 是說明單位畫素 (51) 之閘電極之一佈局圖案的例示性俯視平面圖。圖 6B 以及圖 6C 是分別沿著線 6B 至 6B 以及線 6C 至 6C 之圖 6A 的示意橫截面圖，其說明形成於主動區域 A1 中之光接收元件 (110a、110b) 以及形成於主動區域 A4 之一

部分中的 n+擴散區域 (111)。

如在圖 6A 中所描繪，每一單位畫素 (51) 包括形成於沿著電晶體主動區域 A2、A3 以及 A4 之位置處的各種閘電極，包括轉移電晶體 TX 之轉移閘電極 (TG1、TG2) (或轉移閘極)、重置電晶體 RX 之重置閘電極 (RG) (或重置閘極)、一放大器電晶體 DX 之源極隨耦閘電極 (SFG) 以及選擇電晶體 SX 之選擇閘電極 (RSG)。形成前述閘電極以重疊前述電晶體主動區域之部分以及鄰近之隔離區域 (103) 之部分。

如圖 6B 以及圖 6C 中所描繪，在前述單位畫素 (51) 之前述主動區域 A1 中形成一光接收元件 (110)。前述光接收元件 (110) 包括一 p+層 (108) (或 HAD (電洞積聚二極體) (hole accumulation diode) 層) 以及一形成於前述 p+層 (108) 下方之內埋式 n 阱層 (buried n-well layer) (109)。如此項技術中已知，堆疊 p+/n/p 層 (108)/(109)/(102) 形成一固定光電二極體裝置。因為此等裝置所提供之各種優點，所以通常在主動畫素感測器設計中實施固定光電二極體。舉例而言，一固定光電二極體裝置允許自 PD 區域至 FD 區域 (160) 之完整的電荷轉移。此外，前述 p+層 (108) 藉由將前述內埋式 n 阱層 (109) 與矽表面分離來提供減少之暗電流 (dark current) (如與習知光電二極體相比) 且促使 PD 區域中之光產生之電荷被積聚並限制於內埋式 n 阱層 (109) 中。如此，前述 p+層 (108) 有效地屏蔽 n 阱 (109) 免遇主動矽表面處熱產生之電荷，

從而導致暗電流以及相應雜訊元素 (noise element) 減少。此外，p+層 (108) 運作以藉由在 p+層與 n 阱層之間之界面中捕獲短波長可見光 (藍光) 來增加畫素之光譜回應，而更深之 p/n 阱界面可捕獲更長波長的光 (紅光以及紅外光)。

儘管未特定描繪，但是執行額外處理步驟以為主動畫素電晶體在主動區域 A2、A3 以及 A4 之相關部分中形成汲極/源極摻雜區域。舉例而言，FD 擴散區域形成於鄰近於前述轉移閘電極 TG1 以及 TG2 之前述主動區域 A2 中。此外，如圖 6C 中所描繪，N+摻雜區域形成於主動區域之相關部分中，在前述相關部分中將通道連接 (via connection) (待隨後形成) 接觸至前述主動區域。舉例而言，如圖 6C 中所展示，一摻雜區域 (111) 形成於鄰近於源極隨耦閘極 SFG 之主動區域 A4 之一末端部分中。前述摻雜區域 (111) 形成驅動畫素陣列 (50) 之一輸出線 (行線) 之放大器 (緩衝器) 電晶體之一源極/汲極區域，且充當通道接觸點 (如下文中將解釋)。

可使用習知方法來形成圖 6A 中所描繪之前述閘電極。舉例而言，可藉由連續地在基板之上連續地形成一絕緣層以及導電層而來形成前述閘電極。前述絕緣層可為一藉由熱氧化而形成之氧化層 (或氧化矽層)。在其它例示性實施例中，可使用諸如 CVD (化學氣相沉積 (chemical vapor deposition)) 或 ALD (原子層沉積 (atomic layer deposition)) 方法之已知方法藉由沉積諸如氮化矽、ONO

等絕緣材料來形成前述絕緣層。前述導電層可由使用 CVD 而沉積之多晶矽所形成。前述閘電極可由諸如鎢、銅或其它合適之閘電極材料之其他材料所形成。使用合適之光罩圖案 (mask pattern) 來執行一蝕刻製程以為單位畫素 (51) 形成閘電極。在本發明之一例示性實施例中，保持前述絕緣層以在隨後之蝕刻製程期間保護矽基板表面。在另一例示性實施例中，可使用用於形成前述閘電極之相同之蝕刻光罩來蝕刻前述絕緣層，從而為前述閘電極界定閘極絕緣層。

此外，可使用習知方法來形成光電二極體 (110a、110b)。舉例而言，在一例示性實施例中，形成一具有曝露主動區域 A1 之開口的光阻圖案 (photoresist pattern)。接著，執行分離之離子植入方法以將摻雜劑植入被曝露之主動區域 A1 中以形成光電二極體 (110)。舉例而言，執行一第一植入製程以用一第一離子植入能量來將 p 型雜質 (例如硼離子) 植入被曝露之主動區域 A1 中以便形成電洞積聚層 (108) 層。活化前述植入之硼離子以形成 p+ 層 (108)。執行一第二離子植入方法以用一第二離子植入能量來將 n 型雜質 (例如，磷離子或砷離子) 植入主動區域 A1 中以便形成前述內埋式 n 阱層 (109)。

圖 7A、圖 7B 以及圖 7C 是說明根據本發明之一例示性實施例在一第一程度金屬化圖案之形成之後的畫素感測器陣列 (50) 的例示性圖。詳言之，圖 7A 是說明畫素感測器陣列 (50) 之一例示性的第一程度金屬化圖案 (L1)

之示意俯視平面圖，而圖 7B 以及圖 7C 是分別沿著線 7B 至 7B 以及線 7C 至 7C 之圖 7A 之畫素影像感測器陣列(50)的示意橫截面圖。

根據本發明之一例示性實施例，設計前述第一程度金屬化圖案(L1)以用於各種目的。舉例而言，前述第一程度金屬化圖案(L1)包括導線以及互連以在畫素組件以及支撐畫素 I/O 之間提供電連接。另外，^V前述第一程度金屬化圖案(L1)運作作為一在整個陣列(50)上每一畫素(51)中具有一重複、對稱圖案的光阻斷層，前述光阻斷層經設計以平均化每一單位畫素(51)中之光電二極體(110a 以及 110b)的感度以及整個陣列(50)之上之單位畫素(51)之光電二極體的感度。形成前述第一程度金屬化圖案(L1)以在每一畫素中有效地組態或相反界定對稱的光接收區域。如上文中參看圖 5A 所論述，前述陣列(50)中之每一單位畫素(51)佔用相同之畫素面積 $P_{\text{面積}} = P_X \times P_Y$ 。此外，在圖 7A 之例示性實施例中，為達成說明之目的，每一畫素(51)之一 EPS(有效感光)區域佔用一由 $A_{EPS} = P'_x \times P_y$ 所界定的面積，其中 P'_x 表示列方向內之 EPS 區域的寬度(其小於 P_X) 且其中 P_Y 表示行方向內之 EPS 區域的長度(其與行方向內之畫素單位(51)的長度相同)。詳言之，如圖 7A 中所描繪，每一單位畫素(51)之一例示性 EPS 區域包括由光電二極體(110a 以及 110b)所佔用之畫素區域以及一環繞前述光電二極體(110a 以及 110b)之周邊區域。

參看圖 7A，前述第一程度金屬化圖案(L1)包括各

種控制線，前述控制線包一括 RG（重置閘極）控制線（143）、TG（轉移閘極）控制線（141）以及（142），以及一 RSG（列選擇閘極）控制線（144）。前述 RG 控制線（143）藉由通道連接（133）而連接至陣列（50）之一給定之列中之全部單位畫素（51）的 RG 電極。前述 RSG 控制線（144）藉由通道連接（134）而連接至陣列（50）之一給定之列中之全部單位畫素（51）的 SG 電極。前述 TG 控制線（141）以及（142）分別藉由通道連接（131）以及（132）而連接至陣列（50）之一給定之列中之全部單位畫素（51）的 TGa 以及 TGb（轉移閘極）電極。

另外，前述第一程度金屬化圖案（L1）包括金屬襯墊（145a）、（145b）以及（149），以及互連線（146a）以及（146b）。前述襯墊（145b）藉由一通道連接（135）而連接至摻雜區域（111）。前述襯墊（149）由鄰近之單位畫素（在行方向內）所共用，且藉由一通道連接（139）而連接至前述列選擇電晶體以及緩衝放大器電晶體之一共用摻雜區域（源極/汲極區域）。前述互連線（146a）在前述重置電晶體以及前述上部 FD 區域之間提供一電連接。詳言之，前述互連線（146a）之一末端藉由通道插塞（via plug）（136）而連接至重置電晶體之一源極區域，且藉由一通道插塞（137a）而連接至一上部浮動擴散區域。前述互連線（146b）在前述源極隨耦電晶體之閘電極（SFG）與前述下部 FD 區域之間提供一電連接。詳言之，前述互連線（146b）之一末端藉由插塞（138）而連接至源極隨耦電晶

體之閘電極，且前述互連線（146b）之另一末端藉由插塞（137b）而連接至下部 FD 區域。

如圖 7A 之例示性實施例中所描繪，前述第一程度金屬化圖案（L1）運作作為一光阻斷層，其中第一程度金屬化圖案（L1）由一在整個陣列（50）上每一畫素（51）中重複的單位圖案所形成。詳言之，前述第一程度金屬化圖案（L1）經形成以具有一在整個前述陣列上每一單位畫素（51）中重複的對稱單位圖案（稱為單位 L1 圖案）。設計前述單位 L1 圖案作為一光阻斷層，前述光阻斷層在每一單位畫素（51）中界定對稱地類似的光接收區域且運作以均勻地並對稱地屏蔽入射光免於進入環繞每一單位畫素（51）中之光電二極體之感光區域，以藉此均勻化每一單位畫素（51）中之光電二極體（110a 以及 110b）的感度以及整個陣列（50）之上之單位畫素之全部光電二極體的感度。前述單位 L1 圖案經對稱地圖案化並排列以均勻覆蓋環繞前述光電二極體（110a 以及 110b）之周邊區域。

在另一例示性實施例中，一用於每一畫素單位（51）之單位 L1 是由一用於每一子畫素單位（51a）以及（51b）之子單位圖案（或子單位 L1 圖案）所組成，其中前述子畫素單位（51a）以及（51b）之前述子單位 L1 圖案形成一關於單位畫素（51）之中心線 C 的鏡像圖案。

詳言之，前述轉移閘極線（141）以及（142）在畫素（51）之光電二極體（110a）以及（110b）之間之一感光區域中於列方向內延伸。對稱地圖案化並排列前述轉移閘

極線 (141) 以及 (142) 以提供相等之光阻斷面積，且將前述轉移閘極線 (141) 以及 (142) 分別地安置並排列於環繞光電二極體 (110a) 以及 (110b) 之感光區域之上，以便提供相等之光阻斷面積且均勻化二極體之感度。此外，轉移閘極線 (141) 以及 (142) 具有對稱突起部分 D3 以及 D4。前述突起部分 D3 以及 D4 是虛設元件，其經形成以覆蓋 EPS 區域中之感光區域並進一步界定畫素之光接收面積，且因此均勻化二極體之感度。在圖 7A 之例示性實施例中，轉移閘極線 (141) 以及 (142) 是關於前述子畫素單位 (51a) 與 (51b) 之間之中心線 C 的鏡像圖案。

類似地，前述 RG 控制線 (143) 以及 RSG 控制線 (144) 在行方向內之鄰近之畫素 (51) 的光電二極體 (110a) 以及 (110b) 之間之一感光區域中於列方向內延伸。在每一單位畫素 (51) 中對稱地圖案化並排列前述控制線 (143) 以及 (144) 以提供光電二極體 (110a) 以及 (110b) 之間之感光區域之相等之光阻斷面積，以便分別提供相等之光阻斷面積並均勻化二極體之感度。在圖 7A 之例示性實施例中，前述 RG 控制線 (143) 以及 RSG 控制線 (144) 是關於前述子畫素單位 (51a) 與 (51b) 之間之中心線 C 的鏡像圖案。

每一子畫素單位 (51b) 中之襯墊元件 (145b) 經形成以為通道插塞 (135) 提供一電連接，並具有一延伸區域以提供對鄰近於光電二極體 (110b) 之感光區域的光屏蔽。對稱地圖案化並排列每一子畫素單位 (51a) 中之襯墊元件

(145a)以補償相應子畫素單位(51b)之襯墊元件(145b)。換言之，前述襯墊元件(145a)是一虛設元件D1，前述虛設元件D1不具有電功能而是僅運作以屏蔽入射光並均勻化二極體(110a)以及(110b)之間的感度。在圖7A之例示性實施例中，前述襯墊元件(145a)以及(145b)是關於前述子畫素單位(51a)與(51b)之間之中心線C的鏡像圖案。

對稱地圖案化並排列前述互連線(146a)以及(146b)以致能光屏蔽並均勻化光電二極體之感度。前述互連(146a)經形成為具有延伸/突起部分D2，前述延伸/突起部分D2運作以補償前述下部互連(146b)之插塞(138)接觸部分，且因此均勻化二極體(110a、110b)之面積以及感度。另外，一給定之單位畫素之互連(146a、146b)包括經伸長之部分，前述經伸長之部分經安置以覆蓋鄰近之單位畫素(51)中之光電二極體的感光區域。在圖7A之例示性實施例中，前述互連(146a)以及(146b)是關於前述子畫素單位(51a)與(51b)之間之中心線C的鏡像圖案。

圖7B以及圖7C是分別沿著線7B至7B以及線7C至7C之圖7A之示意橫截面圖。使用習知方法在基板之上形成一介電層(120)。舉例而言，前述介電層(120)可由使用CVD製程而沉積之二氧化矽所形成。使用習知方法來形成諸如前述通道連接(135)(以及上文中圖7A中所描述之其它通道連接)之通道連接(或插塞)。舉例而言，

可藉由蝕刻介電層（120）以形成通道孔，使用習知方法來沉積諸如銅或鎢之導電材料以用前述導電材料填充前述通道孔來形成通道連接（例如，插塞 135），且接著執行一蝕刻製程或 CMP 製程以移除介電層（120）之表面上的導電材料並平面化前述表面。接著可藉由，藉由濺鍍來沉積一諸如銅或鋁之導電材料並接著使用一習知光微影製程來圖案化前述導電層，來形成前述第一程度金屬化層（L1）。

圖 8A、圖 8B 以及圖 8C 是說明根據本發明之一例示性實施例在一第二程度金屬化圖案（L2）之形成之後的畫素感測器陣列（50）的例示性圖。詳言之，圖 8A 是說明畫素感測器陣列（50）之一第二程度金屬化圖案（L2）之例示性佈局的示意俯視平面圖，而圖 8B 以及圖 8C 是分別沿著線 8B 至 8B 以及線 8C 至 8C 之圖 8A 之畫素影像感測器陣列（50）的示意橫截面圖。

根據本發明之一例示性實施例，將前述第二程度金屬化圖案（L2）對稱地圖案化並排列成環繞每一單位畫素（51）中之 PD 元件（110a 以及 110b）以作為一光阻斷層，前述光阻斷層進一步界定/組態每一單位畫素（51）之光接收區域以便進一步均勻化每一子畫素單位（51）中之光電二極體（110a 以及 110b）的感度以及整個畫素陣列（50）上之光電二極體的感度。

詳言之，在如圖 8A 中所描繪之本發明的一例示性實施例中，前述第二程度金屬化圖案（L2）經形成以在整個前述陣列上具有一在每一單位畫素（51）中重複的單位金

屬化圖案（稱為單位 L2 圖案）。將前述重複的單位 L2 圖案設計作為一光阻斷層，前述光阻斷層與前述重複的單位 L1 圖案結合而進一步界定每一單位畫素（51）中之對稱地類似的光接收區域並運作以均勻地並對稱地屏蔽入射光免於進入環繞每一單位畫素（51）中之光電二極體之感光區域以便提供進一步畫素感度均勻化。此外，在圖 8A 之例示性實施例中，前述用於每一畫素單位（51）之單位 L2 圖案包括一用於每一子畫素單位（51a）以及（51b）的子單位金屬化圖案（或子單位 L2 圖案），其中前述子畫素單位（51a）以及（51b）之前述子單位 L2 圖案是關於前述單位畫素（51）之中心線 C 的鏡像圖案。

參看圖 8A 至圖 8C，前述第二金屬化層（L2）經圖案化以包括行輸出線（175）、電源（VDD）線（179）以及互連線（176）。前述行輸出線（175）藉由通道連接（165）而連接至前述第一金屬化層（L1）之襯墊元件（145b）。前述行輸出線（175）沿著光電二極體區域（110a、110b）之邊緣在行方向內延伸並屏蔽鄰近於光電二極體（110a、110b）相鄰之感光區域之未被第一金屬化圖案（L1）覆蓋的彼等部分。前述行輸出線（175）包括為接觸（165）區域補償突起之虛設元件（D5）以藉均勻化感度。在圖 8A 之例示性實施例中，前述行輸出線（175）是關於前述子畫素單位（51a）與（51b）之間之中心線 C 的鏡像圖案。

為進行進一步均勻化，參見圖 8B，通道插塞（未圖示）可視需要而形成於輸出線（175）之突起虛設元件（D5）

與第一金屬化圖案 (L1) 之虛設襯墊元件 (D1) 之間以補償接觸插塞 (165)。

互連 (176) 在單位畫素 (51) 之第一與第二 FD 區域之間提供電連接。詳言之，形成一接觸插塞 (167a) 以將互連線 (167) 之一末端連接至對準於接觸插塞 (137a) (圖 7A) 之第一金屬化層 (L1) 之互連線 (146a) 的一末端部分。另外，形成一接觸插塞 (167b) 以將互連線 (167) 之另一末端連接至對準於接觸插塞 (137b) 之第一金屬層 (L1) 之互連線 (146b) 的一末端部分。在圖 8A 之例示性實施例中，前述互連 (176) 是關於前述子畫素單位 (51a) 與 (51b) 之間之中心線 C 的鏡像圖案。

前述電源線 (179) 沿著光電二級體 (110a、110b) 之邊緣在行方向內延伸並屏蔽鄰近於前述光電二極體 (110a、110b) 之感光區域之未被第一金屬化圖案 (L1) 覆蓋的彼等部分。前述電源線 (179) 具有突起部分，前述突起部分具有連接至第一金屬層 (L1) 之接觸襯墊 (149) 的接觸插塞 (169)。電源線 (179) 具有在光電二級體 (110a 以及 110b) 之間之感光區域之上延伸的突起虛設元件 (D6) 以提供對未被第一金屬化圖案 (L1) 之控制線 (141-144) 覆蓋之感光區域的進一步屏蔽，且進一步界定光接收區域。在圖 8A 之例示性實施例中，前述電源線 (179) 具有關於前述子畫素單位 (51a) 與 (51b) 之間之中心線 C 的鏡像圖案。

參看圖 8B 以及圖 8C，使用習知方法在具有第一金屬

化圖案 (L1) 之基板上形成一層間介電層 (150)。舉例而言，前述介電層 (150) 可由使用 CVD 製程而沉積之二氧化矽所形成。前述插塞 (135) (以及如上文中在圖 8A 中所描述之其它插塞) 是例如使用諸如上文中所描述之習知方法由銅或鎢所形成的。接著可藉由，藉由濺鍍來沉積一諸如銅或鋁之導電材料並接著使用一習知光微影製程來圖案化前述導電層，來形成前述第二金屬化層 (L2)。

圖 9 是說明前述閘電極與前述第一金屬化層 L1 以及第二金屬化層 L2 之組合佈局圖案的示意俯視平面圖。如所展示，在每一畫素 (51) 中，將第一以及第二金屬化層 L1 以及 L2 對稱地圖案化並排列成圍繞光電二極體區域 (110a 以及 110b)，從而使得前述第一以及第二層在 EPS 區域中有效地界定孔徑，前述孔徑曝露每一畫素中之光接收區域，其中前述光接收區域在尺寸以及面積上是對稱的。

在圖 9 中所描繪之例示性實施例中，前述光接收區域包括主動區域 A1 之大部分以及環繞前述區域 A1 之感光區域的一部分。藉由對稱地圖案化下部金屬化層中之一者或多者來運作作為光屏蔽，可最大化光接收區域之被曝露之面積以增加畫素感度，同時為一給定之畫素中之每一光電二極體以及整個畫素陣列上之光電二極體保持均勻的畫素感度。對於圖 9 之例示性共用畫素結構而言，藉由形成閘電極層 L1 以及金屬化層 L2 以具有每一單位畫素中之重複的單位圖案以及每一單位畫素中之用於子畫素單位之重複的子畫素圖案，來獲得一給定之單位畫素 (51) 中之光電二

極體 110a 以及 110b 之間的均勻化的感度。此外，在另一例示性實施例中，儘管每一單位畫素中之子畫素圖案是關於單位畫素之中心線 C 之一鏡像圖案，但是應瞭解並不要求使用一鏡像圖案。

圖 10 是說明一可形成於前述畫素感測器陣列 (50) 之上之第三金屬化層 (L3) 之佈局圖案的示意俯視平面圖。前述第三金屬化層 (L3) 經圖案化以形成隔離襯墊 (190) (鋁或銅)，前述隔離襯墊不具有電功能，但是其作用以減少基板中之總體步驟的差異，前述差異是由形成於主動畫素陣列 (50) 中的導電層與形成於包括諸如類比數位轉換器、ISP (影像訊號處理器) 等電路 (之固態影像感測器晶片之一周邊邏輯區域中的導電層的不同數量所導致。

在圖 10 之例示性實施例中，可在主動區域 A2 以及鄰近於前述區域 A2 之 A1 之區域上以一方式對稱地圖案化並排列第三導電圖案 (190)，此方式提供對未被第一以及第二金屬化層覆蓋之感光區域的進一步光屏蔽，但是避免限制可捕獲之入射光的角度。

應進一步瞭解，可將根據本發明之例示性實施例具有經架構有畫素之畫素陣列的 CMOS 影像感測裝置實施於各種類型之基於處理器的系統。舉例而言，圖 11 是根據本發明之一例示性實施例之一具有一影像感測裝置之系統 (200) 的高階方塊圖。舉例而言，前述系統 (200) 可實施於例如電腦系統、攝影機系統、掃描器、機器視覺系統、車輛導航系統、視訊電話、監視系統、自動聚焦系統、星

體追蹤儀系統、運動偵測系統、影像穩定系統、移動電話以及其它基於處理器之系統中。

實質上而言，前述系統（200）包括一 CMOS 影像器裝置（210），一或多個 CPU（中央處理單元）或微處理器（220）、一或多個 I/O 裝置（230）、一軟性磁碟驅動器（240）（或其它記憶卡插槽）、RAM（250）以及一 CD ROM 驅動器（260），前述之全部經由一系統匯流排（270）而被有效地耦合。所實施之系統組件的類型將視系統之類型而變化。舉例而言，通常將諸如軟性磁碟驅動器（240）以及 CD ROM 驅動器（260）之周邊裝置與例如個人電腦或膝上型電腦一起而加以使用。

CMOS 影像器裝置（210）包括一可使用本文中所描述之任一例示性畫素架構而建構的畫素陣列。前述 CMOS 影像裝置（210）產生來自供應自前述畫素陣列之訊號的一輸出影像。CMOS 影像器裝置（210）在匯流排（270）之上或其它通訊鏈路上與系統組件通訊。在另一例示性實施例中，處理器（220）、CMOS 影像器裝置（210）以及記憶體（250）可整體地形成於一單個 IC 晶片上。

雖然本發明已以較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作些許之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。

【圖式簡單說明】

圖 1 是說明一具有一 4 電晶體（4-T）主動畫素感測器

構架之習知 CMOS 影像感測裝置之一單位畫素的示意電路圖。

圖 2 說明一例示性單位畫素佈局以說明畫素填充因數之概念。

圖 3 是一具有一光屏蔽層之習知單位畫素的示意側視圖。

圖 4 是一具有一共用畫素構架之主動畫素感測器陣列的示意電路圖，可將本發明應用於前述共用畫素構架。

圖 5 至圖 10 說明一用於基於圖 4 之畫素陣列電路結構來建構一半導體 CMOS 主動畫素影像感測裝置的方法，前述半導體 CMOS 主動畫素影像感測裝置具有對稱結構之單位畫素以提供均勻感度。

圖 11 是根據本發明之一例示性實施例之一具有一影像感測裝置之系統的高階方塊圖。

【主要元件符號說明】

- 10：畫素
- 20：單位畫素
- 21：感光區域
- 22：電晶體區域/PD 區域
- 23：周邊區域
- 30：基板
- 31：隔離層
- 32：擴散區域
- 33：擴散區域

- 34：堆疊結構/堆疊層
- 34a：光屏蔽
- 34b：孔徑
- 34c：隧道區域
- 40：畫素陣列
- 41：單位畫素
- 42a：光電二極體
- 42b：光電二極體
- 43a：轉移電晶體/轉移閘極
- 43b：轉移電晶體/轉移閘極
- 44：重置電晶體
- 45：放大器電晶體
- 46：選擇電晶體
- 50：畫素陣列
- 51：單位畫素
- 51a：子畫素單位
- 51b：子畫素單位
- 100：半導體基板
- 102：磊晶基板層/摻雜層
- 103：隔離區域
- 108：p⁺層
- 109：n 阱層
- 110：光電二極體/光接收元件
- 110a：光電二極體/光電二極體區域/光接收元件

- 110b：光電二級體/光電二極體區域/光接收元件
- 111：摻雜區域/n+擴散區域
- 120：介電層
- 131：通道連接
- 132：通道連接
- 133：通道連接
- 134：通道連接
- 135：通道連接/通道插塞
- 136：通道插塞
- 137a：通道插塞/接觸插塞
- 137b：通道插塞/接觸插塞
- 139：通道連接
- 141：TG 控制線
- 142：TG 控制線
- 143：RG 控制線
- 144：RSG 控制線
- 145a：金屬襯墊/襯墊元件
- 145b：金屬襯墊/襯墊元件
- 146a：互連線
- 146b：互連線
- 149：金屬襯墊/接觸襯墊
- 150：層間介電層
- 165：通道連接/接觸插塞
- 167b：接觸插塞

169：接觸插塞
175：行輸出線
176：互連
179：電源線
190：隔離襯墊/第三導電圖案
200：系統
210：CMOS 影像器裝置
220：微處理器
230：I/O 裝置
240：軟性磁碟驅動器
250：RAM/記憶體
260：CD ROM 驅動器
270：系統匯流排
5B：線
5C：線
6B：線
6C：線
7B：線
7C：線
8B：線
8C：線
A1：主動區域
A2：主動區域
A3：主動區域

A4：主動區域
C：中心線
D1：虛設元件
D2：延伸/突起部分
D3：突起部分
D4：突起部分
D5：突起虛設元件
D6：突起虛設元件
DX：放大器/源極隨耦放大器
FD：浮動擴散
h：隧道高度
L1：第一程度金屬化圖案
OUT：輸出（行）線
PD：光電二極體
Px：單位畫素之寬度
Px'：列方向內 EPS 區域的寬度
Py：單位畫素之長度
RG：重置閘電極
RSG：列選擇閘極
RX：重置電晶體
SEL：控制訊號線
SFG：源極隨耦閘電極
STI：淺溝槽隔離
SX：選擇電晶體

I282621

18824pif

TG：轉移閘電極

TG1：轉移閘電極

TG2：轉移閘電極

TX：轉移電晶體

VDD：源極電壓

W：孔徑寬度

五、中文發明摘要：

固態 CMOS 主動畫素感測器裝置具有單位畫素，前述單位畫素經構成以在整個一畫素陣列上提供畫素間感度之改良之均勻性而無需一額外的光屏蔽層。舉例而言，形成具有對稱佈局圖案之單位畫素，藉此設計一或多個低程度 BEOL（後段製程）金屬化層作為光屏蔽層而運作，前述光屏蔽層經對稱地圖案化並排列以平衡抵達感光區域之入射光的數量。

六、英文發明摘要：

Solid state CMOS active pixel sensor devices having unit pixels that are structured to provide improved uniformity of pixel-to-pixel sensitivity across a pixel array without the need for an additional light shielding layer. For example, unit pixels with symmetrical layout patterns are formed whereby one or more lower-level BEOL metallization layers are designed operate as light shielding layers which are symmetrically patterned and arranged to balance the amount of incident light reaching the photosensitive regions.

十、申請專利範圍：

1.一種影像感測裝置，其包括：

一畫素陣列，前述畫素陣列包括形成於一半導體基板上之多個單位畫素，其中每一單位畫素包括多個讀出元件以及至少一光接收元件；以及

一第一佈線層，前述第一佈線層形成於前述畫素陣列上包括一第一佈線圖案，其中前述第一佈線圖案包括介於前述單位畫素中之讀出元件之間的電互連，

其中前述第一佈線層是一光學阻斷層，以在每一單位畫素中阻斷入射光來為前述畫素陣列之每一光接收元件保持實質上相同的感度。

2.如申請專利範圍第 1 項所述之影像感測裝置，其更包括，

一第二佈線層，第二佈線層形成於前述第一佈線層之上包括一第二佈線圖案，其中前述第二佈線圖案包括電壓供應線，

其中前述第二佈線層是一第二光學阻斷層，以在每一單位畫素中阻斷入射光來為前述畫素陣列之每一光接收元件保持實質上相同的感度。

3.如申請專利範圍第 2 項所述之影像感測裝置，其中前述第一佈線圖案包括一在前述畫素陣列中之每一單位畫素中重複的第一單位圖案，且其中前述第二佈線圖案包括一在前述畫素陣列中之每一單位畫素中重複的第二單位圖案。

4.如申請專利範圍第 3 項所述之影像感測裝置，其中前述用於每一單位畫素之第一以及第二單位圖案經排列以在每一單位畫素中界定一類似尺寸以及形狀的孔徑來曝露每一單位畫素之一光接收區域，其中每一單位畫素之前述光接收區域包括一主動區域，前述主動區域包括前述單位畫素之前述光接收元件。

5.如申請專利範圍第 4 項所述之影像感測裝置，其中每一畫素之前述光接收區域包括鄰近於前述包括前述光接收元件之主動區域之一非主動區域的至少一部分。

6.如申請專利範圍第 1 項所述之影像感測裝置，其中前述第一佈線圖案包括具有虛設突起元件之畫素控制線。

7.如申請專利範圍第 2 項所述之影像感測裝置，其中前述第二佈線圖案包括具有虛設突起元件之畫素 I/O 線。

8.如申請專利範圍第 2 項所述之影像感測裝置，其中前述電壓供應線包括虛設突起元件。

9.如申請專利範圍第 1 項所述之影像感測裝置，其中前述單位畫素包括一共用光接收元件構架。

10.如申請專利範圍第 1 項所述之影像感測裝置，其中每一單位畫素是一包括一第一子畫素單位以及一第二子畫素單位之共用單位畫素，其中前述第一佈線圖案包括一在前述畫素陣列中之每一單位畫素中重複的第一單位圖案，且其中前述第一單位圖案包括一在前述畫素陣列中之每一單位畫素之每一子畫素單位中重複的子單位圖案，其中前述子單位圖案包括一襯墊元件，其中前述襯墊元件作為一

隔離虛設襯墊元件用於前述第一子畫素單位，且其中前述襯墊元件是一用於前述第二子畫素單位之連接至前述第二子畫素單位之一讀出元件的電接觸襯墊。

11.如申請專利範圍第 1 項所述之影像感測裝置，其中前述第一以及第二子畫素單位之前述子單位圖案形成一鏡像圖案。

12.一種影像感測裝置，其包括：

一畫素陣列，前述畫素陣列包括形成於一半導體基板上之多個單位畫素，其中每一單位畫素包括多個讀出元件以及一光接收元件；以及

一第一光學阻斷層，前述第一光學阻斷層形成於前述畫素陣列之上，來為前述畫素陣列之每一光接收元件保持實質上相同的感度，其中前述第一光學阻斷層包括一佈線圖案以連接讀出元件，以及一虛設圖案。

13.如申請專利範圍第 12 項所述之影像感測裝置，其中前述佈線以及虛設圖案具有在每一單位畫素中重複之單位圖案。

14.如申請專利範圍第 12 項所述之影像感測裝置，其中前述虛設圖案包括電隔離虛設元件。

15.如申請專利範圍第 12 項所述之影像感測裝置，其中前述虛設圖案包括連接至前述佈線圖案之虛設元件。

16.如申請專利範圍第 12 項所述之影像感測裝置，其中前述虛設圖案包括電隔離之虛設元件以及連接至前述佈線圖案之虛設元件。

17.如申請專利範圍第 12 項所述之影像感測裝置，其中前述虛設圖案在前述畫素陣列之一隔離區域之上對準。

18.如申請專利範圍第 12 項所述之影像感測裝置，其更包括一形成於前述第一光學阻斷層之上之第二光學阻斷層，來為前述畫素陣列之每一光接收元件保持實質上相同的感度，其中前述第二光學阻斷層包括一包括電壓供應線的佈線圖案。

19.如申請專利範圍第 18 項所述之影像感測裝置，其中前述第一光學阻斷層包括一在前述畫素陣列中之每一單位畫素中重複的第一單位圖案，且其中前述第二光學阻斷層包括一在前述畫素陣列中之每一單位畫素中重複的第二單位圖案。

20.如申請專利範圍第 19 項所述之影像感測裝置，其中前述用於每一單位畫素之第一以及第二單位圖案經排列以在每一單位畫素中界定一類似尺寸以及形狀的孔徑來曝露每一單位畫素之一光接收區域，其中每一單位畫素之前述光接收區域包括一主動區域，前述主動區域包括前述單位畫素之前述光接收元件。

21.如申請專利範圍第 20 項所述之影像感測裝置，其中每一畫素之前述光接收區域包括鄰近於前述包括前述光接收元件之主動區域之畫素之一非主動區域的至少一部分。

22.如申請專利範圍第 12 項所述之影像感測裝置，其中每一單位畫素是一包括一第一子畫素單位以及一第二子

畫素單位之共用單位畫素，其中前述第一光學阻斷層包括一在前述畫素陣列中之每一單位畫素中重複的第一單位圖案，且其中前述第一單位圖案包括一在前述畫素陣列中之每一單位畫素之每一子畫素單位中重複的子單位圖案，其中前述子單位圖案包括一襯墊元件，其中前述襯墊元件作為一隔離虛設襯墊元件用於前述第一子畫素單位，且其中前述襯墊元件是一用於前述第二子畫素單位之連接至前述第二子畫素單位之一讀出元件的電接觸襯墊。

23.如申請專利範圍第 22 項所述之影像感測裝置，其中前述第一以及第二子畫素單位之前述子單位圖案形成一鏡像圖案。

24.一種影像感測裝置，其包括：

一畫素陣列，前述畫素陣列包括形成於一半導體基板中之多個單位畫素，其中每一單位畫素具有一相同的佈局圖案，其中前述佈局圖案包括一光接收元件區域、多個讀出元件區域以及一環繞前述光接收元件區域以及讀出元件區域之隔離區域；

一第一金屬化層，前述第一金屬化層形成於前述畫素陣列之上，其中前述第一金屬化層包括形成介於前述畫素陣列中之讀出元件之間之互連的金屬線，

其中前述第一金屬化層包括一在前述畫素陣列中之每一單位畫素中重複的第一單位圖案，其中前述第一單位圖案是在每一單位畫素中之一光學阻斷層，前述光學阻斷層安置在前述環繞每一單位畫素之前述光接收元件區域之隔

離區域的相同的區域之上。

25.如申請專利範圍第 24 項所述之影像感測裝置，其中前述第一單位圖案包括一虛設金屬線。

26.如申請專利範圍第 24 項所述之影像感測裝置，其中前述光接收元件區域包括彼此鄰近地排列之一第一以及第二光電二極體區域。

27.如申請專利範圍第 26 項所述之影像感測裝置，其中前述第一單位圖案包括一鏡像圖案。

28.如申請專利範圍第 24 項所述之影像感測裝置，其更包括一形成於前述第一金屬化層之上之第二金屬化層，其中前述第二金屬化層包括為前述單位畫素形成 I/O 線之金屬線，且其中前述第二金屬化層包括一在前述畫素陣列中之每一單位畫素中重複的第二單位畫素，其中前述第二單位圖案是一光學阻斷層，前述光學阻斷層安置在前述環繞每一單位畫素之前述光接受區域之隔離區域的相同的區域之上。

29.如申請專利範圍第 28 項所述之影像感測裝置，其中前述第二單位圖案包括一虛設金屬線。

30.如申請專利範圍第 28 項所述之影像感測裝置，其中前述第二單位圖案包括一鏡像圖案。

31.如申請專利範圍第 24 項所述之影像感測裝置，其中每一單位畫素包括一共用光接收元件構架。

32.如申請專利範圍第 28 項所述之影像感測裝置，其中前述用於每一單位畫素之第一以及第二單位圖案經排列

以在每一單位畫素中界定一類似尺寸以及形狀的孔徑來曝露每一單位畫素之一光接收區域，其中每一單位畫素之前述光接收區域包括一主動區域，前述主動區域包括前述單位畫素之前述光接收元件。

33.如申請專利範圍第 32 項所述之影像感測裝置，其中每一畫素之前述光接收區域包括前述環繞前述光接收元件區域之隔離區域的至少一部分。

34.如申請專利範圍第 24 項所述之影像感測裝置，其中每一單位畫素是一包括一第一子畫素單位以及一第二子畫素單位之共用單位畫素，其中前述第一單位圖案是由一在前述畫素陣列中之每一單位畫素之每一子畫素單位中重複的子單位圖案所形成，其中前述子單位圖案包括一襯墊元件，其中前述襯墊元件作為一隔離虛設襯墊元件而用於前述第一子畫素單位，且其中前述襯墊元件是一用於前述第二子畫素單位之連接至前述第二子畫素單位之一讀出元件的電接觸襯墊。

35.如申請專利範圍第 34 項所述之影像感測裝置，其中前述第一以及第二子單位圖案是鏡像圖案。

36.如申請專利範圍第 34 項所述之影像感測裝置，其中每一第一子畫素單位包括一連接至前述隔離虛設襯墊元件之虛設接觸插塞，其中前述虛設接觸插塞對應於一連接前述襯墊元件至前述第二子畫素單位之前述讀出元件的接觸插塞。

37.一種用於製造影像感測裝置之方法，其包括：

於一半導體基板上形成一單位畫素陣列，其中每一單位畫素包括多個讀出元件以及至少一光接收元件；以及

在前述畫素陣列之上形成一包括一第一佈線圖案之第一佈線層，其中前述第一佈線圖案包括介於前述單位畫素中之讀出元件之間的電互連，其中形成前述第一佈線層作為一光學阻斷層以在每一單位畫素中阻斷入射光來為前述畫素陣列之每一光接收元件保持實質上相同的感度。

38.如申請專利範圍第 37 項所述之用於製造影像感測裝置之方法，其更包括形成一形成於前述第一佈線層之上之包括一第二佈線圖案的佈線層，其中前述第二佈線圖案包括電壓供應線，其中形成前述第二佈線層作為第二光學阻斷層以在每一單位畫素中阻斷入射光線來為前述畫素陣列之每一光接收元件保持實質上相同的感度。

39.如申請專利範圍第 38 項所述之用於製造影像感測裝置之方法，其中前述第一佈線圖案是由一在前述畫素陣列中之每一單位畫素中重複的第一單位圖案所形成，且其中前述第二佈線圖案是由一在前述畫素陣列中之每一單位畫素中重複的第二單位圖案所形成。

40.如申請專利範圍第 39 項所述之用於製造影像感測裝置之方法，其包括為每一單位畫素排列前述第一以及第二單位圖案以在每一單位畫素中界定一類似尺寸以及形狀的孔徑來曝露每一單位畫素之一光接收區域，其中每一單位畫素之前述光接收區域包括一主動區域，前述主動區域包括前述單位畫素之前述光接收元件。

41.如申請專利範圍第 40 項所述之用於製造影像感測裝置之方法，其中每一畫素之前述光接收區域包括鄰近於前述前述光接收元件之主動區域之一非主動區域的至少一部分。

42.如申請專利範圍第 37 項所述之用於製造影像感測裝置之方法，其中形成前述第一佈線圖案以包括具有虛設突起元件之畫素控制線。

43.如申請專利範圍第 38 項所述之用於製造影像感測裝置之方法，其中形成前述第二佈線圖案以包括具有虛設突起元件之 I/O 線。

44.如申請專利範圍第 38 項所述之用於製造影像感測裝置之方法，其中圖案化前述電壓供應線以具有虛設突起元件。

45.如申請專利範圍第 37 項所述之用於製造影像感測裝置之方法，其中形成前述單位畫素以具有一共用光接收元件構架。

46.如申請專利範圍第 37 項所述之用於製造影像感測裝置之方法，其中形成一單位畫素陣列包括形成一共用單位畫素陣列，其中每一共用單位畫素包括一第一子畫素單位以及一第二子畫素單位，其中前述第一佈線圖案是由一在前述畫素陣列中之每一單位畫素中重複的第一單位圖案所形成，且其中前述第一單位圖案是由一在前述畫素陣列中之每一單位畫素之每一子畫素單位中重複的子單位圖案所形成，其中前述子單位圖案包括一襯墊元件，其中前述

襯墊元件作為一隔離虛設襯墊用於前述第一子畫素單位，且其中前述襯墊元件是一用於前述第二子畫素單位之連接至前述第二子畫素單位之一讀出元件的電接觸襯墊。

47.如申請專利範圍第 46 項所述之用於製造影像感測裝置之方法，其中前述第一以及第二子畫素單位之前述子單位圖案形成一鏡像圖案。

48.一種用於製造影像感測裝置之方法，其包括：

於一半導體基板上形成一單位畫素陣列，其中每一單位畫素包括多個讀出元件以及一光接收元件；以及

於前述畫素陣列之上形成一具有一圖案之第一光學阻斷層，前述圖案為前述畫素陣列之每一光接收元件保持實質上相同的感度，其中前述第一光學阻斷層包括一佈線圖以連接讀出元件，以及一虛設圖案。

49.如申請專利範圍第 48 項所述之用於製造影像感測裝置之方法，其中前述佈線圖案以及虛設圖案是在每一單位畫素中重複的單位圖案。

50.如申請專利範圍第 48 項所述之用於製造影像感測裝置之方法，其中將前述虛設圖案形成為具有電隔離虛設元件。

51.如申請專利範圍第 48 項所述之用於製造影像感測裝置之方法，其中前述虛設圖案包括連接至前述佈線圖案的虛設元件。

52.如申請專利範圍第 48 項所述之用於製造影像感測裝置之方法，其中前述虛設圖案包括電隔離之虛設元件以

及連接至前述佈線圖案的虛設元件。

53.如申請專利範圍第 48 項所述之用於製造影像感測裝置之方法，其中將前述虛設圖案對準於前述畫素陣列之一隔離區域之上。

54.如申請專利範圍第 48 項所述之用於製造影像感測裝置之方法，其更包括於前述第一光學阻斷層之上形成一第二光學阻斷層來為前述畫素陣列之每一光接收元件保持實質上相同的感度，其中前述第二光學阻斷層包括一包括電壓供應線的佈線圖案。

55.如申請專利範圍第 54 項所述之用於製造影像感測裝置之方法，其中前述第一光學阻斷層是由一在前述畫素陣列中之每一單位畫素中重複的第一單位圖案所形成，且其中前述第二光學阻斷層是由一在前述畫素陣列中之每一單位畫素中重複的第二單位圖案所形成。

56.如申請專利範圍第 55 項所述之用於製造影像感測裝置之方法，其包括在每一單位畫素中排列前述第一以及第二單位圖案以在每一單位畫素中界定類似尺寸以及形狀的孔徑，前述孔徑曝露每一單位畫素之一光接收區域，其中每一單位畫素之前述光接收區域包括一主動區域，前述主動區域包括前述單位畫素之前述光接收元件。

57.如申請專利範圍第 48 項所述之用於製造影像感測裝置之方法，其中形成一單位畫素陣列包括形成一共用單位畫素陣列，其中每一共用單位畫素包括一第一子畫素單位以及一第二子畫素單位，其中前述第一光學阻斷層是由

一在前述畫素陣列中之每一單位畫素中重複的第一單位圖案所形成，且其中前述第一單位圖案是由一在前述畫素陣列中之每一單位畫素之每一子畫素單位中重複的子單位圖案所形成，其中前述子單位圖案包括一襯墊元件，其中前述襯墊元件作為一隔離虛設襯墊用於前述第一子畫素單位，且其中前述襯墊元件是一用於前述第二子畫素單位之連接至前述第二子畫素單位之一讀出元件的電接觸襯墊。

58.如申請專利範圍第 57 項所述之用於製造影像感測裝置之方法，其中前述第一以及第二子畫素單位之前述子單位圖案形成一鏡像圖案。

59.一種用於製造影像感測裝置之方法，其包括：

於一半導體基板上形成一畫素陣列，其中每一單位畫素具有一相同的佈局圖案，其中前述佈局圖案包括一光接收元件區域、多個讀出元件區域以及一環繞前述光接收元件以及讀出元件區域之隔離區域，以及

於前述畫素陣列之上形成一第一金屬化層，其中前述第一金屬化層包括在前述畫素陣列中之讀出元件區域之間形成互連的金屬線；

其中前述第一金屬化層是由一在前述畫素陣列中之每一單位畫素中重複的第一單位圖案所形成，其中前述第一單位圖案是一用於每一畫素單位之光學阻斷層，前述光學阻斷層安置在前述環繞每一單位畫素之前述光接收元件區域之隔離區域的相同的區域之上。

60.如申請專利範圍第 59 項所述之用於製造影像感測

裝置之方法，其中形成一單位畫素陣列包括形成一共用單位畫素陣列，其中每一共用單位畫素包括一第一子畫素單位以及一第二子畫素單位，其中前述第一單位圖案是由一在前述畫素陣列中之每一單位畫素之每一子畫素單位中重複的子單位圖案所形成，其中前述子單位圖案包括一襯墊元件，其中前述襯墊元件作為一隔離虛設襯墊用於前述第一子畫素單位，且其中前述襯墊元件是一用於前述第二子畫素單位之連接至前述第二子畫素單位之一讀出元件的電接觸襯墊。

61.如申請專利範圍第 60 項所述之用於製造影像感測裝置之方法，其中一單位畫素之前述子單位圖案形成一鏡像圖案。

62.如申請專利範圍第 60 項所述之用於製造影像感測裝置之方法，其更包括在每一第一子畫素單位中形成一虛設接觸插塞，其中將前述虛設接觸插塞連接至前述隔離虛設襯墊元件，其中前述虛設接觸插塞對應於一連接前述襯墊元件至前述讀出元件的接觸插塞。

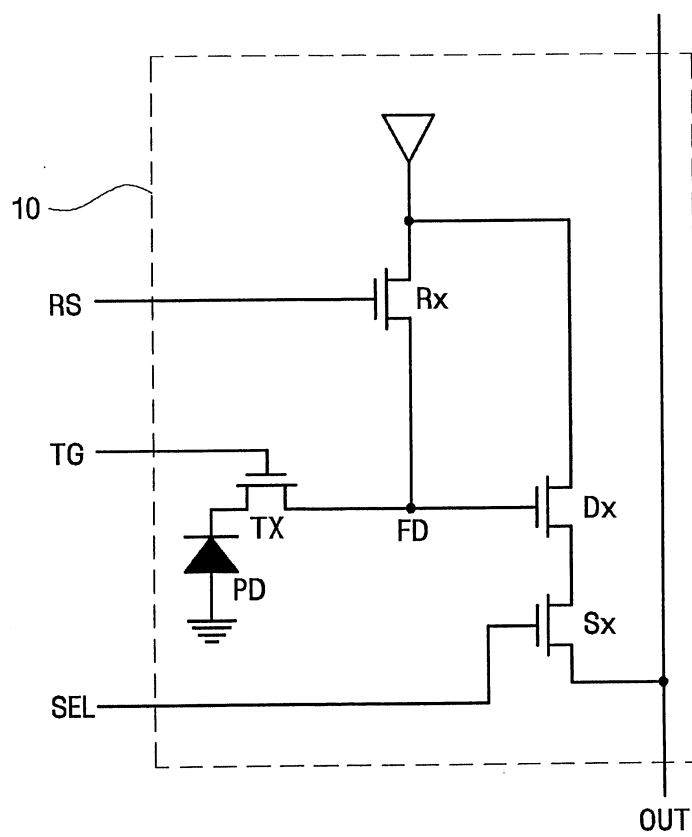


圖 1

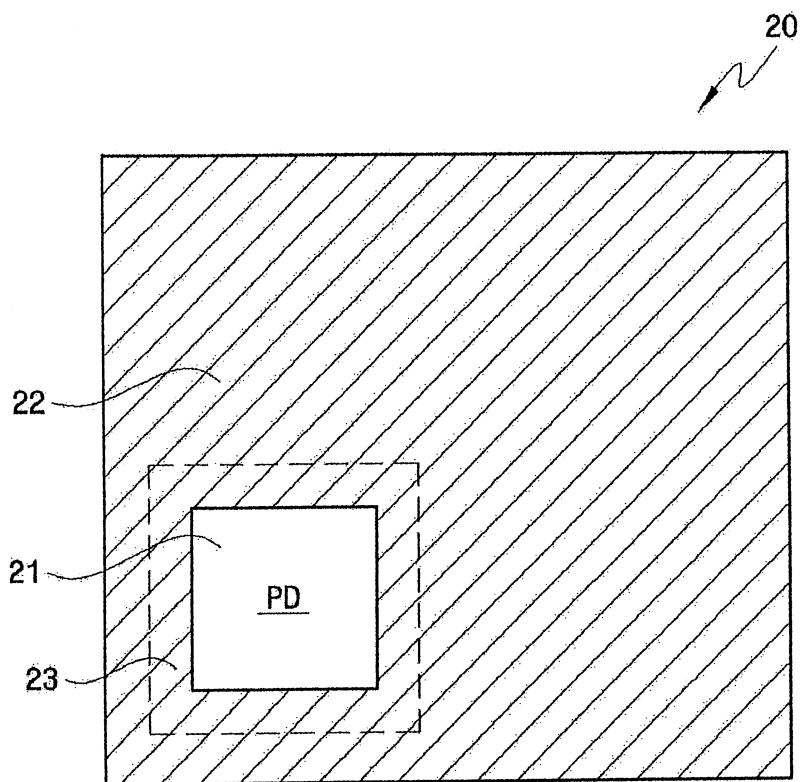


圖 2

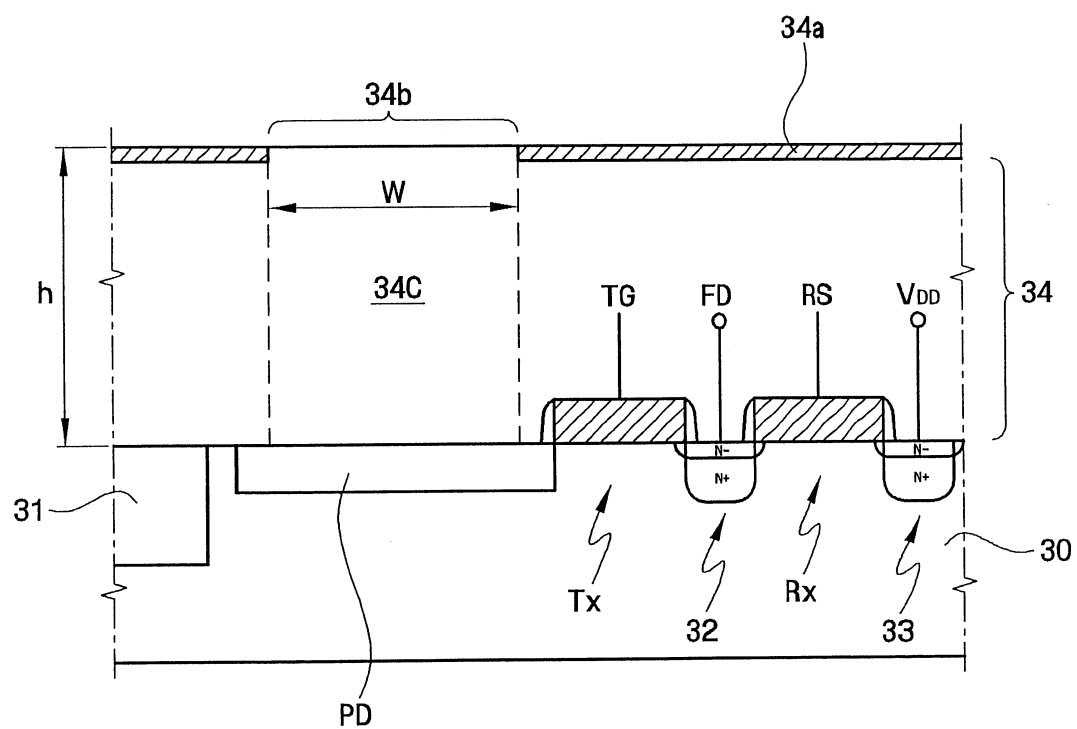


圖 3

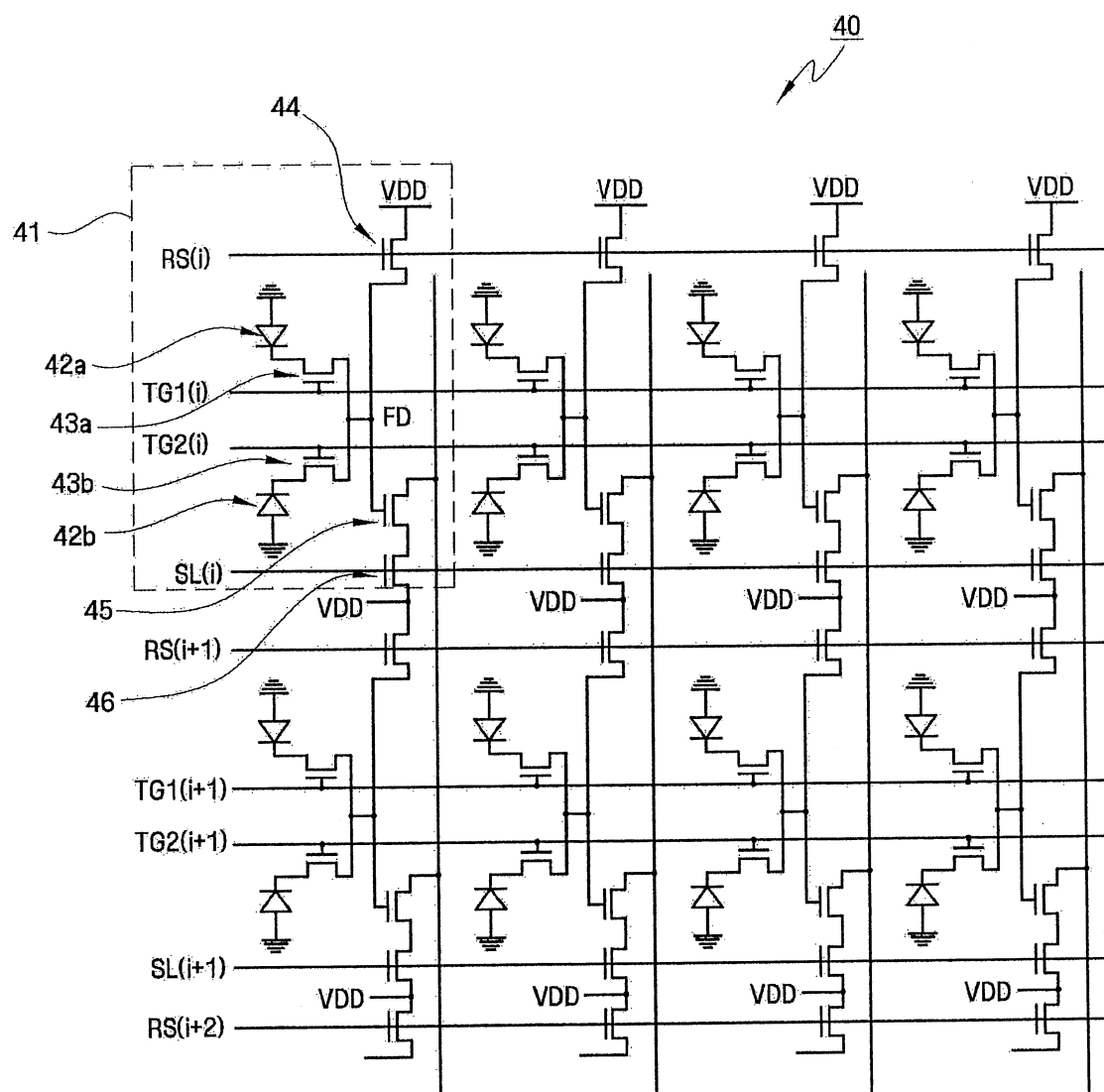


圖 4



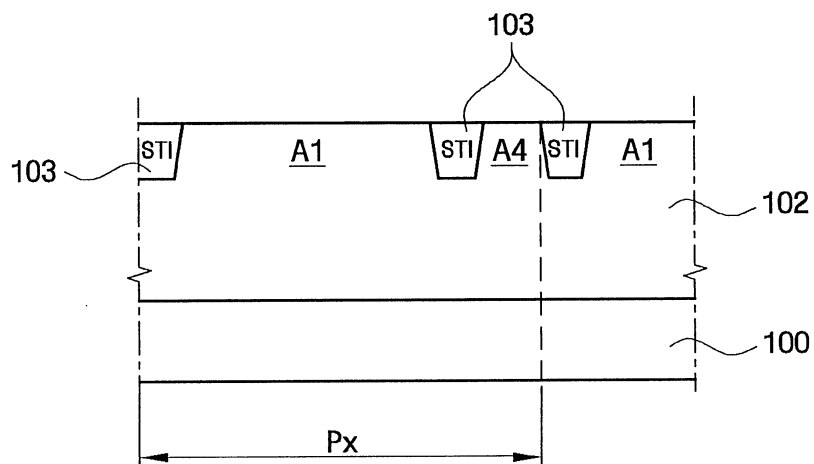


圖 5C

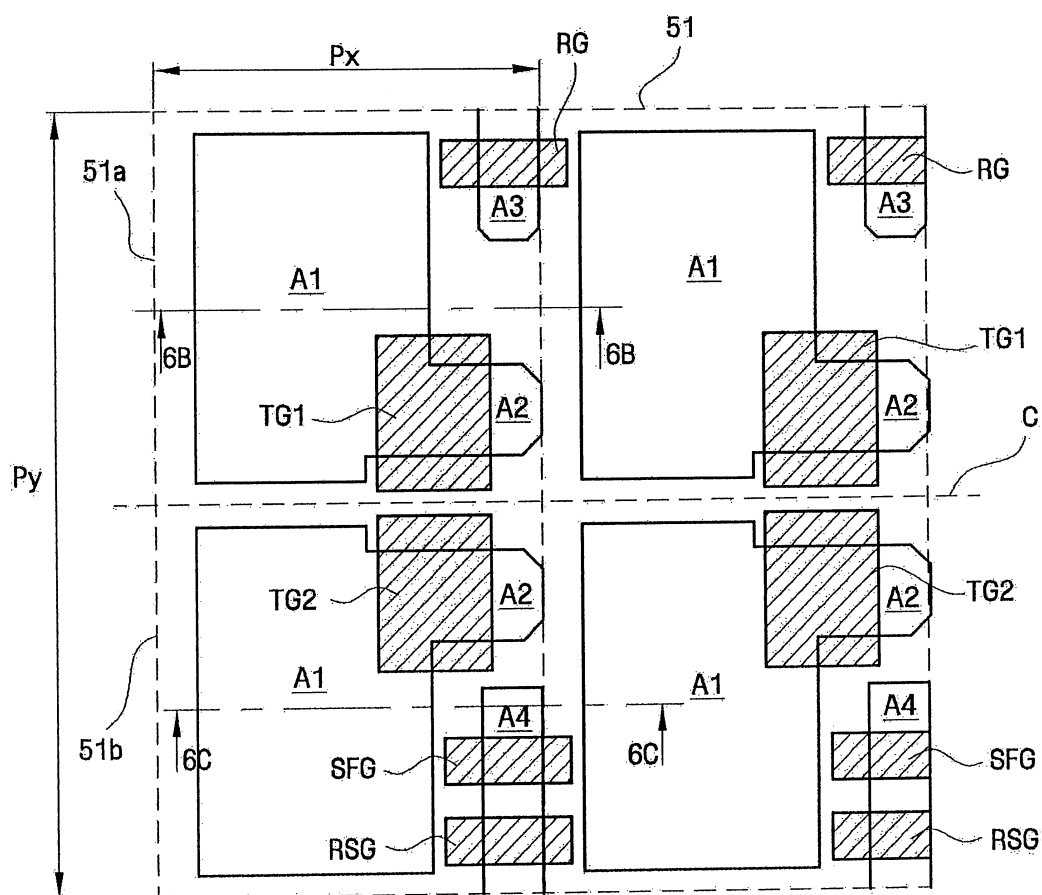


圖 6A

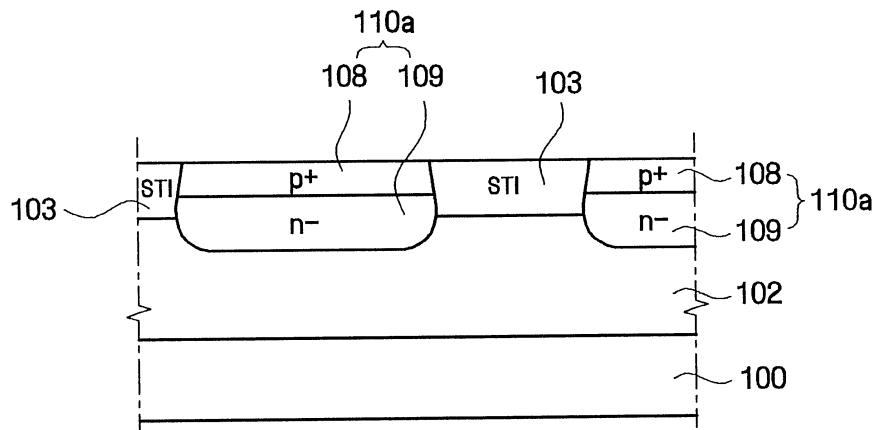


圖 6B

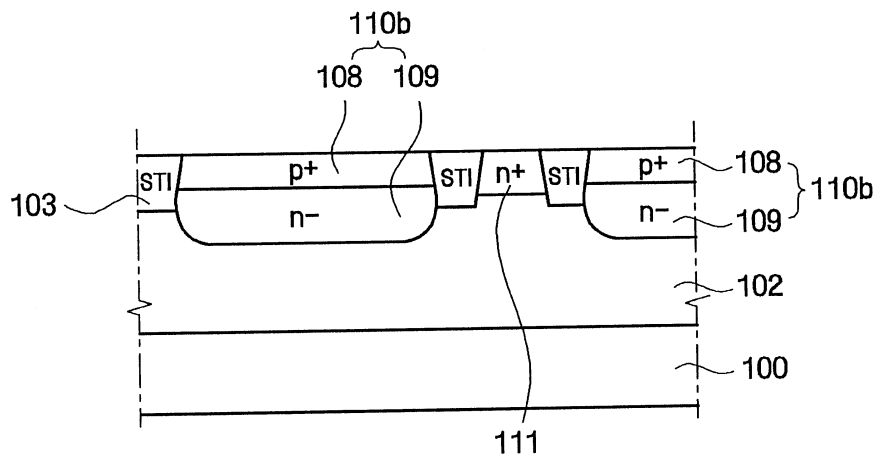


圖 6C

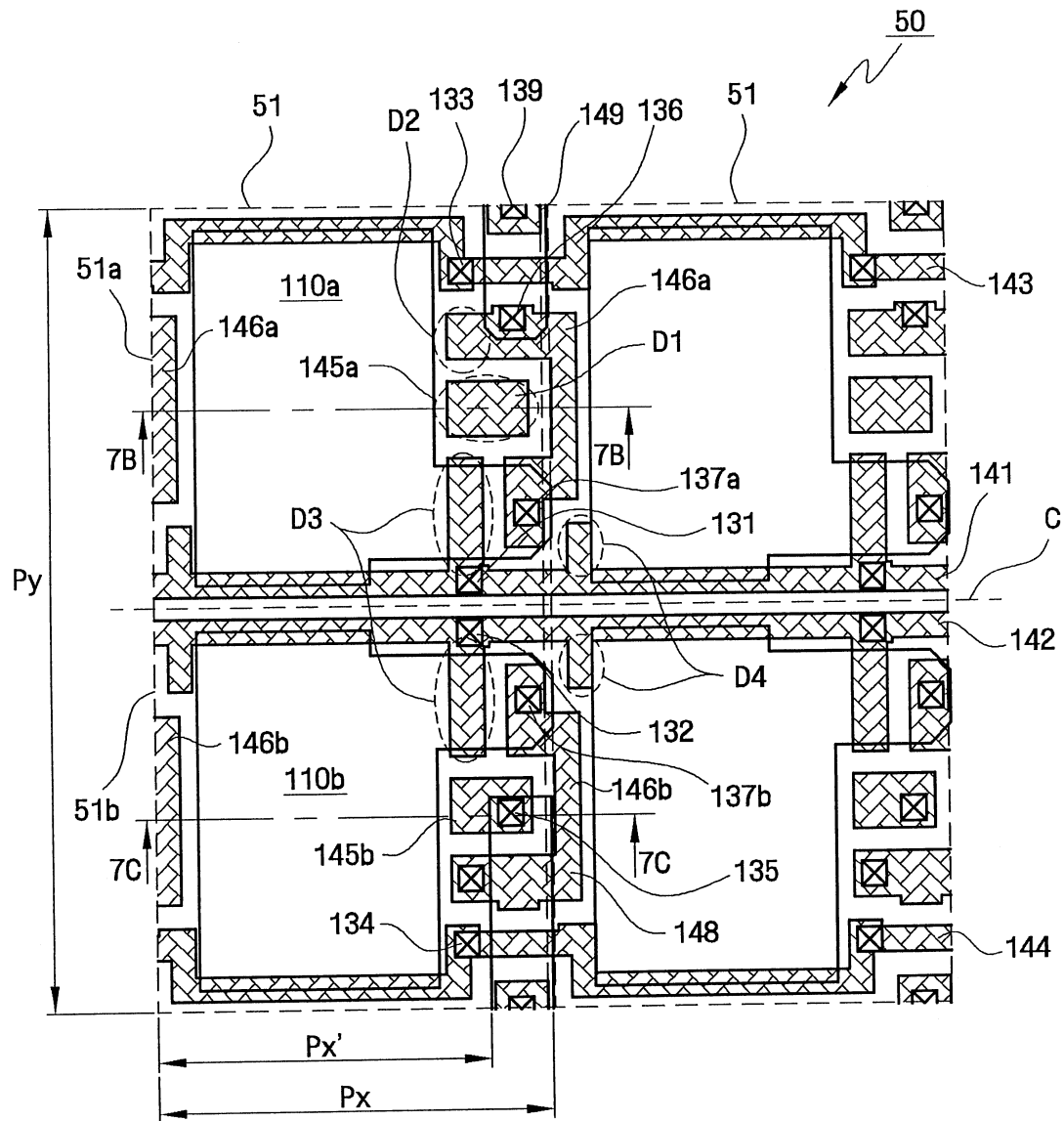


圖 7A

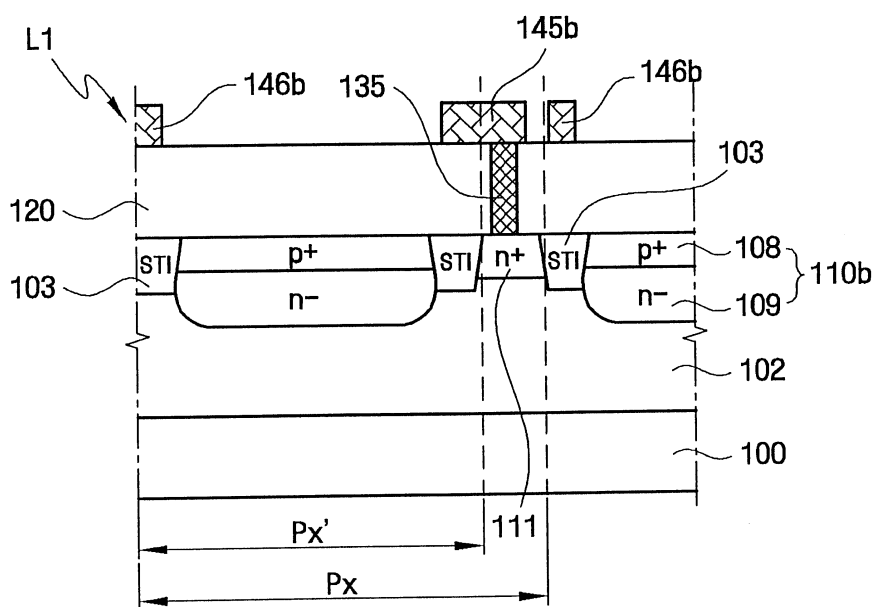


圖 7C

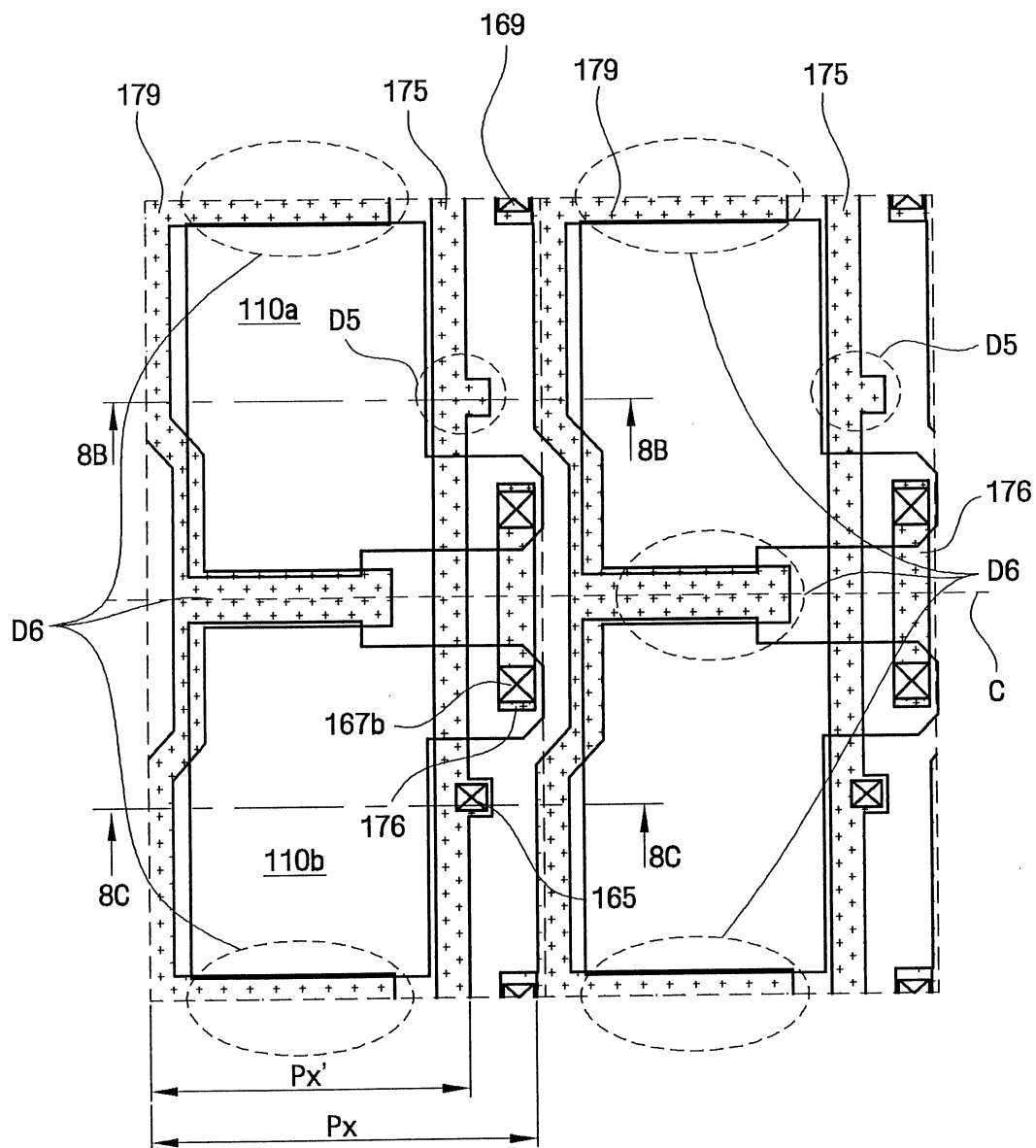


圖 8A



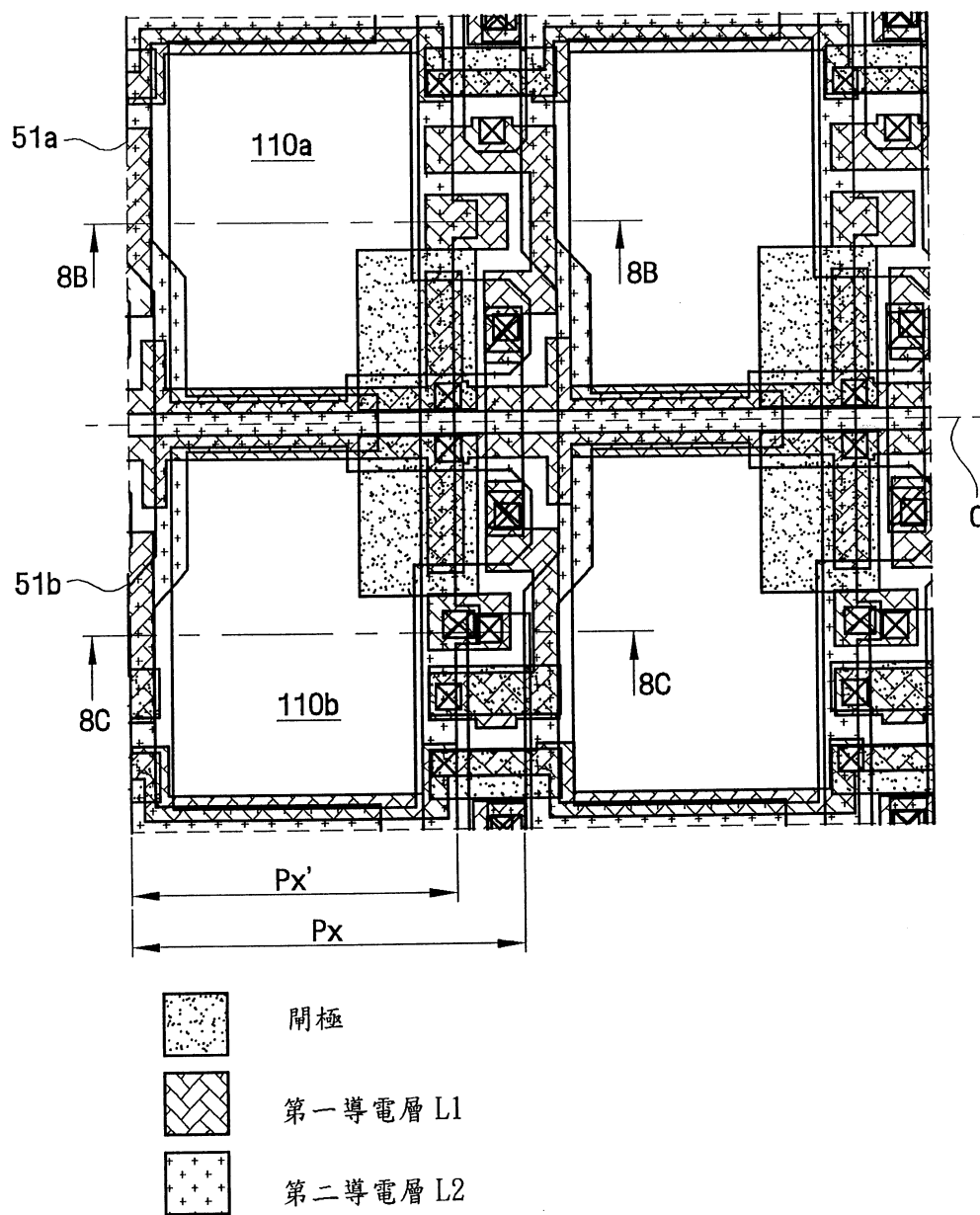


圖 9

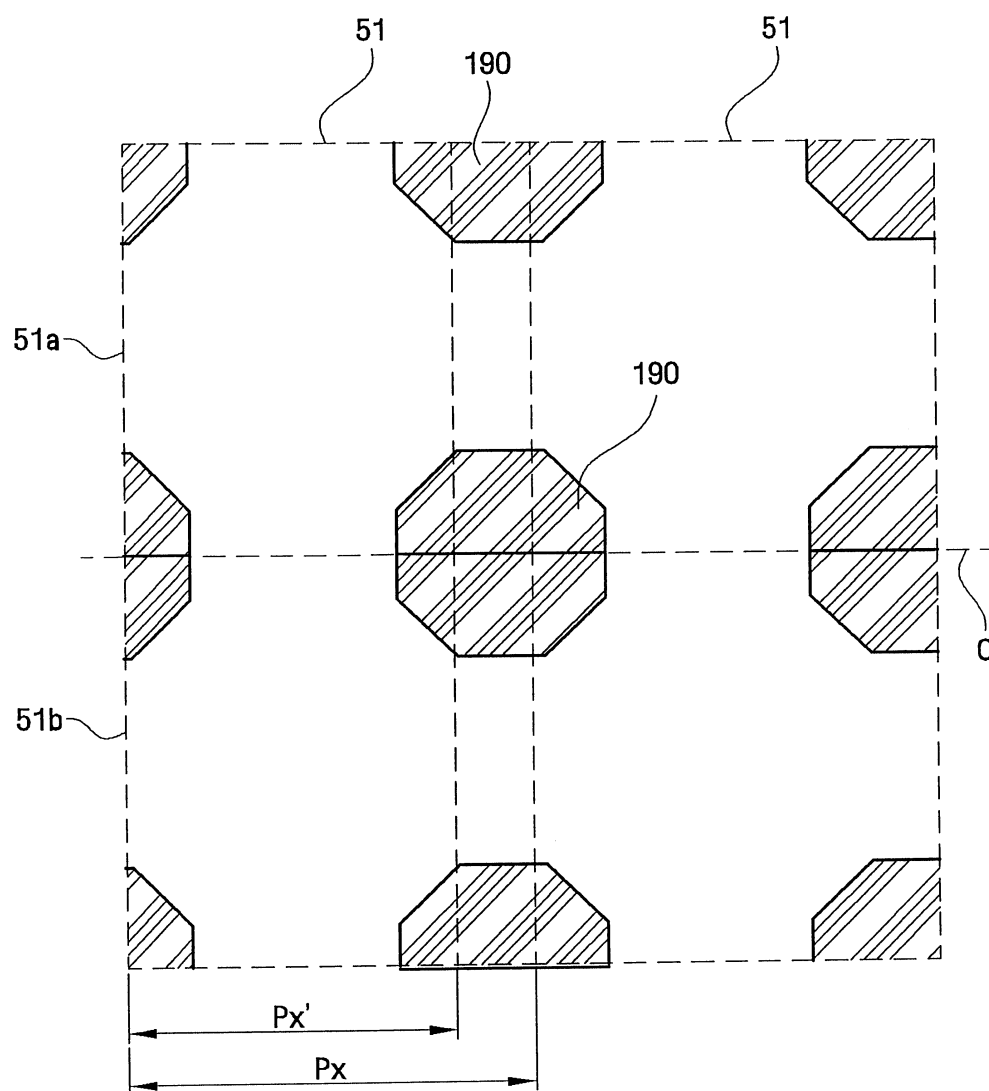


圖 10

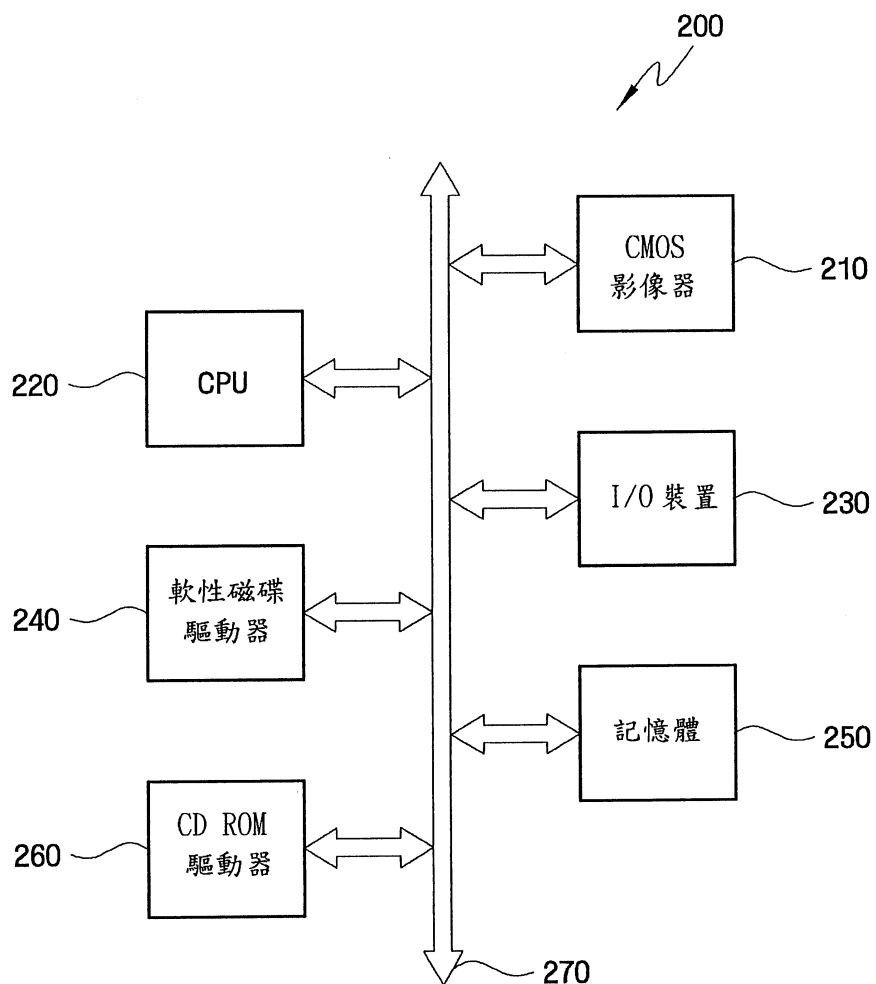


圖 11

七、指定代表圖：

(一)本案指定代表圖為：圖(7A)。

(二)本代表圖之元件符號簡單說明：

50：畫素陣列

51：單位畫素

51a：子畫素單位

51b：子畫素單位

110a：光電二級體/光電二極體區域/光接收元件

110b：光電二級體/光電二極體區域/光接收元件

131：通道連接

132：通道連接

133：通道連接

134：通道連接

135：通道連接/通道插塞

136：通道插塞

137a：接觸插塞/通道插塞

137b：接觸插塞/通道插塞

139：通道連接

141：TG 控制線

142：TG 控制線

143：RG 控制線

144：RSG 控制線

145a：金屬襯墊/襯墊元件

145b：金屬襯墊/襯墊元件

146a：互連線

146b：互連線

149：金屬襯墊/接觸襯墊

7B：線

7C：線

C：中心線

D1：虛設元件

D2：延伸/突起部分

D3：突起部分

D4：突起部分

Px：單位畫素之寬度

Px'：列方向內 EPS 區域的寬度

Py：單位畫素之長度

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無