

公告本

申請日期	88 年 10 月 21 日
案 號	88118232
類 別	H01L 29/00

A4
C4

441120

(以上各欄由本局填註)

發明專利說明書

一、發明 名稱	中 文	半導體積體電路裝置
	英 文	
二、發明 人	姓 名	(1) 石橋孝一郎 (2) 池田修二 (3) 脇本治己
	國 籍	(1) 日本 (2) 日本 (3) 日本 (1) 日本國東京都千代田區丸之內一丁目五番一號 新丸大樓日立製作所(股)知的所有權本部內
	住、居所	(2) 日本國東京都千代田區丸之內一丁目五番一號 新丸大樓日立製作所(股)知的所有權本部內 (3) 日本國東京都千代田區丸之內一丁目五番一號 新丸大樓日立製作所(股)知的所有權本部內
三、申請人	姓 名 (名稱)	(1) 日立製作所股份有限公司 株式会社日立製作所
	國 籍	(1) 日本 (1) 日本國東京都千代田區神田駿河台四丁目六番 地
	住、居所 (事務所)	
	代 表 人 名 姓	(1) 庄山悅彦

裝

訂

線

441120

申請日期	88 年 10 月 21 日
案 號	88118232
類 別	

A4
C4

(以上各欄由本局填註)

發 明 專 利 說 明 書

一、發明 名稱	中 文	
	英 文	
二、發明 人	姓 名	(4) 黑田謙一
	國 籍	(4) 日本
	住、居所	(4) 日本國東京都千代田區丸之內一丁目五番一號 新丸大樓日立製作所(股)知的所有權本部內
三、申請人	姓 名 (名稱)	
	國 籍	
	住、居所 (事務所)	
	代 表 人 姓 名	

裝

訂

線

441120

(由本局填寫)

承辦人代碼：
大類：
IPC分類：

A6
B6

本案已向：

國(地區) 申請專利，申請日期： 案號： ☐有 ☐無主張優先權

日本 1998 年 11 月 10 日 10-318694 ☒有主張優先權

有關微生物已寄存於： 寄存日期： 寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部智慧財產局員工消費合作社印製

五、發明說明(1)

本發明係有關於半導體積體電路，特別是一適合於以低電力來實現高速動作之CMOS型的半導體積體電路，特別是有關於一種在不增加掩罩數目的情況下，即能以小面積來實現的半導體積體電路。

以往爲了以低電力來實現高速動作，乃提出一在動作時或是待機時控制CMOS電路的NMOS以及PMOS的基板，亦即，P型阱與N型阱的電位，藉著將閾值設定在最適於低電壓動作的值，可以以低電壓作高速動作的方式。例如在1996年，(アイイーイー、インターナショナル、ソリッドステーツサーキットコンフレンス、グイジェストオブテクニカルペーパーズ(1996 IEEE International Solid-State Circuits Conference, Digest of Technical papers)第166-167頁中所示的方式中，則在離開分別由各自之電晶體構成P型阱與N型阱之電位的阱的電晶體處取出電極加以控制。

在動作中，從各電晶體所產生的基板電流，則愈是要讓電晶體作高速動作，則會變得愈大。因此，姑且不論是以低速使積體電路動作，即使當以高速動作時，則在電晶體之位置處的基板電位與在電位取出口處的基板電位，也會受到基板電流的影響而不同，而變得無法給予最適當的基板電位。

假設將來自各電晶體的基板電流設有 $1\mu A$ 時，則若同時有1000個的電晶體動作時，則基板電流合計有 $1mA$ 。當將阱的電阻設爲 $1k\Omega$ 時，則電位降成爲 $1V$ 。

五、發明說明(2)

該些值，根據目前之積體電路的現狀而看，雖然是一極為常識性的數字，但是僅管如此，仍然會帶來 1 V 的電位變動。因此，閾值電壓會產生 0.1 V 到 0.3 V 左右的變動。亦即，在電位取出口附近的電晶體與離開之電晶體之間，由於會產生如此之閾值的差，因此，在兩者的電晶體之間會產生特性的差異。而此則會使得無法實現高速動作。

另一方面，已知有將提供基板電位的配線，與電源以及接地線一起配線的方式。此時，由於以配線提供基板電位，因此，基板電位不會因為不同的位置而不同。但是此時，為了要將兩者的配線佈局在同一平面上，因此必須要有大的面積。

又，在擴散層來配線基板電位，而在金屬配線層來配線電源配線的方式，則被揭露在特開平

10-154756 中，但是即使擴散層使用金屬矽化物 (silicide)，面電阻 (Sheet resistance) 也會有 10 Ω 左右，而配線本身的電阻會變高，因此其效果會有限。

本發明所想要解決的課題即在於想要在以小面積，且在不使用多餘的光罩的情形下，實現控制基板偏壓，且以低電力作高速動作的 CMOS 電路。

為了要達到上述的課題，在本發明中，則將被埋入到接觸孔內的金屬當作配線來使用。因此，乃形成各種形狀的接觸孔。例如，與形成有細長形狀的接觸孔，而位在離開位置之對象物在電氣上連接。藉此，可以使第 1 層的金

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明(3)

屬配線層變薄，即使是使用錫般之電阻較高的金屬，而可以因為所需，以被埋入到接觸孔內的金屬降低電阻加以彌補，在不增加光罩的情形下，可以防止電路的特性惡化。

更者，用於基板電位的配線則使用第1金屬配線層，或被埋入到上述接觸孔內的金屬，而電源或接地電位的配線則使用第2金屬配線層，藉著將電源或接地電位的配線設成覆蓋用在基板電位的金屬配線層，可以防止單元之面積增加，且形成能夠控制基板電位的C·M·O·S電路。又，此時，第2層的金屬配線層利用銅等的低電阻金屬，更可以降低電源的電阻，對於提高性能極有效果。

又，若是利用上述配線的構造，當要將D·R·A·M單元載置在同一晶片上時，則可將膜厚度薄，電阻高的D·R·A·M的位元線與C·M·O·S電路的第1層配線設成同一個，而在不增加光罩的情況下，可以達成D·R·A·M與C·M·O·S電路的高性能化。

以下說明本發明之其他的觀點，其特徵在於：

具有：形成在基板的M·I·S電晶體；

形成在上述基板之上的第1配線層；

形成在上述第1配線層之上的第2配線層及；

將上述M·I·S電晶體之源極、閘極、汲極，上述第1配線層，以及上述第2配線層中之2者在電氣上加以連接的接觸孔，

當在上述基板面上推想X·Y平面時，藉由上述接觸孔被連接的上述電晶體的源極、閘極、汲極、第1配線層，

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明(4)

或第2配線層對上述X Y平面投影的形狀具有不重疊的部分。

又，其他的特徵在於：

具有：形成在基板的M I S電晶體；

形成在上述基板之上的第1配線層；

形成在上述第1配線層之上的第2配線層及；

將上述M I S電晶體之源極、閘極、汲極，上述第1配線層，以及上述第2配線層中之2者在電氣上加以連接的接觸孔，

當在上述基板面上推想X Y平面時，藉由上述接觸孔被連接的上述電晶體的源極、閘極、汲極、第1配線層，或第2配線層之與上述接觸部分對上述X Y平面投影的形狀具有不重疊的部分。

當將各種的導電體埋入到接觸孔內時，可以調整其電阻。當將第1配線層以及第2配線層設成金屬配線層時，則可以降低電阻。

又，特徵在於：具有：形成在基板的擴散層；

形成在上述基板之上的中間層；

形成在上述中間層之上的配線層及；

爲了要將上述擴散層與配線層在電氣上連接，而被形成在上述中間層中的接觸孔，

當在上述基板面上推想X Y平面時，上述擴散層與接觸孔之接觸部分對上述X Y平面的投影的形狀，以及上述配線層與接觸孔的接觸部分對上述X Y平面的投影的形狀

五、發明說明(5)

，具有不重疊的部分。

又，其他的觀點，其特徵在於：

具有：形成在基板之上的第1配線層；

形成在上述第1配線層之上的中間層；

形成在上述中間層之上的第2配線層及；

爲了要將上述第1配線層與第2配線層在電氣上連接，而被形成在上述中間層中的接觸孔，

當在上述基板面上推想X Y平面時，上述第1配線層擴散層與接觸孔之接觸部分對上述X Y平面的投影的形狀，以及上述第2配線層與接觸孔的接觸部分對上述X Y平面的投影的形狀，具有不重疊的部分。

又，其他的觀點，其特徵在於：

具有：被形成在基板的M I S電晶體；

具有被形成在上述基板上的第1金屬配線層及；

被形成在上述第1金屬配線層上的第2金屬配線層，

而被連接到上述M I S電晶體之源極、汲極路徑的電源配線的至少一部分係由上述第2金屬配線層所構成，

而控制上述M I S電晶體之基板電位的基板電位配線的至少一部分係由上述第1金屬配線層所構成，

上述電源配線與基板電位配線的至少一部分係重疊。

又，當將電源配線與基板電位配線加以完全地重疊時，可以縮小元件的面積。由於電源配線必須要流有比較大的電流，因此，電源配線的寬度最好較基板電位配線的寬度爲寬。基於同樣的理由，第1金屬配線層係由以鎢作爲

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明(6)

主要成分的金屬而構成，而第2金屬配線層係由以低電阻的銅作為主要成分的金屬而構成。又，第1金屬配線層也可以構成較第2金屬配線層為薄。又，在基板與第1金屬配線層之間的中間層形成接觸孔，使接觸孔與構成基板電位配線之一部分的第1金屬配線重疊，而接觸孔也構成基板電位配線的一部分，可以降低基板電位配線的電阻。此時，若將第1金屬配線與接觸孔彼此重疊時，可以縮小元件的面積。

其他的觀點，其特徵在於：

具有：被形成在基板上的MIS電晶體；

被形成在上述基板上的第1金屬配線層；

位在上述基板與第1金屬配線層之間的中間層及；

被形成在上述第1金屬配線層上的第2金屬配線層，

而被連接到上述MIS電晶體之源極、汲極路徑的電源配線的至少一部分係由上述第2金屬配線層所構成，

而用來控制上述MIS電晶體之基板電位的基板電位配線的至少一部分係由被形成在形成於上述中間層中之接觸孔中的導電體所構成，上述電源配線與接觸孔係重疊。此時，電源配線的寬度可以設成較接觸孔的寬度為寬。

又，本發明之其他的觀點，其特徵在於：

具有：被形成在基板上的MIS電晶體；

被形成在上述基板上的第1金屬配線層及；

被形成在上述第1金屬配線層上的第2金屬配線層，

而被連接到上述MIS電晶體之源極、汲極路徑的電

五、發明說明(7)

源配線的至少一部分係由上述第2金屬配線層所構成，

而用來控制上述MIS電晶體之基板電位的基板電位配線的至少一部分係由上述第1金屬配線層所構成，

而用來傳送對上述記憶單元之輸入或輸出資料信號之位元線的至少一部分係由上述第1金屬配線層所構成，

上述第1金屬配線層係以鎢作為主要成分而形成，而上述第2金屬配線層係以銅作為主要成分而形成。

更者，其他的觀點，其特徵在於：

具有：被形成在基板上的MIS電晶體；

用來儲存資料的記憶單元；

被形成在上述基板上的第1金屬配線層及；

被形成在上述第1金屬配線層上的第2金屬配線層，

而被連接到上述MIS電晶體之源極、汲極路徑的電源配線的至少一部分係由上述第2金屬配線層所構成，

而用來控制上述MIS電晶體之基板電位的基板電位配線的至少一部分係由上述第1金屬配線層所構成，

而用來傳送對上述記憶單元之輸入或輸出資料信號之位元線的至少一部分係由上述第1金屬配線層所構成。

又，當形成一將記憶體與邏輯電路混合存在之積體電路時，最好是具有：被形成在基板的MIS電晶體；

用來儲存資料的記憶單元；

以鎢作為主要成分的第1配線層及；

以銅作為主要成分的第2配線層；

而被連接到上述MIS電晶體之源極、汲極路徑的電

(請先閱讀背面之注意事項再填寫本頁)

訂
線

五、發明說明(8)

源配線的至少一部分係由上述第2金屬配線層所構成，

而用來控制上述M I S電晶體之基板電位的基板電位配線的至少一部分係由上述第1金屬配線層所構成，

而用來傳送對上述記憶單元之輸入或輸出資料信號之位元線的至少一部分係由上述第1金屬配線層所構成。

此時，其他的觀點，其特徵在於：

具有：被形成在基板的M I S電晶體；

用來儲存資料的記憶單元；

以鎢作為主要成分的第1配線層及；

以銅作為主要成分的第2配線層；

而被連接到上述M I S電晶體之源極、汲極路徑的電源配線的至少一部分係由上述第2金屬配線層所構成，

而用來傳送對上述記憶單元之輸入或輸出資料信號之位元線的至少一部分係由上述第1金屬配線層所構成。

在此，用來控制M I S電晶體之基板電位的基板電位配線的至少一部分可由第1金屬配線層所構成。又，最佳的具體例子，記憶單元為D R A M單元，D R A M的電容被配置在第1金屬配線層與第2配線層之間。更具體的，將閘電極層配置在基板與第1金屬配線層之間。

又，其變形例的特徵在於：將上述基板、第1金屬配線層、第2金屬配線層以及閘極中之兩者選擇作為第1連接對象以及第2連接對象，而具有將該些連接的接觸孔，

當在上述基板平面上推想X Y平面時，則該接觸孔與上述第1連接對象之接觸面對上述X Y平面的投影，則具

訂

線

五、發明說明(9)

有和上述接觸孔與上述第2連接對象之接觸面對上述X Y平面的投影不重疊的部分。

以下請參照圖面來說明本發明的實施例。

第1圖係表本發明的第1實施例，係表示作為CMOS之基本電路的反相電路的邏輯圖(A)、電路圖(B)、佈局圖(C)、斷面圖(D)。在第1圖(A)的邏輯圖中，11為輸入端子、12為輸出端子。在第1圖(B)的電路圖中，13為PMOS電晶體、14為NMOS電晶體、15為二極體、16為用在PMOS電晶體之基板的配線、17為電源配線、19為用在NMOS電晶體之基板的配線、18為接地配線。

如第1圖所示，在本實施例中，係有關於一種以配線16及19來連接電晶體之基板的電位，控制該配線的電位，將MOS電晶體的閾值電壓設成所希望的值，而能夠進行低電壓高速動作的CMOS電路。又，二極體15係一在蝕刻等之積體電路製程中，爲了要防止MOS電晶體13及14的閘極帶電而破壞到氧化膜而被插入者。

在第1圖(C)的佈局圖中，左側的圖爲表示擴散層、閘極層、接點層、第一層的配線層，右側的圖爲表示貫通孔與第2層的擴散層，圖中的X係表示原點。

在第1圖中，26為NMOS電晶體、PMOS電晶體共用的閘極。又，31為N型阱(well)，其中的20爲用於構成PMOS電晶體之P型的擴散層。35爲提供N型阱之電位的N型的擴散層，該擴散層的電位，則經由

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明(10)

橫方向較長的接觸孔36，藉由第1層的金屬配線層16而配線。更者，PMOS電晶體的源極，則經由縱方向較長的接觸孔23，最後藉由第2層的金屬配線層被連接到電源配線17。

另一方面，32為P型阱，其中的21為用來構成NMOS電晶體之N型的擴散層。34為提供P型阱之電位的P型的擴散層，該擴散層的電位，則經由橫方向較長的接觸孔39，藉由第1層的金屬配線層19而被配線。更者，NMOS電晶體之源極，則經由縱方向長的接觸孔24，最後藉由第2層的金屬配線層18而被連接。

第1圖(D)為在呈縱向切開第1圖(C)之中央部時的斷面圖。30為半導體基板、31為N型阱、32為P型阱、33為元件分離領域，其他的編號則與第1圖(C)的佈局圖相同。

如第1圖所示，在本發明中，用來提供阱電位的配線16及19則被配線在擴散層35及34上。因此，不需要為了該些配線設置多餘的面積。更者，電源配線17與接地配線18則藉由第2層的金屬配線層而構成，而將16及19配置成重疊。

當為不控制阱電位的CMOS電路時，由於電源與N型阱，接地線與P型阱為共同的電位，因此，兩者可以以一條的配線來達成。但是，為了要控制阱電位，由於必須要分別設成不同的電位，因此，當要在同一個配線層來配線時，則必須要有多餘的領域。在本發明中，由於該些配

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明(11)

線係利用2層的金屬層重疊而配置，因此不需要多餘的領域。因而具有不心要增加面積，即能夠實現適於控制阱電位之低電力高速動作之CMOS電路的效果。又具有在阱電位的配線上，不是會有電位變動的信號，而是電位被固定之電源或接地配線，而有防止阱電位受到耦合(coupling)所產生之變動影響的效果。

如第1圖(C)所示，在本實施例中，第2層的金屬配線層係用在輸入端子11與輸出端子12之取出口，與電源配線17與接地配線18。其他，如26、27、28、29所示，可以讓配線通過橫方向。此時，則具有可以將該些配線利用在同一晶片上之其他的邏輯閘之間的配線上。

又，在本實施例中，接觸孔也利用不是一定的大小，而是縱向較長或橫向較長的接觸孔。近年來，由於接觸孔的深度逐漸變深，因此，要將鎢等的金屬埋入到接觸孔內。本實施例，即有鑑於爲了要將金屬埋入接觸孔內，藉由將接觸孔設成縱向較長，或橫向較長，可以積極地使接觸孔本身當作配線來使用，而能夠提高邏輯閘(logic gates)的性能。

一般而言，在CMOS電路中，因爲電晶體之源極的電阻增加，因此，電晶體之電流驅動能力會惡化。在本實施例中，如23、24般，在電晶體之源極側配置微長的接觸孔，藉著將金屬埋入其中，可以減低源極電阻，具有可以減低電晶體之電流驅動能力的效果。

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明 (12)

橫長的接點 3 6、3 9，藉著重疊於阱電位的配線 1 6、1 9，可以實質地減低阱電位的配線 1 6、1 9 的配線電阻，具有能夠確實地控制阱之電位的效果。

又，只是藉由在接觸孔中的導電體 2 6，可以將閘極與擴散層加以連接。此時，即使是不連接第 1 層金屬層，也可以將閘極與擴散層連接。

一般而言，M O S 電晶體的閘絕緣膜非常的薄。因此，在製造過程中會有產生靜電破壞的情形。而此則可以藉由將閘極與由擴散層所形成之二極體加以連接而加以防範。在本實施例中，將二極體 1 5 形成在 P 型阱 3 2 的領域中，以被埋入到縱長的接觸孔 1 5 內的金屬層 2 5 來連接該二極體與閘極 2 6。更者，則不將第 1 層金屬配線層連接到接觸孔 1 5。藉著說成如此的構造，則不需要用於連接閘極與二極體的第 1 層的金屬配線層，而這一部分可以使用在其他之配線的目的上。

第 2 圖係說明本發明之接觸孔的使用方法。第 2 圖 (A) 為用來比較之例子的斷面圖、第 2 圖 (B) 係表佈局圖、第 2 圖 (C) 係表本發明之斷面圖、第 2 圖 (D) 係表本發明的佈局圖。

當為第 2 圖 (A)、(B) 時，例如當連接閘極 4 1 與擴散層 2 1 時，則經由接觸孔，而使用第 1 層的配線層 4 3。相對於此，在本發明中，則是利用被埋入到接點 4 6 的導電體來加以連接。藉著如此之設置，當第 1 層的配線層的膜厚度薄，而面 (sheet) 電阻高時，則在不增加電

(請先閱讀背面之注意事項再填寫本頁)

訂
線

五、發明說明 (13)

阻的情況下，即能夠連接閘極與擴散層。

又，在本發明中，在連接擴散層 2 1 與第 2 層的配線層 4 5 時，也可以減小電阻。亦即，在習知例中，係從擴散層 2 1 開始，經由 2 個的接觸孔，而連接到第 1 層的配線層 4 4，更者，則經由貫通孔而連接到 4 5。此時，當第 1 層的配線層的膜厚薄時，電阻也會變大。然而，在本發明中，則是將被埋入到接觸孔 4 7 的金屬層當作配線層來利用而連接到 4 5，藉著如此之設置，擴散層 2 1，由於連續地與被埋入到接觸孔之厚的金屬層相接，因此，具有實質上可以降低擴散層 2 1 之電阻的效果。又，藉著使接觸孔延伸到絕緣分離層的上部為止，最終可以使到 4 5 為止的電阻降低。

第 3 圖係表本發明之製造過程圖。

在圖 (a) 中，則藉由以往已知的製程來製作電晶體。在此，4 1 為電晶體的閘極、2 1 為擴散層。又，5 4 為用於選擇蝕刻的氮化矽。接著，在 (6) 中，則形成絕緣膜 5 2。此時，由於在底層有閘極的段差，因此，該段差的剖分，即使加上絕緣膜也會隆起。在此，在 (c) 中，則藉由化學機械研磨法，所謂的 C M P 法對此進行研磨，而使其平坦。接著，在 (d) 中，則開孔形成接觸孔。此時，首先，將氮化矽 5 4 當作阻止蝕刻膜，而對絕緣膜 5 2 進行蝕刻。此外，藉著對氮化矽實施蝕刻，而讓矽面露出。接著，在 (e) 中，則利用 C V D 法堆積鎢等的金屬。由於 C V D 具有沿著物體的表面堆積金屬的性質，因

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明 (14)

此，連接觸孔內，也會沿著接觸孔的側壁堆積金屬，結果，接觸孔內完全地被金屬所埋住。

又，本發明的特徵即在於也使用長度長的接觸孔。此時，藉著將寬度設成與通常大小的接觸孔相同，而沿著側壁堆積金屬，結果，連長的接觸孔也會被金屬所掩埋。更者，在 (f) 中，藉著利用從正上方對所堆積之金屬層實施蝕刻之平坦蝕刻 (etch back) 法，而將各接觸孔的金屬分離，實現一將金屬埋入到接觸孔內的構造。接著，在 (g) 中，則堆積第 1 層的金屬層 5 3，藉著在 (h) 中實施蝕刻，可以實現第 1 層的金屬層的圖案。

藉著經過以上的過程，藉由製作接觸孔之通常的過程，可以得到不同大小的接觸孔，由於將金屬掩埋在此，因此，可將其當作配線來使用，而應用在積體電路內的連接上，具有可以實現低電阻之配線的效果。

第 4 圖係表本發明的第 2 實施例，係表作為 CMOS 之基本電路的反相電路的電路圖、佈局圖、斷面圖。第 4 D 圖係表當在 Y 方向切開佈局圖之中央部時的斷面圖、第 4 E 圖係表當在 X 方向切開佈局圖之 NMOS 電晶體之部分時的斷面圖。

在本實施例中，分別藉由細長的接觸孔 2 4、2 3、3 9、3 6 來連接 NMOS 之擴散層 2 1 的源極側，PMOS 之擴散層 2 0 的源極側，P 型阱 3 2 的阱電極 3 9、N 型阱 3 1 之阱電極 3 5。藉此，可以使各部分低電阻化。而使電晶體的源極側低電阻化，則具有增加電晶

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明 (15)

體之電流驅動能力的效果。又，由於使阱的電極低電阻化，具有可以使得阱的電位更加安定的效果，因此，除了使得對於鎖住 (latch up) 情形的耐性得以提升外，當給予基板偏壓時，由於可以減小阱的雜訊，因此具有防止基板偏壓受到雜訊而發生變動的效果。

又，在本實施例中，汲極側則使用通常的接點與第 1 層的金屬配線層。而此是因為藉著使該第 1 層的金屬配線層變薄，會減少在汲極側的寄生電容之故。一般而言，CMOS 電路的速度以及低消耗電力，可以藉著減小在汲極側的電容而獲得提升。而在汲極側的電阻大多不會造成問題。在本實施例中，則有鑑於該些傾向，源極側使用被埋入到接觸孔內的導電體而減少電阻，而汲極側，則利用最少數目的接觸孔，藉著連接到第 1 層的金屬配線層而減少寄生電容，而提供一最適合於提升動作速度性能的 CMOS 構造。

第 5 圖係表本發明的第 3 實施例，係表作為 CMOS 之基本電路的反相電路的電路圖、佈局圖、斷面圖。第

5 D 圖係表當在 Y 方向切開佈局圖之中央部時的斷面圖、第 5 E 圖係表當在 X 方向切開佈局圖之 NMOS 電晶體之部分時的斷面圖。

本實施例，相對於本發明的第 2 實施例，係一連汲極側也藉由細長的接觸孔 55 加以連接的例子。而此，當在汲極側的電阻利用到會大幅地影響到電路特性，亦即，MOS 電晶體之非飽和領域時，可以利用本實施例般的佈

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明 (16)

局。

又，本實施例，由於在擴散層之表面的幾乎大部分係被在接觸孔內的金屬所覆蓋，因此，所有的擴散層會變低。此時，藉由電阻較矽為低之矽與作為金屬之化合物的 $TiSi_2$ 或 $CoSi_2$ 等的金屬矽化物來覆蓋擴散層，即使不降低擴散層的面電阻也可以。亦即，不需要對擴散層實施金屬矽化物 (silicide) 化，具有可以簡化製程的效果。

第 6 圖係本發明之第 4 實施例，係表作為 CMOS 之基本電路的反相電路的電路圖、佈局圖、斷面圖。第 6 D 圖係表當在 Y 方向切開佈局圖之中央部時的斷面圖、第 6 E 圖係表當在 X 方向切開佈局圖之 NMOS 電晶體之部分時的斷面圖。

第 6 圖的實施例，係在本發明的第 2 實施例中，將閘極與二極體 6 1 加以並聯連接者。該二極體，在對配線實施蝕刻而加工之際，雖然是會曝露於電漿中，但是藉此，閘極會被暴露在高電場中，而是為了要防止閘氧化膜被破壞而被放入者。在本實施例中，在擴散層 4 2 與 N 型阱之間形成該二極體，且為了要連接此與閘極 2 6，乃利用被埋入到長的接觸孔內的導電層 4 3。藉著如此之設置，除了可以以低電阻來連接閘極與擴散層外，也可以將二極體鄰接於閘極加以配置，因此具有可以減少用於配置二極體之必要的面積。

第 7 圖係表本發明的第 5 實施例，係表作為 CMOS

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明(17)

之基本電路的反相電路的電路圖、佈局圖、斷面圖。第 7 D 圖係表當在 Y 方向切開佈局圖之中央部時的斷面圖、第 7 E 圖係表當在 X 方向切開佈局圖之 N M O S 電晶體之部分的斷面圖。

第 7 圖的實施例，係在本發明的第 4 實施例中，讓第 1 層的金屬層重疊在電晶體之源極側、與阱之接點與二極體的上部的情形。此時，由於原本就有細長的接點，因此對於能夠使各部分低電阻化的效果並無變動。但是寄生電容會稍微增加，而也需要面積。而本實施例，則具有容易對第 1 層的金屬層實施蝕刻的效果。

第 8 圖係表本發明的第 6 實施例，係表作為 C M O S 之基本電路之反相電路之電路圖、佈局圖、斷面圖。

本實施例如本發明之第 1 實施例般，係一未利用縱長或是橫長之接觸孔時的實施例。

在本實施例中，如本發明之第 2 到第 5 實施例所示般，由於未利用縱長或橫長的接觸孔，因此，不會有藉由被埋入到接觸孔之金屬所帶來的減低電阻效果。但是，與本發明之第 1 實施例同樣地，即使是一在阱電位之配線 1 6 及 1 9 上配置電源配線 1 7 與接地配配線 1 8 來控制阱的電位，而以低電壓即能夠進行高速動作之 C M O S 的半導體積體電路裝置，也具有不會導致面積增加的效果。

第 9 圖係表本發明的第 8 實施例。本實施例係一將本發明應用在 3 層阱構造的實施例。在本圖中，3 0 為 P 型基板、3 2 為 P 型阱、3 1 為 N 型阱、5 1 為深的 N 型阱

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明 (18)

到本發明之第 7 實施例為止，並未有深的阱 51。此時，當基板為 P 型時，則在電氣上與 P 型阱導通。因此，本實施例，基板與 P 型阱，由於藉由深的 N 型阱，在電氣上被絕緣，因此，即使是想要控制 P 型阱時，也不需要每個基板都要控制。而即使是此一阱構造，本發明也可以毫無問題地應用。

第 10 圖係表本發明之第 9 實施例。本實施例係一將本發明應用在 3 層阱構造的實施例。在本圖中，30 為 P 型基板、32 為 P 型阱、31 為 N 型阱、51 為深的 N 型阱。

到本發明之第 7 實施例為止，並未具有深的 N 型阱 51，此時，當基板為 P 型時，則在電氣上與 P 型阱導通。同此，對於控制 P 型阱之電位的方式而言，必須要對各基板進行控制。本實施例，由於基板與 P 型阱，係藉由深的 N 型阱在電氣上被絕緣，因此，即使是想要控制 P 型阱時，也不需要對各基板進行控制。而即使是如此的阱構造，本發明也可以毫無問題地適用。

第 11 圖 (B) 係單元以及開關單元的電路圖、第 11 圖 (C) 係配線的佈局圖、第 11 圖 (D) 係電晶體的佈局圖、第 11 圖 (E) 係開關單元的斷面圖。

在第 11 圖中，103 為開關單元、104 為單元 (cell)、101 為 P M O S 之開關電晶體、102 為 N M O S 之開關電晶體。在 N M O S 之開關電晶體 102

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明 (19)

的閘極，則連接有信號線 C_{bn} ，在汲極則連接有 V_{ss} ，在源極則連接有作為在單元內之 NMOS 的基板，亦即，p 型阱電極 39 的 V_{bn} 。亦即，當設成使在單元內的電晶體作動的動作狀態時，則 P 型阱的電位要設成與接地電位。亦即， V_{ss} 相同。此時，藉著將 C_{bn} 設成 "H" 位準，開關 MOS 102 成為導通狀態，而使得 V_{bn} 與 V_{ss} 短路。另一方面，在待機時，則提高閾值電壓，而減少漏電流。此時，藉著將 C_{bn} 設成 "L" 位準，而將 V_{bn} 與 V_{ss} 分離，除此外，從同一晶片上或是外部來控制 V_{bn} 而設成負的電壓，而能夠讓閾值上升。

在單元內的 PMOS 電晶體與在開關單元內的 PMOS 開關電晶體的關係，若是將電壓的正負的關係設成相反，也是相同。

在第 11 圖 (C) 的佈局圖中，則分別以橫長的接觸孔來配線用來控制 P 型阱之電位的配線 39 與用來控制 N 型阱之電位的配線 36，而將電源配線 36 與 39 和此重疊，在第 2 層的配線層中形成。如此一來，在不增加面積的情形下，可以形成控制基板電位之方式的 CMOS 電路。

又，此時，在 36 與 39 的配線，藉著利用橫長的接觸孔，可以以低電阻來配線阱接點 (well contact)。又，作為在單元內之電源的 V_{cc} 、 V_{ss} 的配線 17、18，則由銅等的低電阻配線材料所構成，藉此，可以防止電源配線的電位降低，且能夠抑制因為電位下降所導致

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明(20)

之性能惡化的情形。

此外，在第11圖(C)的佈局圖中，在 V_{ss} 、 V_{bn} 、 C_{bn} 、 C_{bp} 、 V_{bp} 、 V_{cc} 之縱方向上的配線，係由第3層的配線所構成，藉由該配線也是由銅等之低電阻配線材料而構成，可以期待具有高的性能。

又，如本實施例般，連開關單元也可以實現一利用縱長的接觸孔110、112，來降低源極以及汲極之電阻的構造。

第12圖係表當將單元以及開關單元在X方向與Y方向上並列時的電路圖與佈局圖。

在圖中，從上方開始設為a列、b列、c列。本實施例，b列、c列，其中電源與阱的關係，則是以X軸為中心而呈線對稱地配置。亦即，在b列中，雖然P型阱在上，而N型阱在下，但是在a列中，則是相反地，N型阱在上，而P型阱在下。如此一來，在a列、b列，可以共同使用電源 V_{cc} 17與N型阱的配線36。又，b列、c列的關係也與a列、b列的關係相同。此時，可以共同地使用接地配線 V_{ss} 18與P型阱的配線39。藉此，可以減少面積。又，藉由橫長的接點，可以使阱配線得以低電阻化，又，由於電源配線可以由上下的單元共同來使用，因此可以加粗。相較於從前，可以減小開關單元與開關單元的間隔，而此最後將具有可以減小晶片之面積的效果。

第13圖係表將DRAM之單元的電路圖，與

(請先閱讀背面之注意事項再填寫本頁)

訂
線

五、發明說明(21)

D R A M之單元，和在第1圖等中所示之電路組合在一起時之斷面圖的實施例。

在本實施例中，D R A M之單元的電路圖係表示2個位元單位，130、131為字元線，132為位元線，134、135為N M O S電晶體，133、136為電容。藉由電晶體134與電容133形成一個記憶單元，而藉由電晶體135與電容136形成其他的電容。

又，在斷面圖中，137、138為成為閘極的字元線，140、141為多矽(polysilicon)電極，139為平板(plate)電極。又，斷面圖的右半部則表示到目前為止所述之邏輯電路部。

在斷面圖中，137相當於字元線131，是一位在多矽電極140與平板電極142之間的介電體膜，而形成電容133。同樣地，138相當於字元線130，是一位在多矽電極141與平板電極142之間的介電體膜，而形成電容136。又，位元線132係由第1層的金屬配線層所形成。

對D R A M單元而言，在單元內之電容 C_s 與位元線之電容 C_b 的比要取大。因此，位元線的電容必須要小，而D R A M的位元線必須要薄。

如以往般，當是藉由第1層的金屬配線來連接電晶體時，當將其變薄時，則在邏輯電路內的電阻會變大，而有導致邏輯電路之性能降低的問題。然而，如本發明般，若是使用被埋入到橫長、或是縱長之接觸孔內的金屬層時，

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(22)

則即使第1層的金屬層的電阻變高，也不會有問題。因此，如本實施例所示，即使D R A M的位元線使用變薄的第1層的金屬配線層時，也不會使邏輯電路的性能變差。又，即使D R A M的位元線是使用錫等之高熔點金屬，加工容易且電阻高的材料時，也不會使邏輯電路的性能變差。

另一方面，在本實施例中，則在D R A M之電容之上配置第2層的金屬配線層17、18。如此一來，可以利用適合於利用C M P之平坦化技術來加工之銅等的低電阻配線。

第14圖係表利用本發明之半導體積體電路晶片的佈局圖。在第14圖中，146為輸出入介面領域，144為D R A M陣列領域，145為邏輯電路部，148為基板偏壓控制部。

如圖所示，本發明也可以應用在將D R A M與邏輯電路一起集成在同一晶片上的情形。邏輯電路部，如圖所示，開關單元103係以一定的間隔而配置，但是如第12圖所示，可以減小開關單元的間隔，而結果具有可以減小晶片面積的效果。

如以上之實施例所示，根據本發明，對於具有可以控制基板偏壓之電路的電路而言，在不增加掩罩數目與面積的情形下，具有可以達成高性能的效果。又，適合於將D R A M與邏輯電路集成在同一晶片上的情形。

圖式之簡單說明：

(請先閱讀背面之注意事項再填寫本頁)

訂 線

五、發明說明(23)

- 第 1 圖係表本發明之第 1 實施例的構成圖。
 第 2 圖係表用來比較習知發明與本發明之構成圖。
 第 3 圖係表本發明之製程斷面圖。
 第 4 圖係表本發明之第 2 實施例的構成圖。
 第 5 圖係表本發明之第 3 實施例的構成圖。
 第 6 圖係表本發明之第 4 實施例的構成圖。
 第 7 圖係表本發明之第 5 實施例的構成圖。
 第 8 圖係表本發明之第 6 實施例的構成圖。
 第 9 圖係表本發明之第 7 實施例的構成圖。
 第 10 圖係表本發明之第 8 實施例的構成圖。
 第 11 圖係表單元以及開關單元的配置圖。
 第 12 圖係表單元以及開關單元的配置圖。
 第 13 圖係表 D R A M 單元之電路圖與斷面圖。
 第 14 圖係表晶片的佈局圖。

主要元件對照表

1 1	輸入端子
1 2	輸出端子
1 3	P M O S 電晶體
1 4	N M O S 電晶體
1 5	二極體
1 6	配線
1 7	電源配線
1 8	接地配線

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(24)

1 9	N M O S 電 晶 體
2 0	擴 散 層
2 1	擴 散 層
2 6	N M O S 電 晶 體
3 0	半 導 體 基 板
3 1	N 型 阱
3 2	P 型 阱
3 3	元 件 分 離 領 域
3 4	擴 散 層
3 5	擴 散 層
3 6	接 觸 孔
3 9	接 觸 孔
4 1	閘 極
4 3	第 1 層 的 配 線 層
4 5	第 2 層 的 配 線 層
4 7	接 觸 孔
5 2	絕 緣 膜
5 4	氮 化 矽
5 1	深 的 阱
1 0 1	P M O S 的 開 關 電 晶 體
1 0 2	N M O S 的 開 關 電 晶 體
1 0 3	開 關 單 元
1 0 4	單 元
1 3 0	字 元 線

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (25)

1 3 1	字元線
1 3 2	位元線
1 3 3	電容
1 3 4	N M O S 電晶體
1 3 5	N M O S 電晶體
1 3 6	電容
1 3 7	字元線
1 3 8	字元線
1 3 9	平板電極
1 4 0	多矽電極
1 4 1	多矽電極
1 4 2	平板電極
1 4 4	D R A M 陣列領域
1 4 5	邏輯電路圖
1 4 6	輸出入介面領域
1 4 8	基板偏壓控制部

(請先閱讀背面之注意事項再填寫本頁)

表

訂

線

四、中文發明摘要(發明之名稱：

半導體積體電路裝置)

本發明則將被埋入到多種形狀之接觸孔內的金屬層36、39當作配線來使用，將此當作基板偏壓的配線，使第1層的金屬配線層16、19變薄，且將此也當作基板偏壓控制用的配線來使用，更者，將第2層的金屬配線層17、18當作銅配線層來使用。藉此，可以提供一以低電力、小面積，且在不增加掩罩的情形下來實現高速動作的半導體電路。

英文發明摘要(發明之名稱：

)

(請先閱讀背面之注意事項再填寫本頁各欄)

訂

原

六、申請專利範圍

第 88118232 號專利申請案

中文申請專利範圍修正本

民國 90 年 3 月修正

1. 一種半導體積體電路裝置，其主要係針對一由形成在 N 型阱中的 P M O S 電晶體與形成在 P 型阱中的 N M O S 電晶體所形成，具有用於連接上述 P M O S 電晶體與上述 N M O S 電晶體之間極及擴散層，與第一層之金屬配線層的接觸孔，而將導電體埋入到上述接觸孔內之半導體積體電路，其特徵在於：

上述接觸孔的平面形狀至少存在 2 種以上。

2. 如申請專利範圍第 1 項之半導體積體電路裝置，位在上述半導體積體電路裝置上之多個接觸孔的至少一邊的長度是相同。

3. 如申請專利範圍第 1 項之半導體積體電路裝置，用於連接上述閘極與上述擴散層的至少一個的接觸手段，係只藉由被埋入到上述接觸孔內的導電層而進行。

4. 如申請專利範圍第 1 項之半導體積體電路裝置，至少利用被埋入到上述接觸孔內的導電層，而對上述電晶體的源極或汲極進行配線。

5. 如申請專利範圍第 1 項之半導體積體電路裝置，被連接到上述電晶體之源極之擴散層的接觸孔的面積，則較被連接到汲極之擴散層的接觸孔的面積為大。

6. 如申請專利範圍第 1 項之半導體積體電路裝置，

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

至少利用被埋入到上述接觸孔內的導電層來進行上述阱的配線。

7. 一種半導體積體電路裝置，其主要係針對一由被形成在N型阱中的PMOS電晶體與被形成在P型阱中的NMOS電晶體所形成，至少藉由第一層的金屬配線層與第二層的金屬配線層實施配線，具有用來連接上述PMOS電晶體與上述NMOS電晶體之閘極及擴散層，與上述第一層的金屬配線層的接觸孔，以及用來連接上述第一層的金屬配線層與上述第二層的金屬配線層的貫通孔，且上述N型阱的電位與上述P型阱的電位分別獨立地被控制的半導體積體電路裝置，其特徵在於：

用來取得上述N型阱之電位與上述P型阱之電位的配線是由上述第一層的金屬配線層，或形成在上述接觸孔內的導電層，或是形成在上述接觸孔內的導電體與上述第一層的金屬導電層所構成，而上述電源電位與接地電位係藉由上述第二層的金屬配線層實施配線。

8. 如申請專利範圍第7項之半導體積體電路裝置，用來控制上述電晶體之通道方向與上述N型阱的電位，上述P型阱的配線，係與上述電源電位和接地電位的配線呈平行。

9. 如申請專利範圍第7項之半導體積體電路裝置，形成在上述接觸孔內的導電體與第一層的金屬配線層係以鎢作為主要的成分，而上述第二層的金屬配線層係以銅作為主要的成分。

六、申請專利範圍

10．如申請專利範圍第7項之半導體積體電路裝置，上述第一層的金屬配線層較上述第二層的金屬配線層為薄。

11．如申請專利範圍第7項之半導體積體電路裝置，上述半導體積體電路裝置被形成在P型基板上，而上述P型阱則被形成在形成於上述P型基板上之深的N型阱中。

12．如申請專利範圍第9項之半導體積體電路裝置，更針對一將利用由1個電容元件與1個電晶體所構成之記憶單元的動態型的半導體記憶裝置集成在同一晶片上的半導體積體電路裝置，藉由上述第一層的金屬配線層來形成上述動態型的半導體記憶裝置的位元線。

13．如申請專利範圍第12項之半導體積體電路裝置，上述電容元件係被形成在位在第一層的金屬配線層與第二層的金屬配線層之間之高度的範圍內。

14．一種半導體積體電路裝置，其特徵在於：

具有：形成在基板的MIS電晶體；

形成在上述基板之上的第1配線層；

形成在上述第1配線層之上的第2配線層及；

將上述MIS電晶體之源極、閘極、汲極，上述第1配線層，以及上述第2配線層中之2者在電氣上加以連接的接觸孔，

當在上述基板面上推想XY平面時，藉由上述接觸孔被連接的上述電晶體的源極、閘極、汲極、第1配線層，

六、申請專利範圍

或第 2 配線層對上述 X Y 平面投影的形狀具有不重疊的部分。

1 5 . 一種半導體積體電路裝置，其特徵在於：

具有：形成在基板的 M I S 電晶體；

形成在上述基板之上的第 1 配線層；

形成在上述第 1 配線層之上的第 2 配線層及；

將上述 M I S 電晶體之源極、閘極、汲極，上述第 1 配線層，以及上述第 2 配線層中之 2 者在電氣上加以連接的接觸孔，

當在上述基板面上推想 X Y 平面時，藉由上述接觸孔被連接的上述電晶體之源極、閘極、汲極、第 1 配線層，或第 2 配線層之與上述接觸部分對上述 X Y 平面投影的形狀具有不重疊的部分。

1 6 . 如申請專利範圍第 1 4 項或第 1 5 項之半導體積體電路裝置，導電體被埋入到上述接觸孔內。

1 7 . 如申請專利範圍第 1 4 項或第 1 5 項之半導體積體電路裝置，上述第 1 配線層以及第 2 配線層是金屬配線層。

1 8 . 一種半導體積體電路裝置，其特徵在於：

具有：形成在基板的擴散層；

形成在上述基板之上的中間層；

形成在上述中間層之上的配線層及；

爲了要將上述擴散層與配線層在電氣上連接，而被形成在上述中間層中的接觸孔，

六、申請專利範圍

當在上述基板面上推想 X Y 平面時，上述擴散層與接觸孔之接觸部分對上述 X Y 平面的投影的形狀，以及上述配線層與接觸孔的接觸部分對上述 X Y 平面的投影的形狀，具有不重疊的部分。

19．一種半導體積體電路裝置，其特徵在於：

具有：形成在基板之上的第 1 配線層；

形成在上述第 1 配線層之上的中間層；

形成在上述中間層之上的配線層及；

爲了要將上述第 1 配線層與第 2 配線層在電氣上連接，而被形成在上述中間層中的接觸孔，

當在上述基板面上推想 X Y 平面時，上述第 1 配線層與接觸孔之接觸部分對上述 X Y 平面的投影的形狀，以及上述第 2 配線層與接觸孔的接觸部分對上述 X Y 平面的投影的形狀，具有不重疊的部分。

20．如申請專利範圍第 19 項之半導體積體電路裝置，形成在上述接觸孔中的導電體與第 1 層的金屬配線層係由以鎢作爲主要成分的金屬所構成而上述第二層的金屬配線層係由以銅作爲主要成分的金屬所構成。

21．如申請專利範圍第 19 項或第 20 項之半導體積體電路裝置，上述第一層的金屬配線層較上述第二層的金屬配線層爲薄。

22．一種半導體積體電路裝置，其主要特徵在於：

具有：被形成在基板之 M I S 電晶體；

被形成在上述基板上的第 1 金屬配線層及；

六、申請專利範圍

被形成在上述第 1 金屬配線層上的第 2 金屬配線層，

而被連接到上述 M I S 電晶體之源極、汲極路徑的電源配線的至少一部分係由上述第 2 金屬配線層所構成，

而控制上述 M I S 電晶體之基板電位的基板電位配線的至少一部分係由上述第 1 金屬配線層所構成，

上述電源配線與基板電位配線的至少一部分係重疊。

2 3 . 如申請專利範圍第 2 2 項之半導體積體電路裝置，上述電源配線與基板電位配線係完全地重疊。

2 4 . 如申請專利範圍第 2 2 項或第 2 3 項之半導體積體電路裝置，上述電源配線的寬度較上述基板電位配線的寬度為寬。

2 5 . 如申請專利範圍第 2 2 項或第 2 3 項之半導體積體電路裝置，第 1 金屬配線層係由以錫作為主要成分的金屬所構成，而上述第 2 金屬配線層係由以銅作為主要成分的金屬所構成。

2 6 . 如申請專利範圍第 2 2 項或第 2 3 項之半導體積體電路裝置，上述第 1 金屬配線層較上述第 2 金屬配線層為薄。

2 7 . 如申請專利範圍第 2 2 項或第 2 3 項之半導體積體電路裝置，在位於上述基板與上述第 1 金屬配線層之間的中間層形成接觸孔，而該接觸孔則與構成上述基板電位配線之一部分的第 1 金屬配線重疊，且該接觸孔也構成上述基板電位配線的一部分。

2 8 . 一種半導體積體電路裝置，其特徵在於：

六、申請專利範圍

具有：被形成在基板上的 M I S 電晶體；
被形成在上述基板上的第 1 金屬配線層；
位在上述基板與第 1 金屬配線層之間的中間層及；
被形成在上述第 1 金屬配線層上的第 2 金屬配線層，
而被連接到上述 M I S 電晶體之源極、汲極路徑的電源配線的至少一部分係由上述第 2 金屬配線層所構成，
而用來控制上述 M I S 電晶體之基板電位的基板電位配線的至少一部分係由被形成在形成於上述中間層中之接觸孔中的導電體所構成，

上述電源配線與接觸孔係重疊。

29．如申請專利範圍第 28 項之半導體積體電路裝置，上述電源配線的寬度較上述接觸孔的寬度為寬。

30．一種半導體積體電路裝置，其特徵在於：
具有：被形成在基板上的 M I S 電晶體；
被形成在上述基板上的第 1 金屬配線層及；
被形成在上述第 1 金屬配線層上的第 2 金屬配線層，
而被連接到上述 M I S 電晶體之源極、汲極路徑的電源配線的至少一部分係由上述第 2 金屬配線層所構成，

而用來控制上述 M I S 電晶體之基板電位的基板電位配線的至少一部分係由上述第 1 金屬配線層所構成，

而用來傳送對上述記憶單元之輸入或輸出資料信號之位元線的至少一部分係由上述第 1 金屬配線層所構成，

上述第 1 金屬配線層係以錫作為主要成分而形成，而上述第 2 金屬配線層係以銅作為主要成分而形成。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

六、申請專利範圍

3 1 . 一種半導體積體電路裝置，其特徵在於：

具有：被形成在基板上的M I S電晶體；

用來儲存資料的記憶單元；

被形成在上述基板上的第1金屬配線層及；

被形成在上述第1金屬配線層上的第2金屬配線層，

而被連接到上述M I S電晶體之源極、汲極路徑的電源配線的至少一部分係由上述第2金屬配線層所構成，

而用來控制上述M I S電晶體之基板電位的基板電位配線的至少一部分係由上述第1金屬配線層所構成，

而用來傳送對上述記憶單元之輸入或輸出資料信號之位元線的至少一部分係由上述第1金屬配線層所構成。

3 2 . 一種半導體積體電路裝置，其特徵在於：

具有：被形成在基板的M I S電晶體；

用來儲存資料的記憶單元；

以錫作為主要成分的第1配線層及；

以銅作為主要成分的第2配線層；

而被連接到上述M I S電晶體之源極、汲極路徑的電源配線的至少一部分係由上述第2金屬配線層所構成，

而用來控制上述M I S電晶體之基板電位的基板電位配線的至少一部分係由上述第1金屬配線層所構成，

而用來傳送對上述記憶單元之輸入或輸出資料信號之位元線的至少一部分係由上述第1金屬配線層所構成。

3 3 . 一種半導體積體電路裝置，其特徵在於：

具有：被形成在基板的M I S電晶體；

六、申請專利範圍

用來儲存資料的記憶單元；

以錫作為主要成分的第1配線層及；

以銅作為主要成分的第2配線層；

而被連接到上述MIS電晶體之源極、汲極路徑的電源配線的至少一部分係由上述第2金屬配線層所構成，

而用來傳送對上述記憶單元之輸入或輸出資料信號之位元線的至少一部分係由上述第1金屬配線層所構成。

34．如申請專利範圍第33項之半導體積體電路裝置，用來控制上述MIS電晶體之基板電位的基板電位配線的至少一部分係由上述第1金屬配線層所構成。

35．如申請專利範圍第33項或第34項之半導體積體電路裝置，上述記憶單元為DRAM單元，該DRAM的電容係被配置在上述第1金屬配線層與第2金屬配線層之間。

36．如申請專利範圍第33項或第34項之半導體積體電路裝置，閘極層係被配置在上述基板與第1金屬配線層之間。

37．如申請專利範圍第33項或第34項之半導體積體電路裝置，將上述基板、第1金屬配線層、第2金屬配線層以及閘極中之兩者選擇作為第1連接對象以及第2連接對象，而具有將該些連接的接觸孔，

當在上述基板平面上推想XY平面時，則該接觸孔與上述第1連接對象之接觸面對上述XY平面的投影，則具有和上述接觸孔與上述第2連接對象之接觸面對上述XY

六、申請專利範圍

平面的投影不重疊的部分。

(請先閱讀背面之注意事項再填寫本頁)

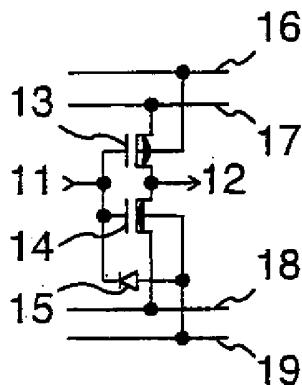
裝

訂

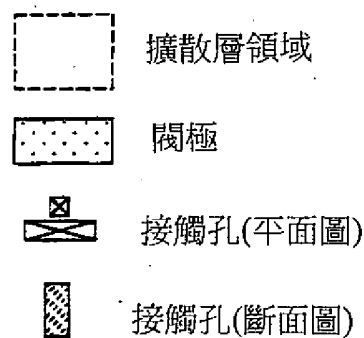
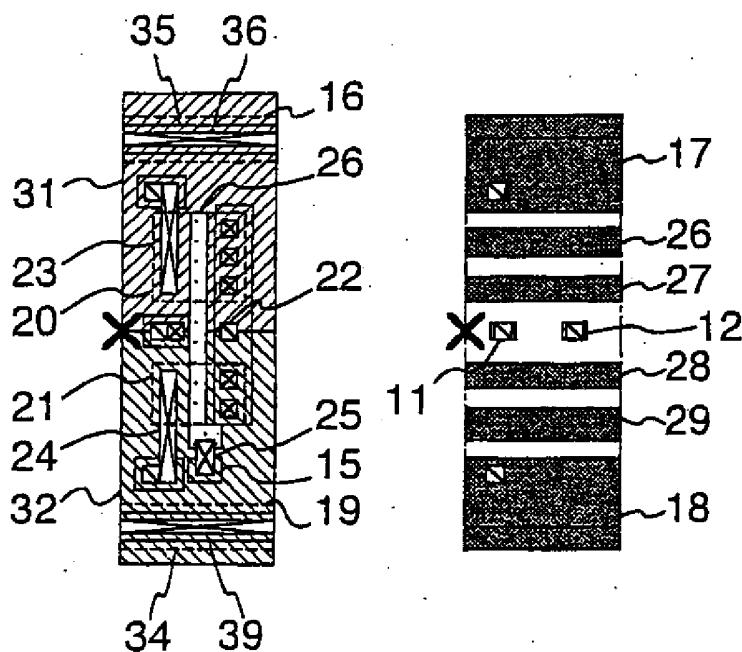
第 1 圖 A



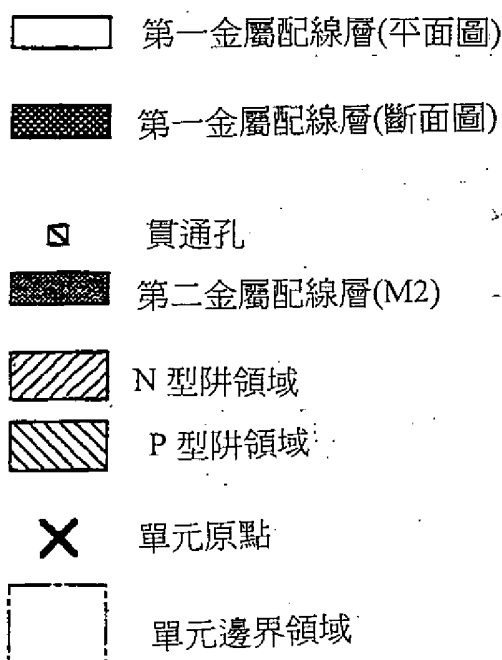
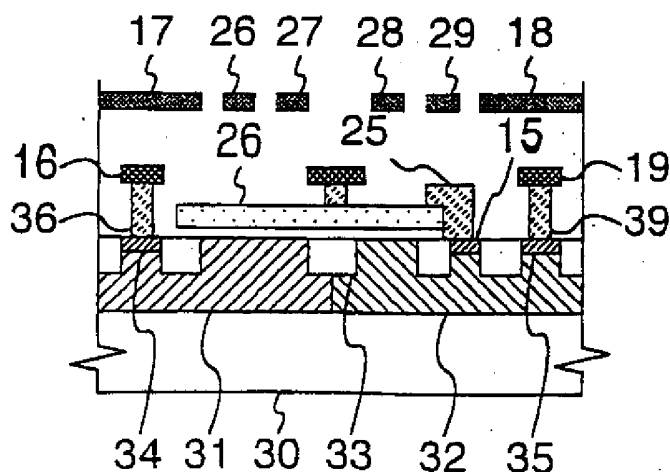
第 1 圖 B



第 1 圖 C

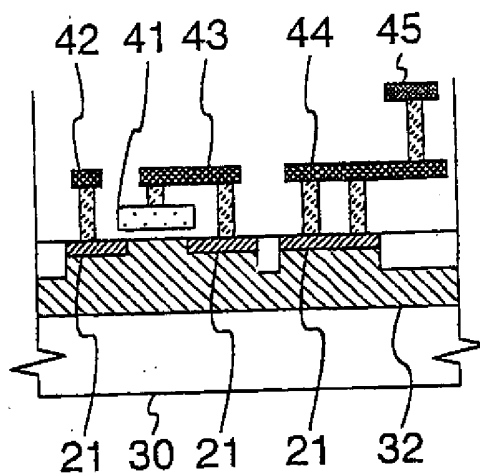


第 1 圖 D

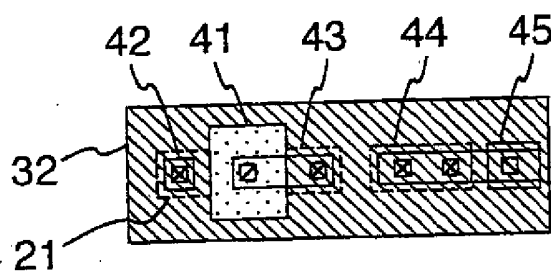


煩請委員明示 90 年 3 月 8 日所提之
修正本有無變更實質內容是否准予修正。

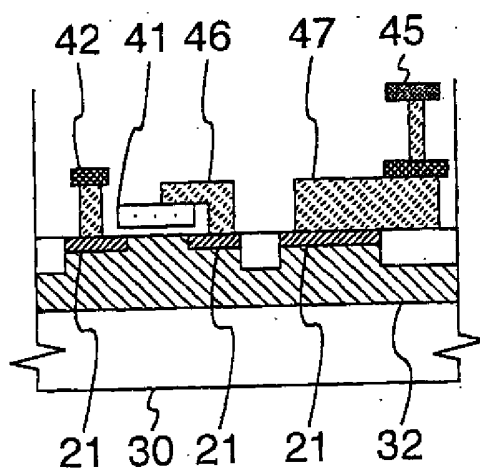
第 2 圖A



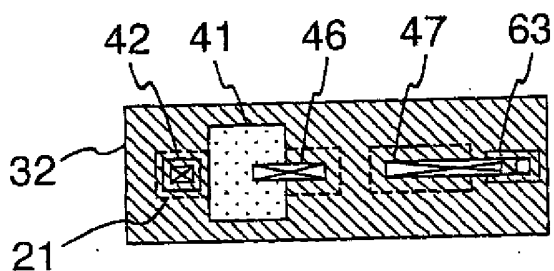
第 2 圖B



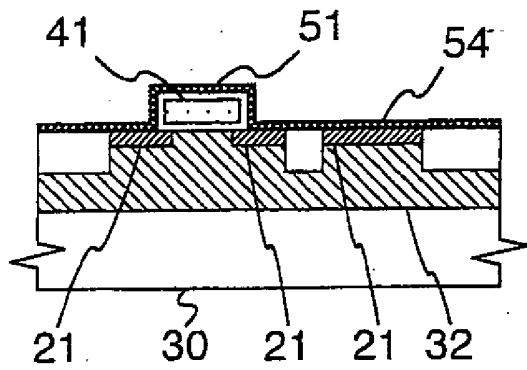
第 2 圖C



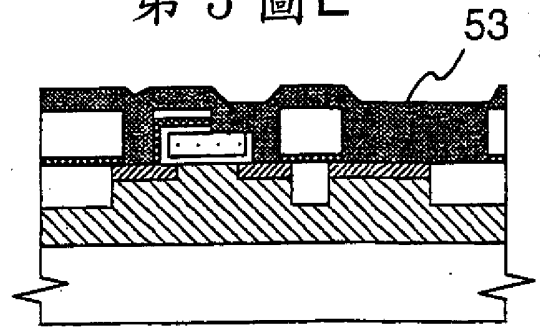
第 2 圖D



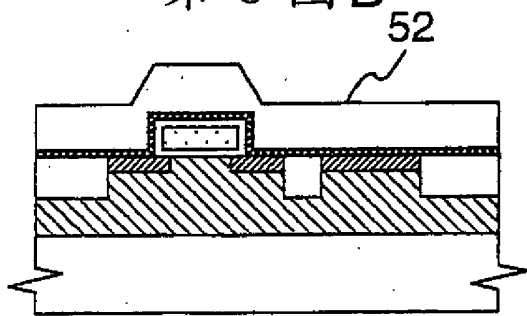
第 3 圖 A



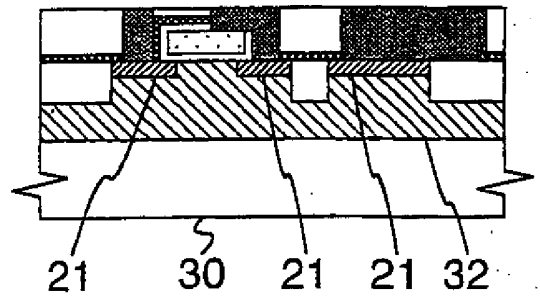
第 3 圖 E



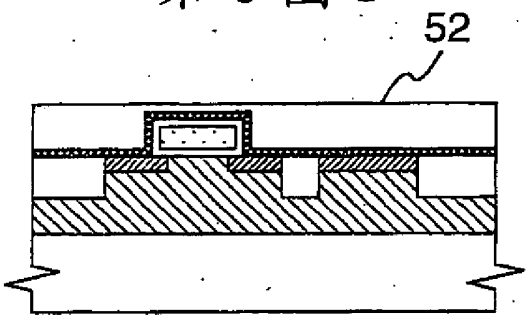
第 3 圖 B



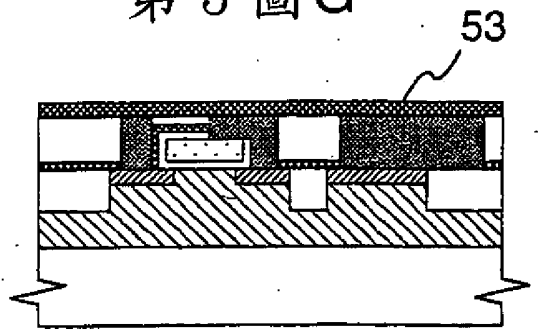
第 3 圖 F



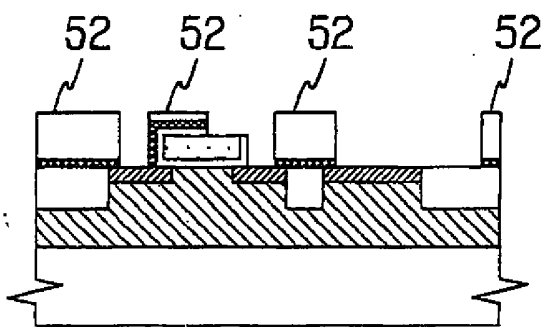
第 3 圖 C



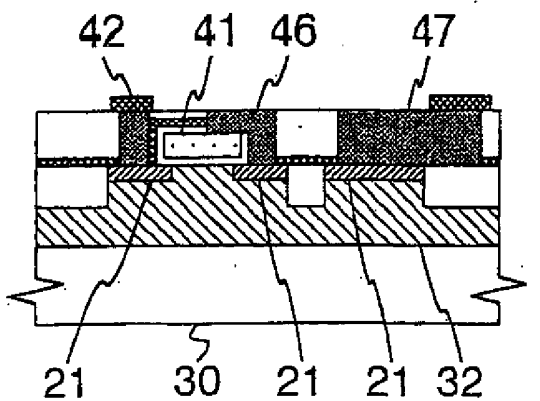
第 3 圖 G



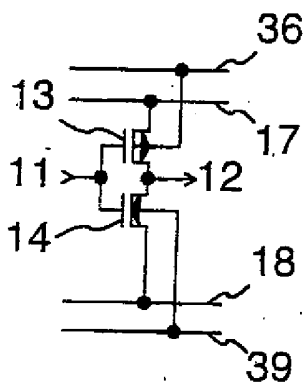
第 3 圖 D



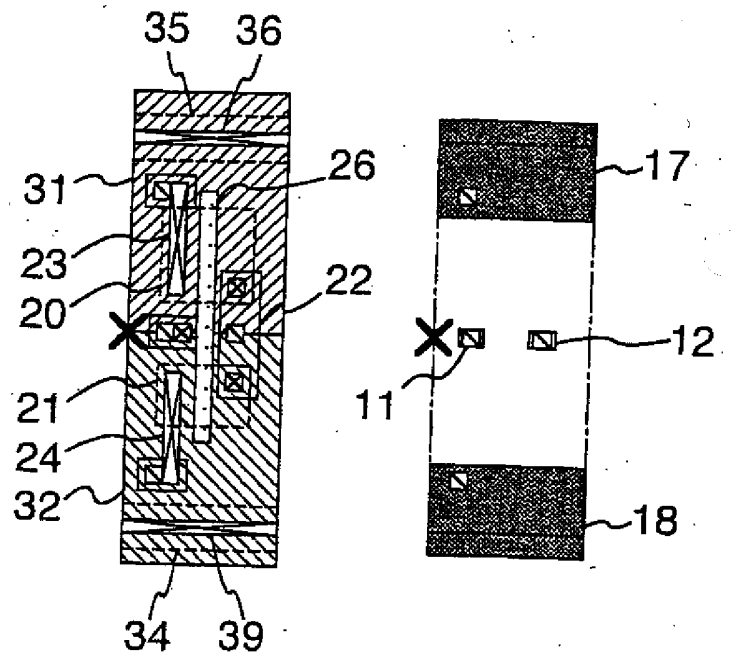
第 3 圖 H



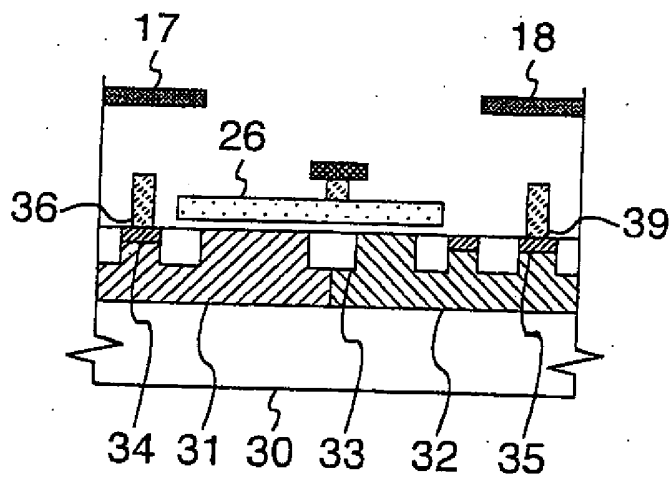
第 4 圖A



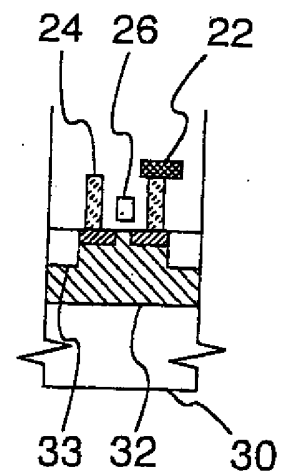
第 4 圖B



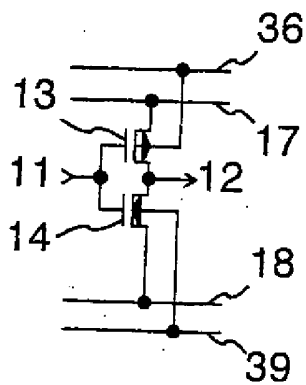
第 4 圖C



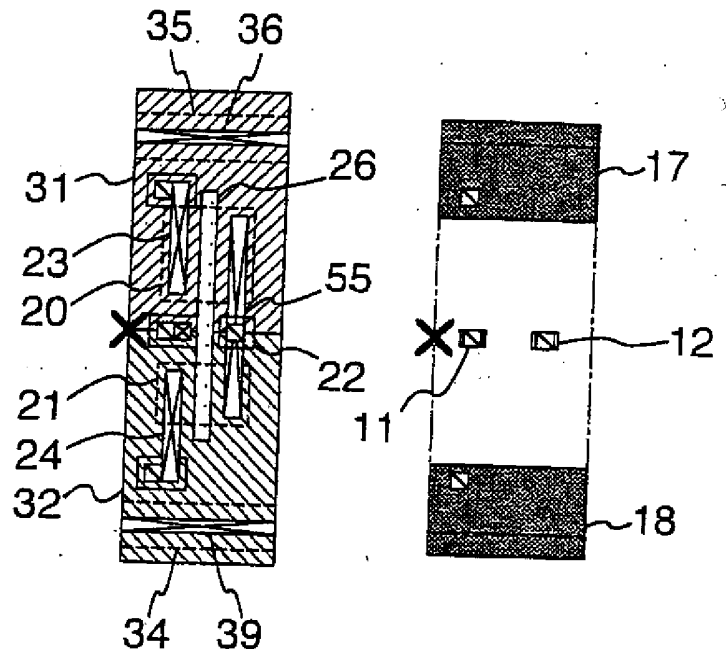
第 4 圖D



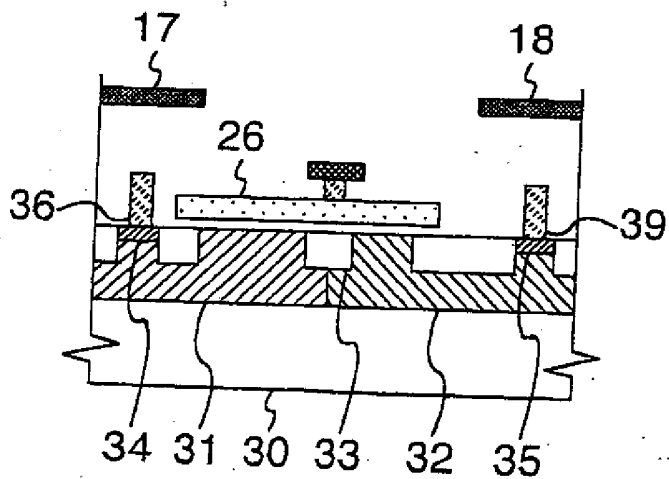
第 5 圖A



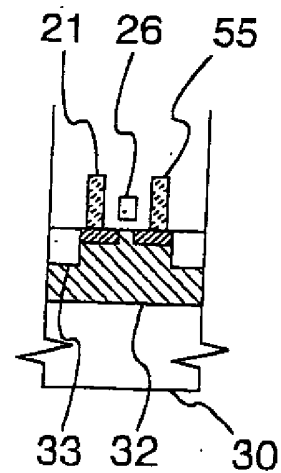
第 5 圖B



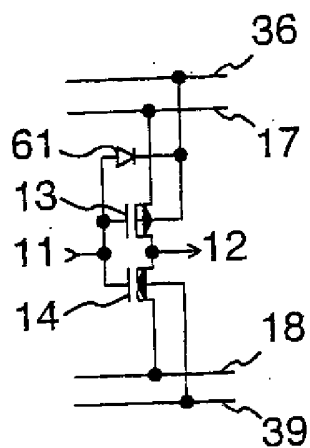
第 5 圖C



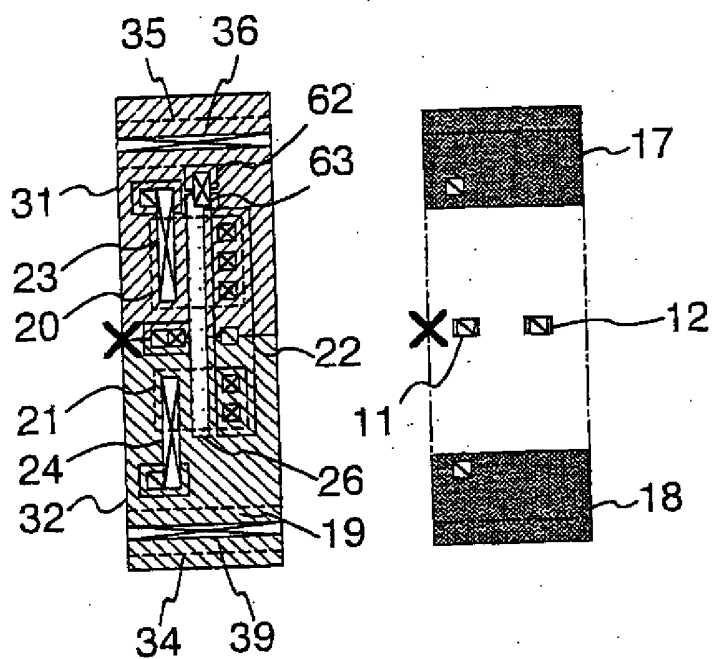
第 5 圖D



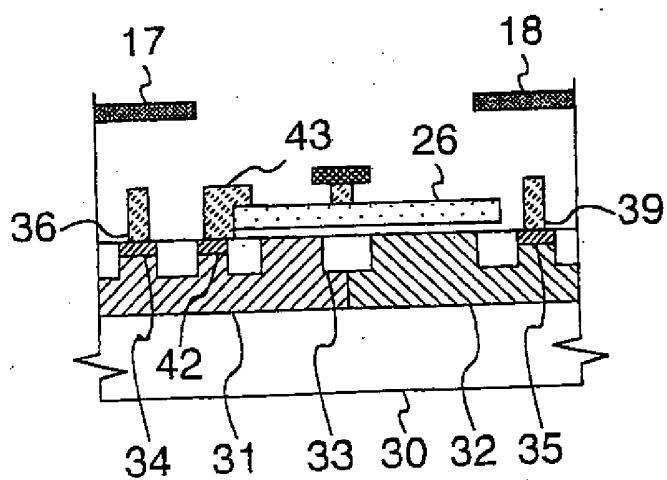
第 6 圖A



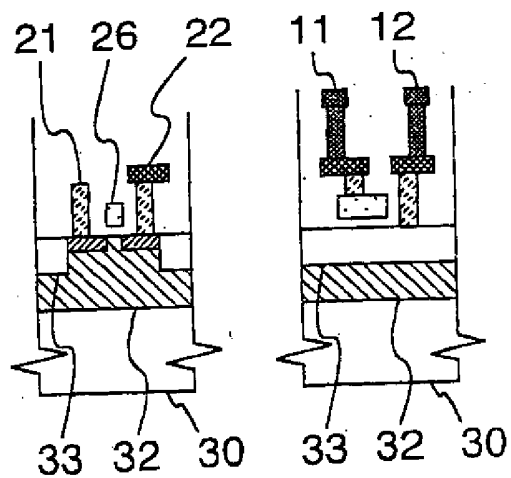
第 6 圖B



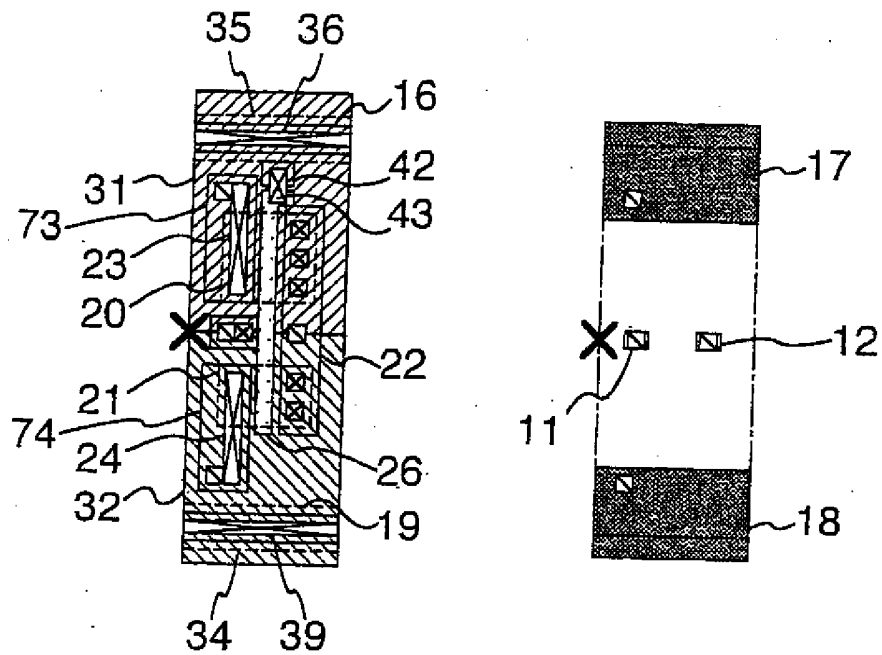
第 6 圖C



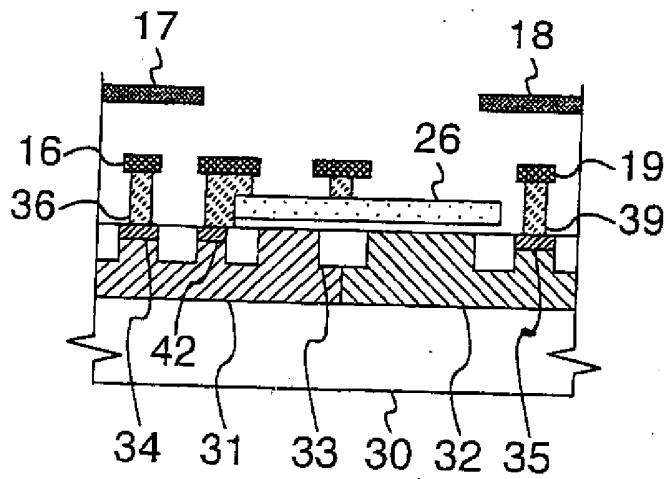
第 6 圖D



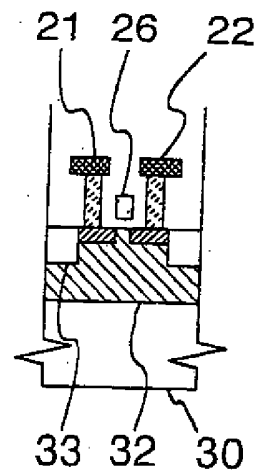
第 7 圖 A



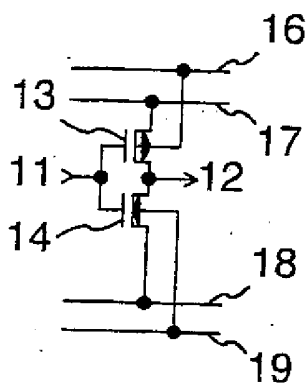
第 7 圖 B



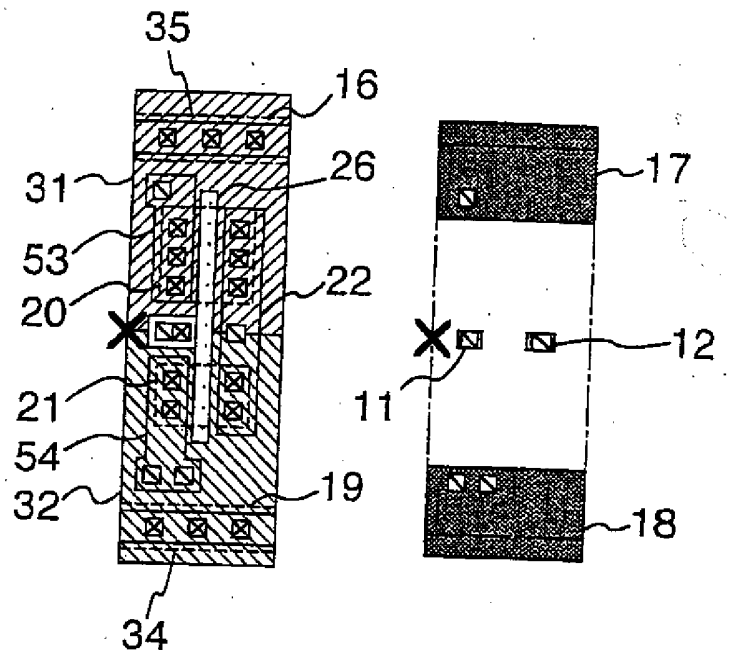
第 7 圖 C



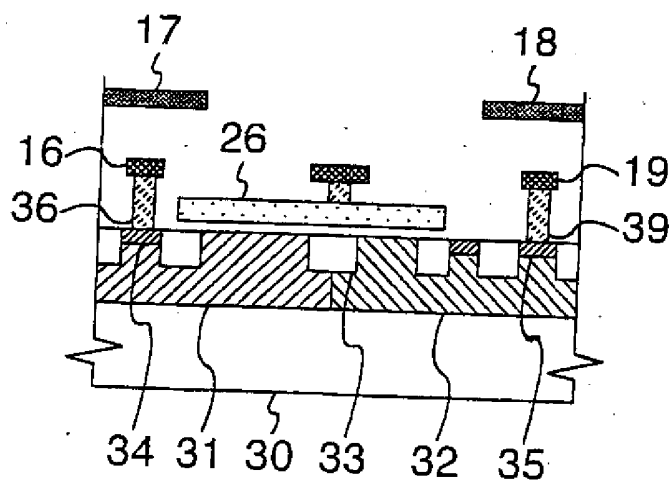
第8圖A



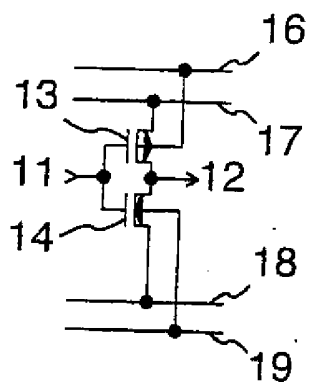
第8圖B



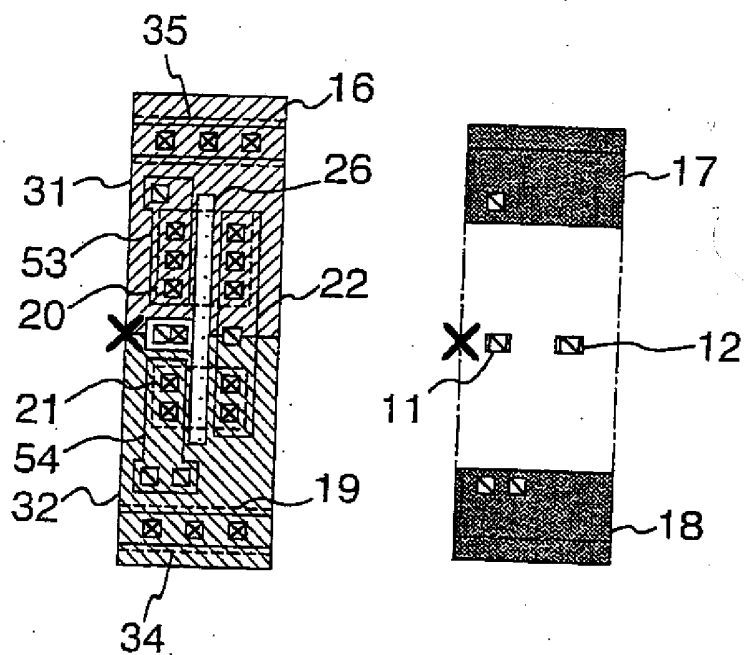
第8圖C



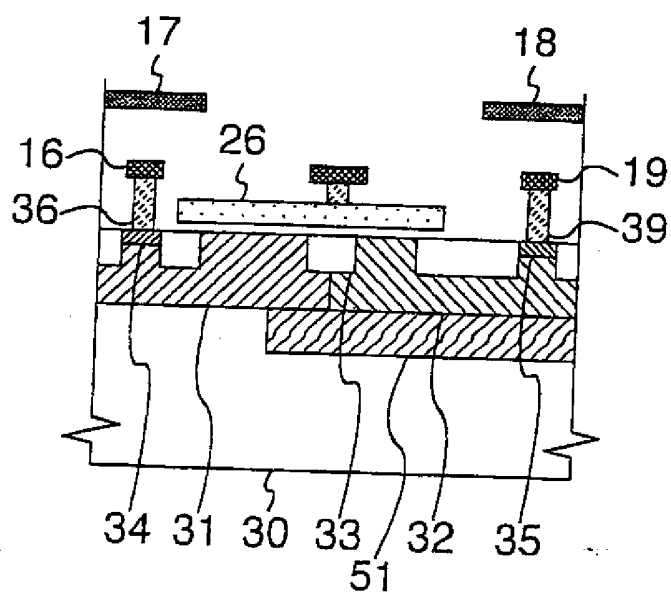
第9圖A



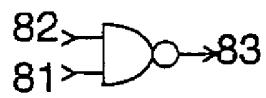
第9圖B



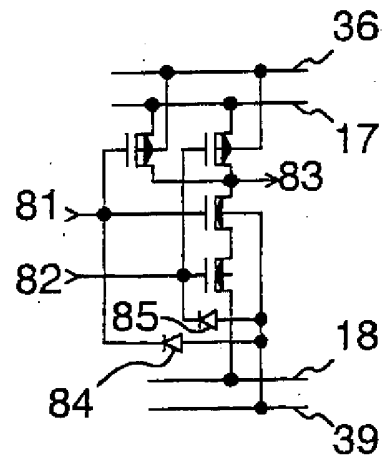
第9圖C



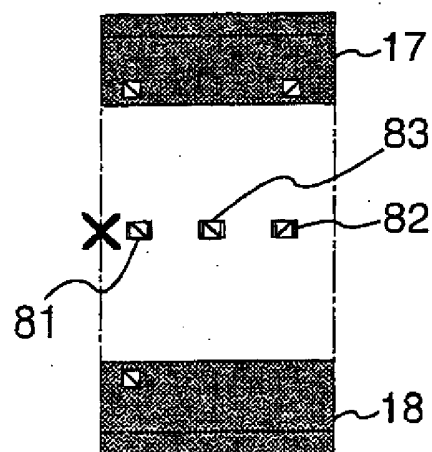
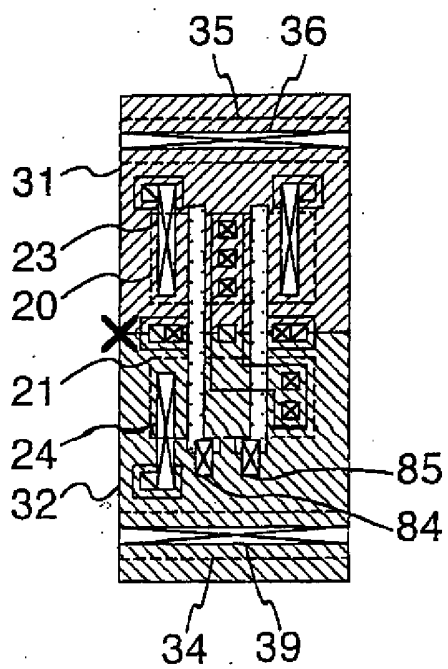
第 10 圖A



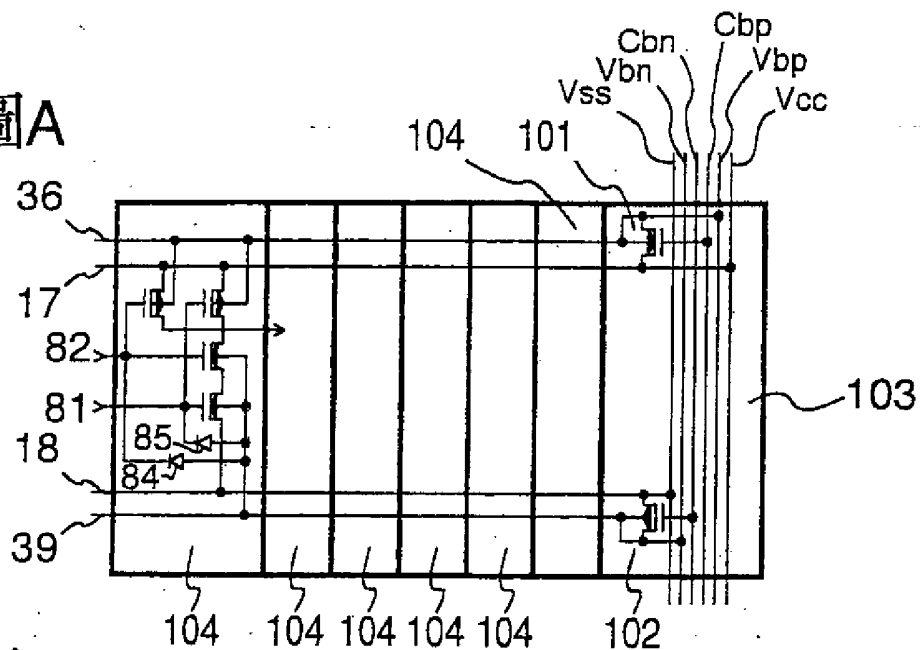
第 10 圖B



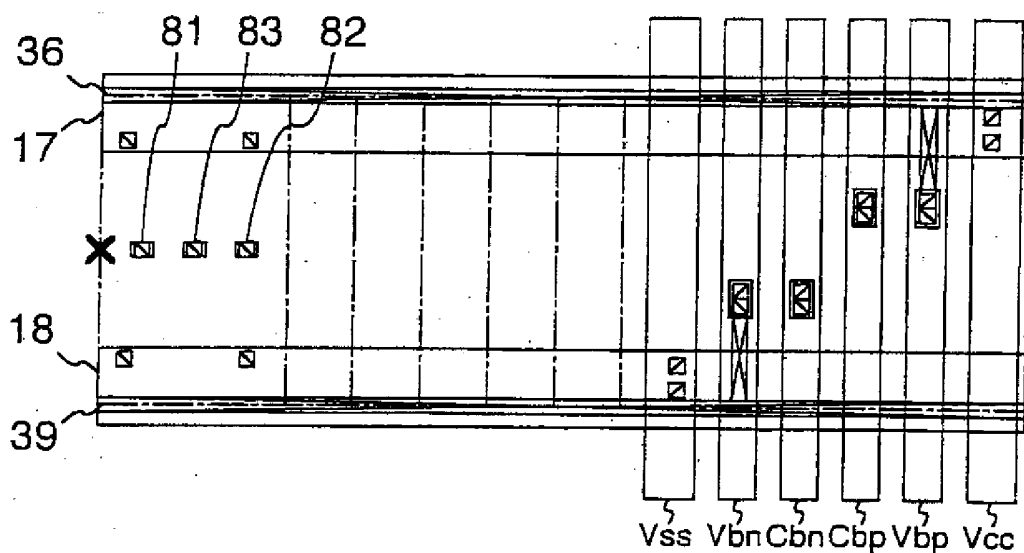
第 10 圖C



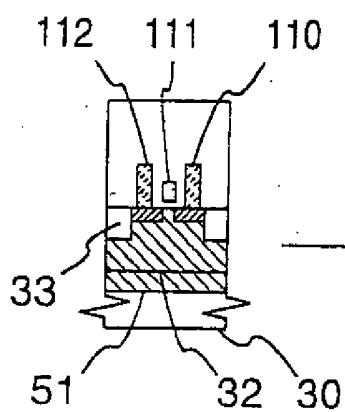
第 11 圖A



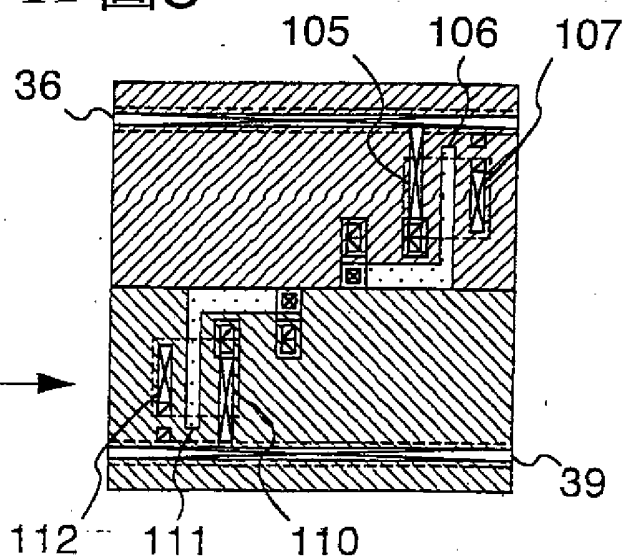
第 11 圖B



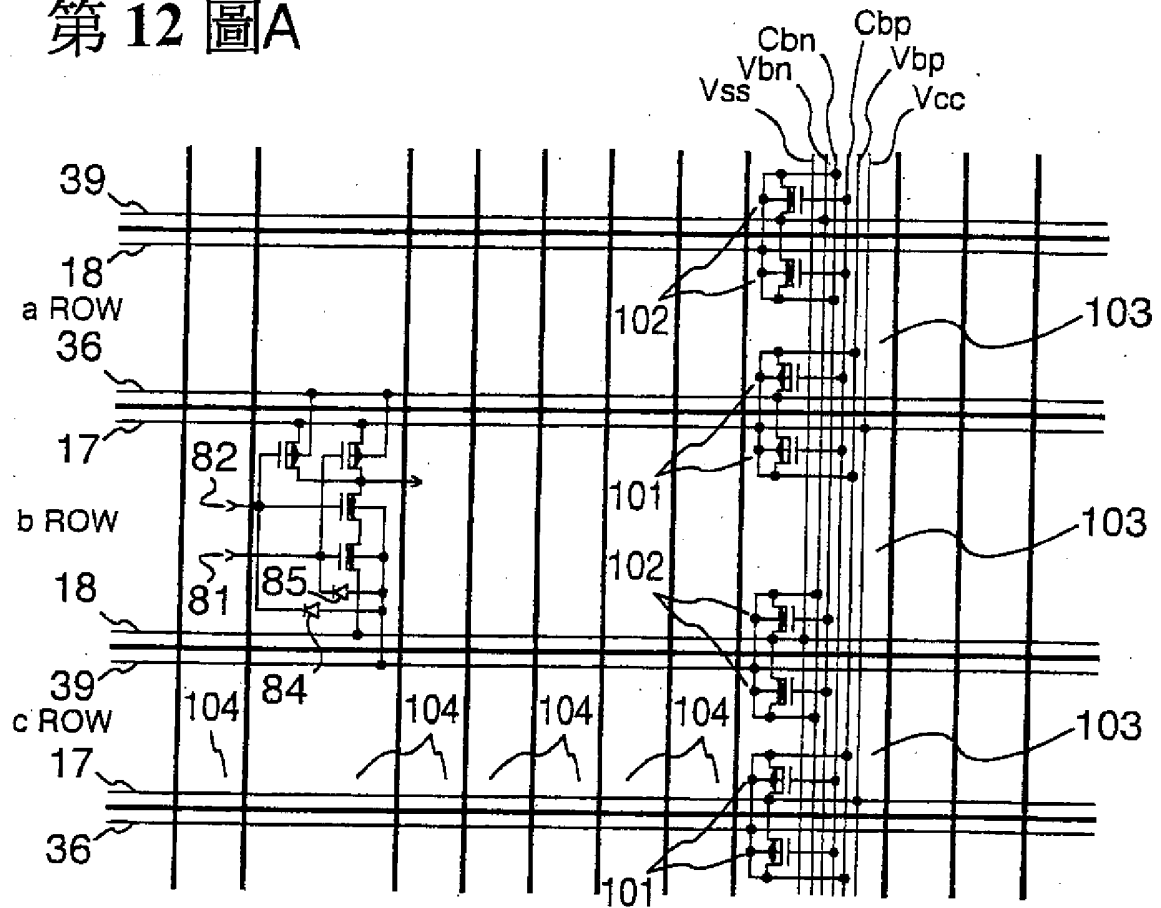
第 11 圖D



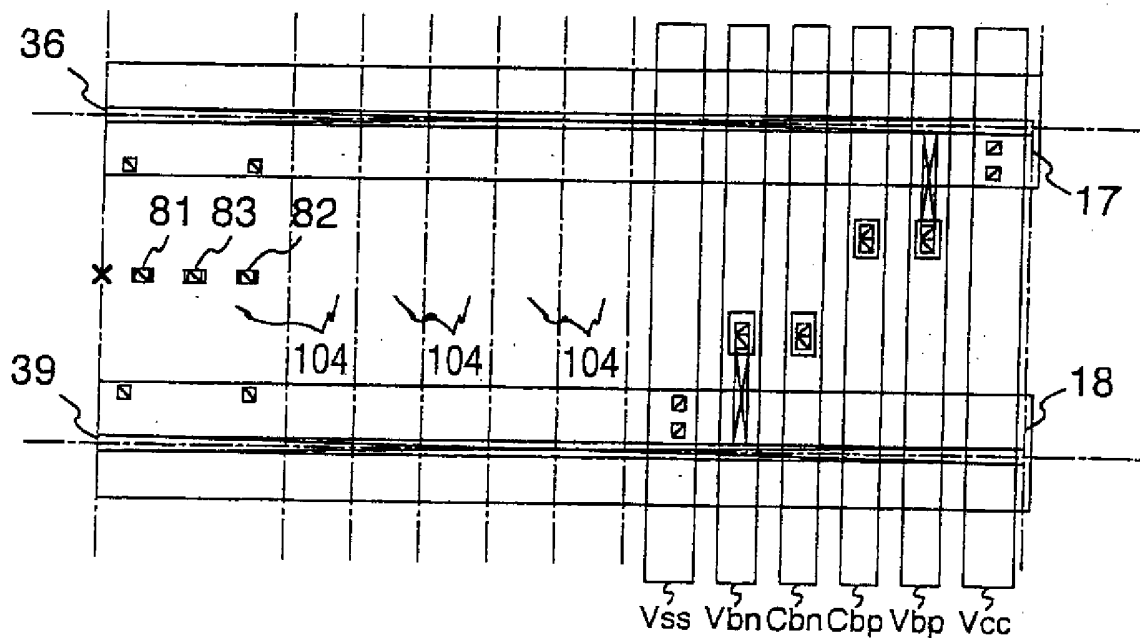
第 11 圖C



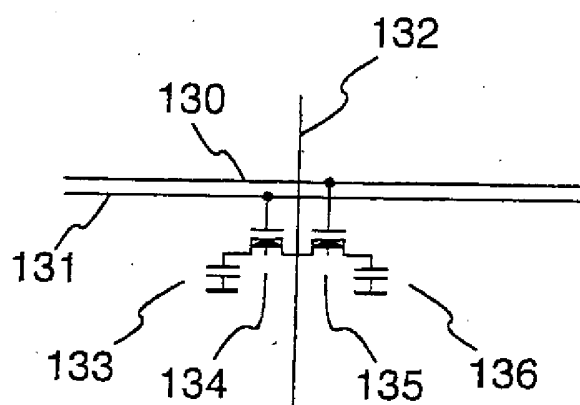
第 12 圖A



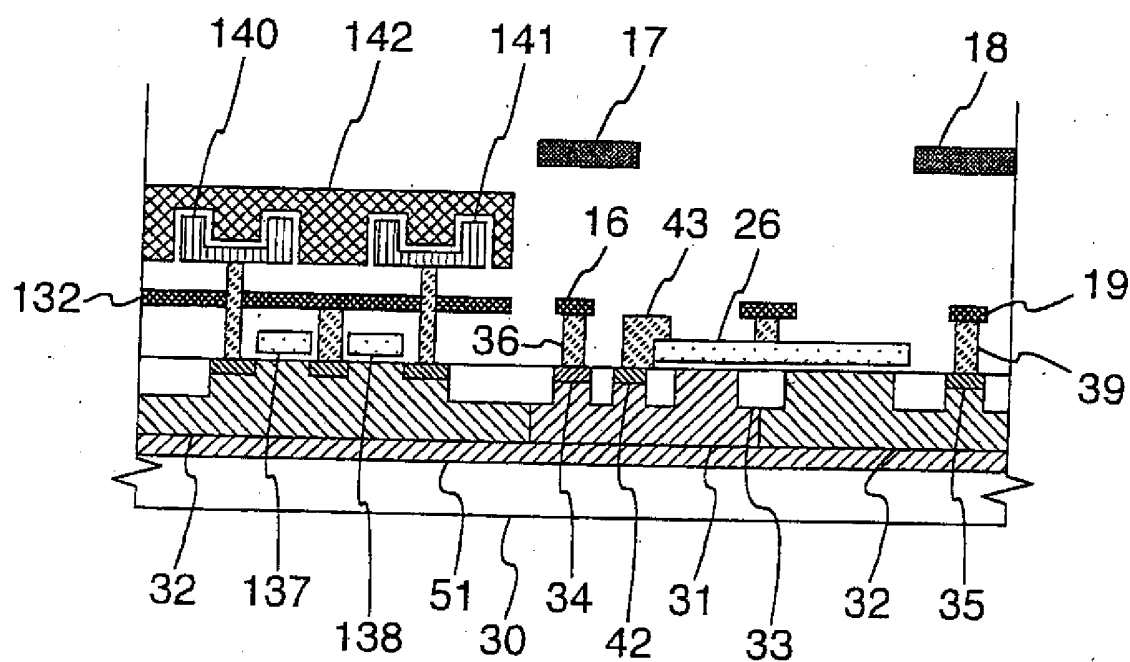
第 12 圖B



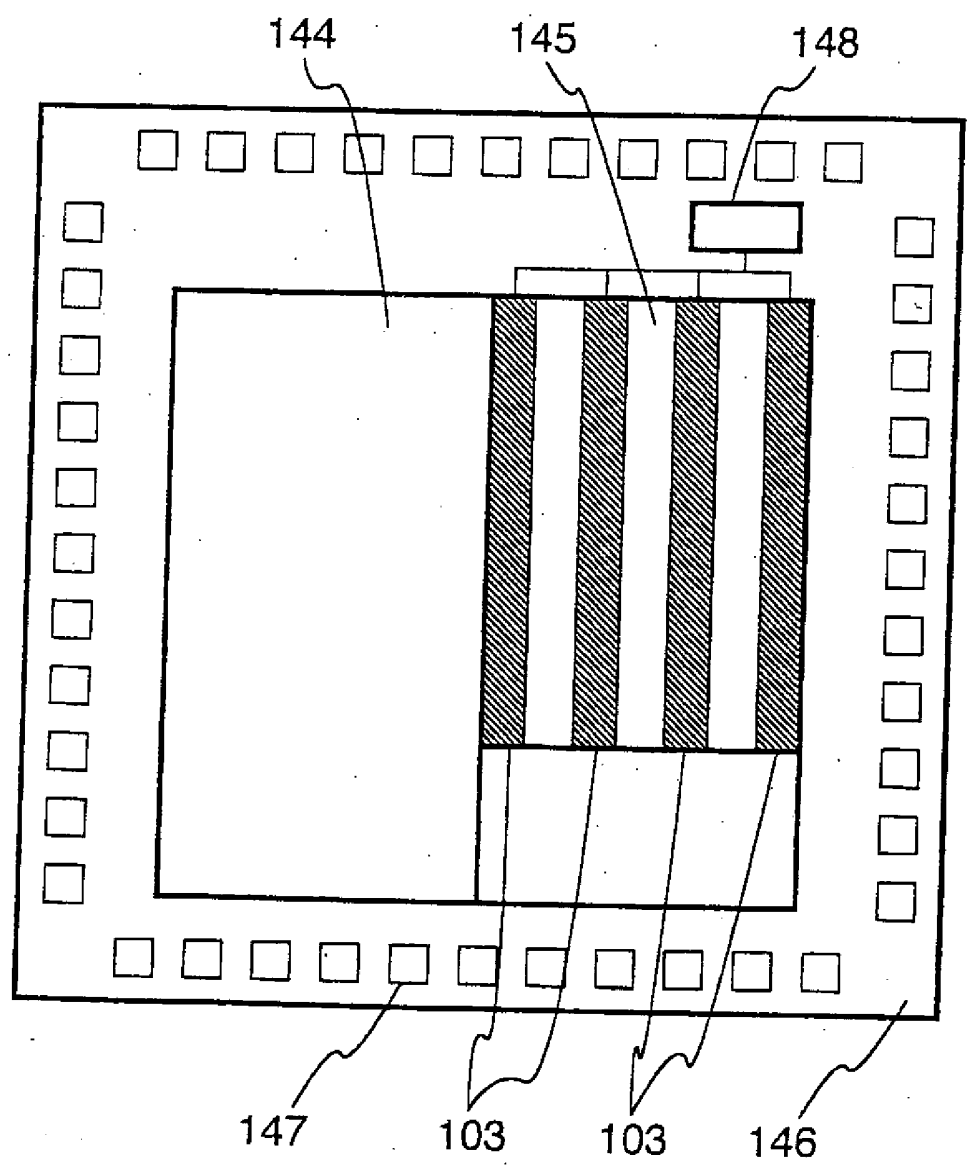
第 13 圖A



第 13 圖B



第 14 圖



六、申請專利範圍

第 88118232 號專利申請案

中文申請專利範圍修正本

民國 90 年 3 月修正

1. 一種半導體積體電路裝置，其主要係針對一由形成在 N 型阱中的 P M O S 電晶體與形成在 P 型阱中的 N M O S 電晶體所形成，具有用於連接上述 P M O S 電晶體與上述 N M O S 電晶體之間極及擴散層，與第一層之金屬配線層的接觸孔，而將導電體埋入到上述接觸孔內之半導體積體電路，其特徵在於：

上述接觸孔的平面形狀至少存在 2 種以上。

2. 如申請專利範圍第 1 項之半導體積體電路裝置，位在上述半導體積體電路裝置上之多個接觸孔的至少一邊的長度是相同。

3. 如申請專利範圍第 1 項之半導體積體電路裝置，用於連接上述閘極與上述擴散層的至少一個的接觸手段，係只藉由被埋入到上述接觸孔內的導電層而進行。

4. 如申請專利範圍第 1 項之半導體積體電路裝置，至少利用被埋入到上述接觸孔內的導電層，而對上述電晶體的源極或汲極進行配線。

5. 如申請專利範圍第 1 項之半導體積體電路裝置，被連接到上述電晶體之源極之擴散層的接觸孔的面積，則較被連接到汲極之擴散層的接觸孔的面積為大。

6. 如申請專利範圍第 1 項之半導體積體電路裝置，

(請先閱讀背面之注意事項再填寫本頁)

裝

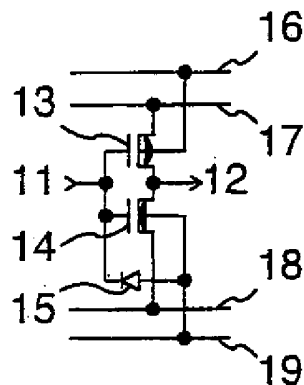
訂

線

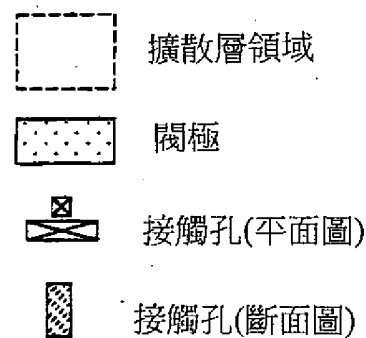
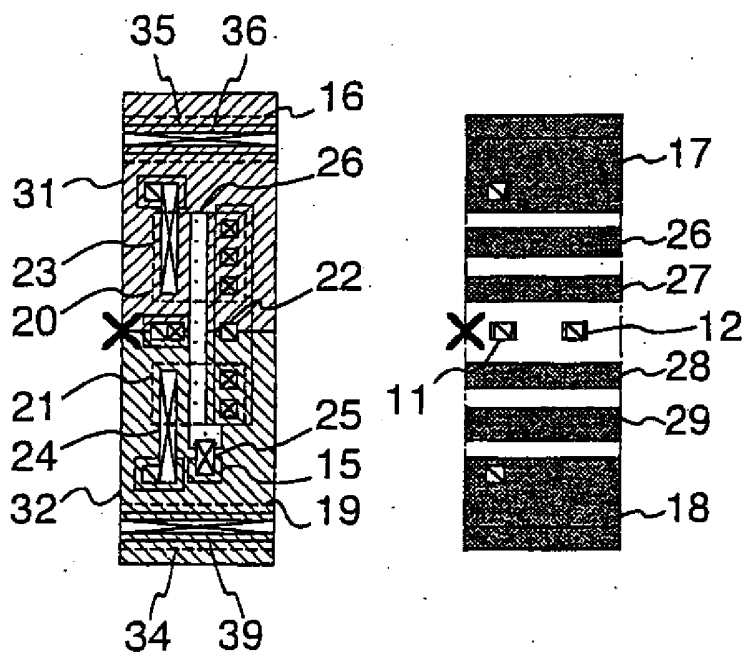
第 1 圖 A



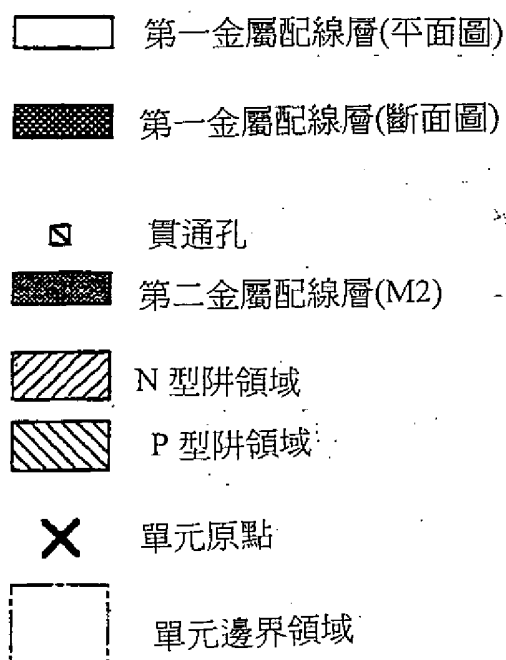
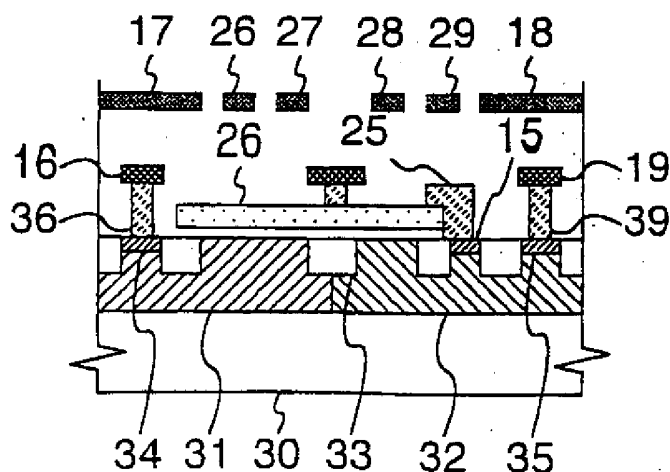
第 1 圖 B



第 1 圖 C



第 1 圖 D



煩請委員明示 90 年 3 月 8 日所提之
修正本有無變更實質內容是否准予修正。