



(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 201601205 A

(43)公開日：中華民國 105 (2016) 年 01 月 01 日

(21)申請案號：104110959 (22)申請日：中華民國 104 (2015) 年 04 月 02 日

(51)Int. Cl. : *H01L21/301 (2006.01)* *H01L21/3065(2006.01)*
H01L21/67 (2006.01) *H01L21/76 (2006.01)*
H01L21/78 (2006.01)

(30)優先權：2014/04/04 美國 61/975,599
 2014/04/08 美國 14/248,165

(71)申請人：應用材料股份有限公司 (美國) APPLIED MATERIALS, INC. (US)
 美國

(72)發明人：類維生 LEI, WEI-SHENG (CN)；庫瑪普拉罕 KUMAR, PRABHAT (IN)；帕帕那詹
 姆士 S PAPANU, JAMES S. (US)；庫默亞傑 KUMAR, AJAY (US)；伊頓貝德
 EATON, BRAD (US)

(74)代理人：蔡坤財；李世章

申請實體審查：無 申請專利範圍項數：23 項 圖式數：13 共 53 頁

(54)名稱

自單粒化晶粒側壁移除殘留物

RESIDUE REMOVAL FROM SINGULATED DIE SIDEWALL

(57)摘要

茲描述切割半導體晶圓的方法，每一晶圓具有複數個積體電路。在一實例中，切割具複數個積體電路的半導體晶圓的方法涉及在半導體晶圓上面形成遮罩，遮罩包括覆蓋及保護積體電路的層。方法亦涉及利用雷射劃線製程圖案化遮罩，以於遮罩中提供間隙，間隙露出積體電路間的半導體晶圓區域。方法亦涉及經由遮罩中的間隙電漿蝕刻半導體晶圓，以單粒化積體電路。方法亦涉及在電漿蝕刻半導體晶圓後，自單粒化積體電路的側壁移除蝕刻殘留物。

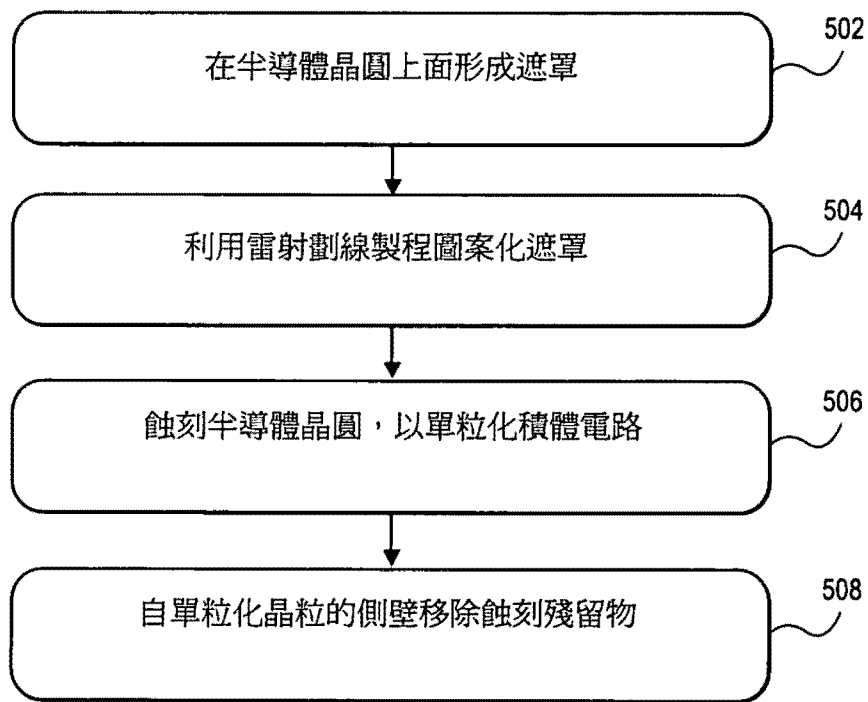
Methods of dicing semiconductor wafers, each wafer having a plurality of integrated circuits, are described. In an example, a method of dicing a semiconductor wafer having a plurality of integrated circuits involves forming a mask above the semiconductor wafer, the mask including a layer covering and protecting the integrated circuits. The method also involves patterning the mask with a laser scribing process to provide gaps in the mask, the gaps exposing regions of the semiconductor wafer between the integrated circuits. The method also involves plasma etching the semiconductor wafer through the gaps in the mask to singulate the integrated circuits. The method also involves, subsequent to plasma etching the semiconductor wafer, removing etch residue from sidewalls of the singulated integrated circuits.

500 . . . 流程圖

502、504、506、

508 . . . 操作

流程圖 500



第5圖

發明摘要

※ 申請案號：104110959

※ 申請日：2015年4月2日

※IPC 分類： H01L 21/301 (2006.1)
H01L 21/3065 (2006.1)
H01L 21/67 (2006.1)
H01L 21/76 (2006.1)
H01L 21/78 (2006.1)

【發明名稱】 (中文/英文)

自單粒化晶粒側壁移除殘留物

RESIDUE REMOVAL FROM SINGULATED DIE
SIDEWALL

【中文】

茲描述切割半導體晶圓的方法，每一晶圓具有複數個積體電路。在一實例中，切割具複數個積體電路的半導體晶圓的方法涉及在半導體晶圓上面形成遮罩，遮罩包括覆蓋及保護積體電路的層。方法亦涉及利用雷射劃線製程圖案化遮罩，以於遮罩中提供間隙，間隙露出積體電路間的半導體晶圓區域。方法亦涉及經由遮罩中的間隙電漿蝕刻半導體晶圓，以單粒化積體電路。方法亦涉及在電漿蝕刻半導體晶圓後，自單粒化積體電路的側壁移除蝕刻殘留物。

【英文】

Methods of dicing semiconductor wafers, each wafer having a plurality of integrated circuits, are described. In an example, a method of dicing a semiconductor wafer having a plurality of integrated circuits involves forming a mask above the semiconductor wafer, the mask including a

layer covering and protecting the integrated circuits. The method also involves patterning the mask with a laser scribing process to provide gaps in the mask, the gaps exposing regions of the semiconductor wafer between the integrated circuits. The method also involves plasma etching the semiconductor wafer through the gaps in the mask to singulate the integrated circuits. The method also involves, subsequent to plasma etching the semiconductor wafer, removing etch residue from sidewalls of the singulated integrated circuits.

【代表圖】

【本案指定代表圖】：第（ 5 ）圖。

【本代表圖之符號簡單說明】：

500 流程圖

502、504、506、508 操作

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

無

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】 (中文/英文)

自單粒化晶粒側壁移除殘留物

RESIDUE REMOVAL FROM SINGULATED DIE
SIDEWALL

【交互參照之相關申請案】

【0001】 本申請案主張西元 2014 年 4 月 4 日申請的美國臨時專利申請案第 61/975,599 號的權益，該美國臨時專利申請案全文內容以引用方式併入本文中。

【技術領域】

【0002】 本發明的實施例係關於半導體處理領域，且特別係關於切割半導體晶圓的方法，每一晶圓具有複數個積體電路於上。

【先前技術】

【0003】 在半導體晶圓處理中，積體電路形成在由矽或其他半導體材料組成的晶圓（亦稱作基板）上。通常，各種半導體、導體或絕緣材料層用於形成積體電路。利用各種已知製程來摻雜、沉積及蝕刻該等材料，以形成積體電路。各晶圓經處理而形成大量含有積體電路的個別區域，此稱為晶粒。

【0004】 在積體電路形成製程後，「切割」晶圓，以將個別晶粒彼此分開供封裝或以未封裝形式用於較大電路內。兩種主要晶圓切割技術為劃線及鋸切。採行劃線時，鑽石尖端劃

片沿著預成形刻劃線移動越過晶圓表面。該等刻劃線沿著晶粒的間隔延伸。該等間隔一般稱作「切割道」。鑽石劃片沿著切割道在晶圓表面形成淺劃痕。如利用輥施加壓力後，晶圓即沿著刻劃線分開。晶圓中的裂縫依循晶圓基板的晶格結構而行。劃線可用於厚度約 10 密耳（千分之一吋）或以下的晶圓。對較厚晶圓而言，鋸切係目前較佳的切割方法。

【0005】 採行鋸切時，每分鐘高轉速旋轉的鑽石尖端鋸子接觸晶圓表面及沿著切割道鋸切晶圓。晶圓裝設在支撐構件上，例如延展整個膜框的黏著膜，鋸子反覆用於垂直與水平切割道。採行劃線或鋸切的問題在於碎片和鑿孔會沿著晶粒的斷裂邊緣形成。此外，裂痕會形成及從晶粒邊緣傳播到基板內，導致積體電路無效。碎裂和破裂在劃線方面尤其嚴重，因為在晶體結構的<110>方向上，方形或矩形晶粒只有一側可被劃線。是以劈開晶粒另一側將產生鋸齒狀分離線。由於碎裂和破裂，晶圓上的晶粒間需有額外間距，以免破壞積體電路，例如使碎片和裂痕與實際積體電路保持距離。因應間距要求，標準尺寸晶圓上無法形成許多晶粒，以致浪費了用於電路的晶圓地產（real estate）。使用鋸子加劇了半導體晶圓上的地產浪費。鋸刃厚度為約 15 微米。故為確保鋸切周圍的破裂和其他破壞不會損害積體電路，各晶粒的電路往往需分開 300 至 500 微米。另外，切割後，需實質清洗各晶粒，以移除鋸切製程產生的微粒和其他污染物。

【0006】 亦可採行電漿切割，但電漿切割也有所限制。例如，阻礙電漿切割實施的一限制為成本。用於圖案化光阻的標準

微影操作將致使實施成本過高。可能阻礙電漿切割實施的另一限制為沿著切割道切割時，電漿處理常用金屬（例如銅）會造成生產問題或產量限制。

【發明內容】

【0007】 本發明的實施例包括切割半導體晶圓的方法，每一晶圓具有複數個積體電路於上。

【0008】 在一實施例中，切割具複數個積體電路的半導體晶圓的方法涉及在半導體晶圓上面形成遮罩，遮罩包括覆蓋及保護積體電路的層。方法亦涉及利用雷射劃線製程圖案化遮罩，以於遮罩中提供間隙，間隙露出積體電路間的半導體晶圓區域。方法亦涉及經由遮罩中的間隙電漿蝕刻半導體晶圓，以單粒化積體電路。方法亦涉及在電漿蝕刻半導體晶圓後，自單粒化積體電路的側壁移除蝕刻殘留物。

【0009】 在另一實施例中，用於切割具複數個積體電路的半導體晶圓的系統包括工作介面。雷射劃線設備耦接工作介面且包括雷射。第一電漿蝕刻腔室耦接工作介面。第一電漿蝕刻腔室配置以進行深矽電漿蝕刻操作。第二電漿蝕刻腔室耦接工作介面。第二電漿蝕刻腔室配置以進行蝕刻殘留物移除操作。

【0010】 在又一實施例中，切割具複數個積體電路的半導體晶圓的方法涉及提供半導體晶圓，半導體晶圓具有遮罩設置於上，遮罩包括覆蓋及保護積體電路的層。方法亦涉及利用雷射劃線製程圖案化遮罩，以於遮罩中提供間隙，間隙露出積體電路間的半導體晶圓區域。方法亦涉及經由遮罩中的間

隙電漿蝕刻半導體晶圓，以單粒化積體電路。方法亦涉及在電漿蝕刻半導體晶圓後，自單粒化積體電路的側壁移除蝕刻殘留物。

【圖式簡單說明】

【0011】 第 1 圖圖示根據本發明一實施例，切割半導體晶圓的傾斜俯視圖和三個單粒化晶粒的對應放大圖，半導體晶圓裝設在基板載具上。

【0012】 第 2 圖圖示根據本發明一實施例，第 1 圖的部分單粒化晶粒截面圖，該圖圖示在電漿蝕刻單粒化期間形成的側壁殘留物。

【0013】 第 3 圖圖示根據本發明一實施例，待切割半導體晶圓的頂部平面。

【0014】 第 4 圖圖示根據本發明一實施例，待切割半導體晶圓的頂部平面，半導體晶圓具有切割遮罩形成於上。

【0015】 第 5 圖係根據本發明一實施例，切割半導體晶圓的方法操作流程圖，半導體晶圓包括複數個積體電路。

【0016】 第 6A 圖圖示根據本發明一實施例，在進行切割半導體晶圓的方法期間，對應第 5 圖流程圖的操作 502 時，包括複數個積體電路的半導體晶圓截面圖。

【0017】 第 6B 圖圖示根據本發明一實施例，在進行切割半導體晶圓的方法期間，對應第 5 圖流程圖的操作 504 時，包括複數個積體電路的半導體晶圓截面圖。

【0018】 第 6C 圖圖示根據本發明一實施例，在進行切割半導體晶圓的方法期間，對應第 5 圖流程圖的操作 506、508 時，

包括複數個積體電路的半導體晶圓截面圖。

【0019】 第 7 圖圖示根據本發明一實施例，使用飛秒範圍的雷射脈衝對照較長脈衝時間的作用。

【0020】 第 8 圖圖示根據本發明一實施例，可用於半導體晶圓或基板的切割道區域的材料堆疊截面圖。

【0021】 第 9 圖包括根據本發明一實施例，結晶矽 (c-Si)、銅 (Cu)、結晶二氧化矽 (c-SiO₂) 和無定形二氧化矽 (a-SiO₂) 的吸收係數隨光子能變化作圖。

【0022】 第 10 圖係顯示特定雷射的雷射強度為雷射脈衝能量、雷射脈衝寬度和雷射光束半徑的函數關係的方程式。

【0023】 第 11A 圖至第 11D 圖圖示根據本發明一實施例，切割半導體晶圓的方法的各種操作截面圖。

【0024】 第 12 圖圖示根據本發明一實施例，用於雷射及電漿切割晶圓或基板的工具佈局方塊圖。

【0025】 第 13 圖圖示根據本發明一實施例的示例性電腦系統方塊圖。

【實施方式】

【0026】 茲描述切割半導體晶圓的方法，每一晶圓具有複數個積體電路於上。在以下說明中提出許多特定細節，例如雷射劃線、蝕穿和電漿蝕刻條件與材料體系，以對本發明實施例有更徹底的瞭解。熟諳此技術者將明白，本發明實施例可不依該等特定細節實踐。在其他情況下，並不詳述諸如積體電路製造等已知態樣，以免讓本發明實施例變得晦澀難懂。另外，應理解圖式所示各種實施例為代表性說明，故未必按

比例繪製。

【0027】 涉及初始雷射劃線與後續電漿蝕刻的混合式晶圓或基板切割製程加上遮罩電漿處理操作可用於晶粒單粒化。雷射劃線製程可用於乾淨地移除遮罩層、有機與無機介電層和裝置層。接著在暴露或部分蝕刻晶圓或基板後，即可終止雷射蝕刻製程。切割製程的電漿蝕刻部分接著可用於蝕穿晶圓或基板塊體，例如蝕穿單晶矽塊體，以產生晶粒或晶片單粒化或切割。更特別地，一或更多實施例係針對自單粒化晶粒側壁（例如單粒化裝置試件）移除聚合物與電漿氣體殘留物。

【0028】 為提供背景，在單粒化晶粒的封裝製程流程中，特別係多個薄晶粒堆疊在一起的先進三維（3D）封裝應用，聚合物系底膠材料通常施用於不同層の間隙之間，包括印刷電路板（PCB）基板（例如倒裝晶片基板）與晶粒或晶粒與晶粒間，以提供機械支撐、電氣隔離或鈍化及改善堆疊晶粒/晶片的可靠度。傳統上，底膠材料係呈液體供應及施用於堆疊結構邊緣（PCB 至晶粒及/或晶粒至晶粒），在此液體透過毛細潤濕作用而吸入間隙。

【0029】 就 3D 封裝應用而言，晶粒厚度通常小於 100 微米且往往小於 50 微米，PCB 基板至晶粒或晶粒至晶粒間的間隙通常限制在 10-30 微米。根據所述實施例，發現上述毛細潤濕作用會受晶粒側壁潔淨度等其他因素影響。特別地，在一或更多 SF_6 、 CF_4 或 C_4F_8 基電漿切割製程後殘留在晶粒側壁上的氟（F）污染物將導致毛細潤濕作用明顯降低。

【0030】 根據所述實施例，就混合式雷射劃線與電漿蝕刻切

割製程而言，待切割基板通常係裝設於帶框的薄化矽（Si）晶圓。基板可塗覆上水溶性乾蝕刻光阻膜或其他適合遮罩層。雷射劃線用於移除晶粒間切割道區的遮罩層，接著以電漿蝕刻製程單粒化晶粒。最後清洗製程用於移除覆蓋單粒化晶粒的大塊遮罩層。混合式切割方案在晶粒強度、晶粒拾取產率（例如單粒化後，需自帶框拾取或移除個別晶粒）和單粒化晶粒碎裂方面明顯優於習知鋸子或刀片切割。

【0031】 在混合式方式中，雷射與電漿蝕刻製程（例如 Bosch Si 蝕刻製程）用於切割矽晶圓上的成品晶粒。第 1 圖圖示根據本發明一實施例，切割半導體晶圓的傾斜俯視圖和三個單粒化晶粒的對應放大圖，半導體晶圓裝設在基板載具上。參照第 1 圖，基板載具包括帶框 102 和支撐帶 104。晶圓 106 裝設在支撐帶 104 上。晶圓 106 經混合式雷射與蝕刻切割方式處理而提供單粒化晶粒 108。第 1 圖的放大圖圖示三個單粒化晶粒 108。單粒化晶粒 108 具有露出側壁 110。

【0032】 再次參照第 1 圖，在一實施例中，在電漿蝕刻製程期間，聚合物和蝕刻氣體殘留物留在個別晶粒的側壁上。殘留物一般主要由碳（C）、氟（F）和氧（O）組成。第 2 圖圖示根據本發明一實施例，第 1 圖的部分單粒化晶粒截面圖，該圖圖示在電漿蝕刻單粒化期間形成的側壁殘留物。參照第 2 圖，部分單粒化晶粒 108 具有側壁 110 且蝕刻殘留物形成於上。在一實施例中，蝕刻殘留物包括 C_xF_y 外層 202（其中 x 和 y 代表任何適合的化學計量比）。蝕刻殘留物亦可包括 Si-F 下層 204。

【0033】 由於切割晶粒 108 的側壁 110 上存有殘留物（例如層 202 及/或 204），在一實施例中，封裝時施用的底膠材料填充堆疊晶粒的間隙將比鋸子/刀片單粒化晶粒慢。在一些例子中，即使使用額外的底膠材料（例如相較於鋸子或刀片切割的底膠量）也無法阻止在底膠層中形成介電氣袋或孔隙。根據所述一或更多實施例，為避免後續施用底膠材料相關課題，乃施行電漿清洗製程，以移除或降低單粒化晶粒 108 的蝕刻側壁 110 上的氟（F）系殘留物濃度。在一特定實施例中，自晶粒 108 的側壁 110 移除 F 系殘留物的電漿清洗製程涉及個別或結合(a)只利用 O₂ 電漿清洗、(b)只利用 Ar/O₂ 電漿清洗、(c)使用還原化學品，例如形成氣體（H₂/N₂）電漿清洗、(d)Ar/O₂/SF₆ 電漿清洗、(e)結合乾式與溼式清洗製程、(f)CF₄/SF₆ 電漿清洗製程或(g)一或更多製程(a)-(f)的組合物。在一實施例中，電漿清洗如同在單粒化用電漿蝕刻腔室中原位後處理進行。在另一實施例中，電漿清洗係在不同於單粒化用電漿蝕刻腔室的蝕刻腔室中進行。在一實施例中，儘管未侷限於理論，應理解二層層會形成於側壁：外層係「膨鬆」的特夫綸（Teflon）層，內層則與 Si 基板接合且包括 Si-O-F-C 型連結（例如 F 摻雜之 SiO₂ 般）層。在此一實施例中，移除外層可使 F 濃度從約 10%降至約 2%，F 濃度進一步降至如 1% 以下需要本文所述附加清洗。

【0034】 為提供廣泛背景，習知晶圓切割方式包括應用純粹機械分離的鑽石鋸切、初始雷射劃線及後續鑽石鋸切或奈秒或皮秒雷射切割。就薄晶圓或基板單粒化而言，例如 50 微米

厚矽塊單粒化，習知方式的處理品質不佳。從薄晶圓或基板單粒化所面臨的一些挑戰包括微裂形成或不同層脫層、無機介電層碎裂、固持嚴格的切口寬度控制或精確的剝蝕深度控制。本發明的實施例包括混合式雷射劃線與電漿蝕刻晶粒單粒化方式，此有利於克服上述一或更多挑戰。

【0035】 根據本發明一實施例，雷射劃線與電漿蝕刻結合用於將半導體晶圓切割成個別化或單粒化積體電路。在一實施例中，飛秒雷射劃線若非全然、基本上也用作非熱製程。例如，飛秒雷射劃線可在無或可忽略熱破壞區的情況下定位。在一實施例中，所述方式用於單粒化具極低 k 膜的積體電路。採行習知切割時，需配合此低 k 膜減慢鋸切。另外，半導體晶圓現在切割前通常會薄化。故在一實施例中，結合遮罩圖案化與以飛秒雷射局部晶圓劃線、然後電漿蝕刻處理現已可行。在一實施例中，利用雷射直接寫入不需光阻層微影圖案化操作，且可以很低的成本施行。在一實施例中，貫孔型矽蝕刻用於在電漿蝕刻環境中完成切割製程。

【0036】 故在本發明的一態樣中，雷射劃線與電漿蝕刻結合用於將半導體晶圓切割成單粒化積體電路。第 3 圖圖示根據本發明一實施例，待切割半導體晶圓的頂部平面。第 4 圖圖示根據本發明一實施例，待切割半導體晶圓的頂部平面，半導體晶圓具有切割遮罩形成於上。

【0037】 參照第 3 圖，半導體晶圓 300 具有複數個區域 302，區域 302 包括積體電路。區域 302 由垂直切割道 304 和水平切割道 306 分開。切割道 304、306 係不含積體電路的半導體

晶圓區域且設計為沿此切割晶圓的位置。本發明的一些實施例涉及結合使用雷射劃線與電漿蝕刻技術，以沿著切割道切割溝槽而貫穿半導體晶圓，使晶圓分離成個別晶片或晶粒。因雷射劃線與電漿蝕刻製程均與晶體結構位向無關，故待切割半導體晶圓的晶體結構對完成垂直溝槽貫穿晶圓來說無關緊要。

【0038】 參照第 4 圖，半導體晶圓 300 具有遮罩 400 設置於半導體晶圓 300 上。利用雷射劃線製程圖案化遮罩 400 和也許部分半導體晶圓 300，以沿著切割道 304、306 定義位置（例如間隙 402、404），在此將切割半導體晶圓 300。半導體晶圓 300 的積體電路區域被遮罩 400 覆蓋及保護。遮罩 400 的區域 406 經定位使得在後續蝕刻製程期間，積體電路不會遭蝕刻製程降解。水平間隙 404 和垂直間隙 402 形成於區域 406 間而定義將於蝕刻製程期間蝕刻的區域供最後切割半導體晶圓 300。根據所述實施例，在電漿蝕刻以單粒化個別積體電路 302 後，進行殘留物清洗操作。

【0039】 第 5 圖係根據本發明一實施例，切割半導體晶圓的方法操作流程圖 500，半導體晶圓包括複數個積體電路。第 6A 圖至第 6C 圖圖示根據本發明一實施例，在進行切割半導體晶圓的方法期間，對應流程圖 500 的操作時，包括複數個積體電路的半導體晶圓截面圖。

【0040】 參照流程圖 500 的操作 502 和對應第 6A 圖，遮罩 602 形成在半導體晶圓或基板 604 上面。遮罩 602 由覆蓋及保護積體電路 606 的層組成，積體電路 606 形成於半導體晶圓

604 的表面。遮罩 602 亦覆蓋形成於各積體電路 606 間的中介切割道 607。

【0041】 根據本發明一實施例，形成遮罩 602 涉及形成層，例如光阻層或 I-線 (I-line) 圖案化層，但不以此為限。例如，諸如光阻層的聚合物層可由適用微影製程的材料組成。在一實施例中，光阻層由正光阻材料組成，例如 248 奈米 (nm) 光阻、193 nm 光阻、157 nm 光阻、極紫外線 (EUV) 光阻或具重氮萘醌敏化劑的酚醛樹脂基質，但不以此為限。在另一實施例中，光阻層由負光阻材料組成，例如聚順異戊二烯和聚桂皮酸乙烯酯，但不以此為限。

【0042】 在另一實施例中，形成遮罩 602 涉及形成以電漿沉積製程沉積的層。例如，在此一實施例中，遮罩 602 由電漿沉積特夫綸或類特夫綸 (聚合 CF_2) 層組成。在一特定實施例中，聚合 CF_2 層以涉及 C_4F_8 氣體的電漿沉積製程沉積。

【0043】 在又一實施例中，形成遮罩 602 涉及形成水溶性遮罩層。在一實施例中，水溶性遮罩層很快溶於水性介質。例如，在一實施例中，水溶性遮罩層由可溶於一或更多的鹼性溶液、酸性溶液或去離子水的材料組成。在一實施例中，水溶性遮罩層經加熱後仍維持其水溶性，例如加熱達約 50°C 至 160°C 。例如，在一實施例中，水溶性遮罩層可溶於水溶液，然後暴露在用於雷射與電漿蝕刻單粒化製程的腔室條件下。在一實施例中，水溶性遮罩層由諸如聚乙烯醇、聚丙烯酸、葡聚糖、聚甲基丙烯酸、聚乙烯亞胺或聚環氧乙烷等材料組成，但不以此為限。在一特定實施例中，水溶性遮罩層於水

溶液中的蝕刻速率為約 1 至 15 微米/分鐘，更特別為約 1.3 微米/分鐘。

【0044】 在再一實施例中，形成遮罩 602 涉及形成 UV 可固化遮罩層。在一實施例中，遮罩層具 UV 光易感性，此將使 UV 可固化層的黏著性降低至少約 80%。在此一實施例中，UV 層由聚氯乙烯或丙烯酸系材料組成。在一實施例中，UV 可固化層由黏著性在曝照 UV 光後即會減弱的材料或材料堆疊組成。在一實施例中，UV 可固化黏著膜係對約 365 nm UV 光感光。在此一實施例中，此感光性能使用 LED 光進行固化。

【0045】 在一實施例中，半導體晶圓或基板 604 由適合承受製造製程且供半導體處理層適當放置於上的材料組成。例如，在一實施例中，半導體晶圓或基板 604 由 IV 族系材料組成，例如結晶矽、鍺或矽/鍺，但不以此為限。在一特定實施例中，提供半導體晶圓 604 包括提供單晶矽基板。在一特定實施例中，單晶矽基板摻雜雜質原子。在另一實施例中，半導體晶圓或基板 604 由 III-V 材料組成，例如用於製造發光二極體（LED）的 III-V 材料基板。

【0046】 在一實施例中，半導體晶圓或基板 604 上或內已設置半導體裝置陣列做為部分積體電路 606。半導體裝置實例包括記憶裝置或製造於矽基板且包圍在介電層中的互補式金氧半導體（CMOS）電晶體，但不以此為限。複數個金屬內連線可形成在裝置或電晶體上和周圍介電層中，及可用於電氣耦接裝置或電晶體而形成積體電路 606。構成切割道 607 的材料可類似或和用於形成積體電路 606 的材料一樣。例如，切割

道 607 可由介電材料層、半導體材料層和金屬化層組成。在一實施例中，一或更多切割道 607 包括測試裝置，測試裝置類似積體電路 606 的實際裝置。

【0047】 在一實施例中，進行遮罩電漿處理，以改善遮罩耐蝕性。在此一實施例中，電漿處理製程係在利用雷射劃線製程圖案化遮罩 602（此如以下第 6B 圖所示）前進行。即，在第 6A 圖及第 6B 圖所示製程間進行電漿處理製程。然在此另一實施例中，電漿處理製程係在利用雷射劃線製程圖案化遮罩 602（此如以下第 6B 圖所示）後進行。即，在第 6B 圖及第 6C 圖所示製程間進行電漿處理製程。然在任一情況下，遮罩電漿處理皆在進行基板電漿蝕刻以單粒化晶粒（此如以下第 6C 圖所示）前進行。

【0048】 在一實施例中，遮罩 602 係藉由旋塗光阻層或水溶性遮罩層至積體電路上而形成。在該實施例中，使遮罩 602 接觸電漿處理製程涉及移除旋塗製程形成遮罩 602 時殘留的沉積溶劑。在另一實施例中，遮罩 602 係藉由電漿沉積特夫綸或類特夫綸（ CF_2 ）遮罩材料至積體電路上而形成。在該實施例中，使遮罩 602 接觸電漿處理製程涉及使特夫綸遮罩層 602 縮合，例如藉由密化材料。

【0049】 在一實施例中，遮罩電漿處理涉及使遮罩 602 接觸以氬（Ar）氣、氮（ N_2 ）氣或 Ar 與 N_2 氣組合物為基礎的電漿。在此一實施例中，電漿源功率為約 2000 瓦（W）至 4500 W，偏壓功率為約 1000 W 至 2000 W，氣體壓力為約 100 毫托耳至 250 毫托耳。製程時間為約 30 秒至 90 秒。在一實施

例中，只要源/偏壓功率不會高到因轟擊過強而促使電漿蝕刻移除遮罩，則最好有高源和偏壓功率，因為短暫製程時間可用於達到遮罩「硬化」效果。

【0050】 參照流程圖 500 的操作 504 和對應第 6B 圖，利用雷射劃線製程圖案化遮罩 602，以提供具有間隙 610 的圖案化遮罩 608，而露出積體電路 606 間的半導體晶圓或基板 604 區域。如此，雷射劃線製程用於移除原形成在積體電路 606 間的切割道 607 材料。根據本發明一實施例，如第 6B 圖所示，利用雷射劃線製程圖案化遮罩 602 包括形成溝槽 612，且溝槽 612 部分進入積體電路 606 間的半導體晶圓 604 區域。

【0051】 在其他實施例中，不採行雷射劃線製程，而是藉由如網印圖案化遮罩、光微影或施用預圖案化乾層狀遮罩來圖案化遮罩。在其他實施例中，利用無遮罩製程，例如採用乾層狀底膠層做為遮罩的方式。

【0052】 在一實施例中，利用雷射劃線製程圖案化遮罩 602 包括使用具飛秒範圍脈衝寬度的雷射，即利用飛秒雷射劃線製程。特定言之，具可見光光譜加上紫外線（UV）與紅外線（IR）範圍波長（總體為寬帶光譜）的雷射可用於提供飛秒雷射，即脈衝寬度為飛秒等級（ 10^{-15} 秒）的雷射。在一實施例中，剝蝕並非或實質不為波長相依，因此適合複雜膜，例如遮罩 602、切割道 607 和也許部分半導體晶圓或基板 604 的膜。

【0053】 第 7 圖圖示根據本發明一實施例，使用飛秒範圍的雷射脈衝對照較長頻率的作用。參照第 7 圖，對照較長脈衝

寬度（例如以皮秒處理通孔 700B 造成的破壞 702B 和以奈秒處理通孔 700A 造成的顯著破壞 702A），使用飛秒範圍的雷射脈衝寬度，可減輕或消除熱破壞問題（例如以飛秒處理通孔 700C 乃最小化成無破壞 702C）。如第 7 圖所示，消除或減輕通孔 700C 形成期間的破壞係因缺少低能再耦合（如皮秒基雷射剝蝕所見）或熱平衡（如奈秒基雷射剝蝕所見）所致。

【0054】 雷射參數選擇（例如脈衝寬度）對開發成功的雷射劃線與切割製程而言至關重要，藉此可使碎片、微裂和脫層減至最少，以達成乾淨的雷射劃線切割。雷射劃線切割越乾淨，用以最終晶粒單粒化的蝕刻製程進行越平順。在半導體裝置晶圓中，通常有許多不同材料類型（例如導體、絕緣體、半導體）和厚度的功能層置於晶圓上。此類材料可包括有機材料（例如聚合物）、金屬或無機介電質（例如二氧化矽和氮化矽），但不以此為限。

【0055】 置於晶圓或基板上的個別積體電路間的切割道可包括類似或和積體電路本身一樣的層。例如，第 8 圖為根據本發明一實施例的材料堆疊截面圖，材料堆疊可用於半導體晶圓或基板的切割道區域。

【0056】 參照第 8 圖，切割道區域 800 包括矽基板頂部 802、第一二氧化矽層 804、第一蝕刻終止層 806、第一低 K 介電層 808（例如介電常數小於二氧化矽的介電常數 4.0）、第二蝕刻終止層 810、第二低 K 介電層 812、第三蝕刻終止層 814、無摻雜矽石玻璃（USG）層 816、第二二氧化矽層 818 和遮罩層 820，並圖示合理相對厚度。銅金屬化層 822 置於第一與第

三蝕刻終止層 806、814 間且穿過第二蝕刻終止層 810。在一特定實施例中，第一、第二和第三蝕刻終止層 806、810、814 由氮化矽組成，低 K 介電層 808、812 由碳摻雜氧化矽材料組成。

【0057】 在習知雷射照射（例如奈秒基或皮秒基雷射照射）下，切割道 800 的材料在光吸收和剝蝕機制方面的行為相當不同。例如，介電層（例如二氧化矽）在正常條件下對所有市售雷射波長本質上係透明的。反之，金屬、有機（例如低 K 材料）和矽很容易耦合光子，特別係回應奈秒基或皮秒基雷射照射時。例如，第 9 圖包括根據本發明一實施例，結晶矽（c-Si，902）、銅（Cu，904）、結晶二氧化矽（c-SiO₂，906）和無定形二氧化矽（a-SiO₂，908）的吸收係數隨光子能變化作圖 900。第 10 圖係顯示特定雷射的雷射強度為雷射脈衝能量、雷射脈衝寬度和雷射光束半徑的函數關係的方程式 1000。

【0058】 利用方程式 1000 和吸收係數作圖 900，在一實施例中，飛秒雷射應用製程的參數可選擇成對無機與有機介電質、金屬和半導體有本質上共同的剝蝕作用，即使此類材料的一般能量吸收特性在某些條件下大不相同。例如，二氧化矽的吸收率為非線性，在適當雷射剝蝕參數下可隨有機介電質、半導體和金屬的吸收率變得更線性。在此一實施例中，高強度和短脈衝寬度飛秒基雷射製程用於剝蝕層堆疊，包括二氧化矽層和一或更多有機介電質、半導體或金屬。在一特定實施例中，約小於或等於 400 飛秒的脈衝用於飛秒基雷射照射製程，以移除遮罩、切割道和部分矽基板。

【0059】 反之，若選擇非最佳雷射參數，則雷射剝蝕製程會對包含二或更多無機介電質、有機介電質、半導體或金屬的堆疊結構造成脫層問題。例如，雷射會穿透高能隙介電質（例如能隙約 9 電子伏特（eV）的二氧化矽）而無法測量吸收。然雷射能會被底下金屬或矽層吸收，致使金屬或矽層大量汽化。汽化將產生高壓而剝離上面二氧化矽介電層且可能造成嚴重的介層脫層與微裂。在一實施例中，儘管皮秒雷射照射製程會導致複雜堆疊微裂和脫層，然已證實飛秒雷射照射製程不會對相同材料堆疊造成微裂及脫層。

【0060】 為能直接剝蝕介電層，需離子化介電材料，使介電材料強烈吸收光子而表現得像導電材料。在最終剝蝕介電層前，吸收會阻擋大部分的雷射能穿透底下矽或金屬層。在一實施例中，當雷射強度夠高來引發光子-離子化及衝擊無機介電材料離子化時，可離子化無機介電質。

【0061】 根據本發明一實施例，適合的飛秒雷射製程特徵在於高峰強度（輻照度），此通常會造成各種材料的非線性交互作用。在此一實施例中，飛秒雷射源的脈衝寬度為約 10 飛秒至 500 飛秒，但較佳為 100 飛秒至 400 飛秒。在一實施例中，飛秒雷射源的波長為約 1570 奈米至 200 奈米，但較佳為 540 奈米至 250 奈米。在一實施例中，雷射和對應光學系統於工作表面提供約 3 微米至 15 微米的焦點，但較佳為約 5 微米至 10 微米。

【0062】 工作表面的空間光束分佈可為單模（高斯）或具有塑形高帽分佈。在一實施例中，雷射源的脈波重複率為約 200

千赫(kHz)至 10 兆赫(MHz)，但較佳為約 500 kHz 至 5 MHz。在一實施例中，雷射源於工作表面輸送的脈衝能量為約 0.5 微焦耳(μJ)至 100 μJ ，但較佳為約 1 μJ 至 5 μJ 。在一實施例中，雷射劃線製程以約 500 毫米/秒至 5 公尺/秒的速度沿著工件表面進行，但較佳為約 600 毫米/秒至 2 公尺/秒。

【0063】 劃線製程可只在單次通過或多次通過時進行，但在一實施例中，較佳為通過 1 至 2 次。在一實施例中，工件中的劃線深度為約 5 微米至 50 微米深，較佳為約 10 微米至 20 微米深。可按特定脈波重複率以一連串單一脈衝或一連串脈衝猝發來施加雷射。在一實施例中，產生的雷射光束切口寬度為約 2 微米至 15 微米，但在矽晶圓劃線/切割中，於裝置/矽界面測量的切口寬度較佳為約 6 微米至 10 微米。

【0064】 雷射參數可選擇以獲得益處和優勢，例如在直接剝蝕無機介電質前，提供夠高的雷射強度來達成離子化無機介電質（例如二氧化矽），及使下層破壞引起的脫層和碎片減至最少。又，參數可選擇以利用精確控制的剝蝕寬度（例如切口寬度）和深度，提供工業應用有意義的製程產量。如上所述，飛秒基雷射遠比皮秒基和奈秒基雷射剝蝕製程適合提供此優勢。然即使在飛秒基雷射剝蝕光譜中，某些波長可能提供較其他波長佳的性能。例如，在一實施例中，波長接近或為 UV 範圍的飛秒基雷射製程提供比波長接近或為 IR 範圍的飛秒基雷射製程還乾淨的剝蝕製程。在此一特定實施例中，適合半導體晶圓或基板劃線的飛秒基雷射製程係應用波長約小於或等於 540 奈米的雷射。在此一特定實施例中，採

用約小於或等於 400 飛秒的雷射脈衝，且雷射波長約小於或等於 540 奈米。然在一替代實施例中，採用雙雷射波長（例如結合 IR 雷射和 UV 雷射）。

【0065】 再次參照第 6B 圖，可在雷射劃線後、但在電漿蝕刻（如第 6C 圖所示）前，選擇性進行中間遮罩打開後清洗操作。在一實施例中，遮罩打開後清洗操作係電漿基清洗製程。在第一實施例中，如下所述，電漿基清洗製程會與間隙 610 露出的基板 604 區域反應。在反應電漿基清洗製程中，清洗製程本身將於基板 604 中形成或擴大溝槽 612，因為反應電漿基清洗操作至少有點為基板 604 的蝕刻劑。在第二不同實施例中，亦如下所述，電漿基清洗製程不與間隙 610 露出的基板 604 區域反應。

【0066】 根據第一實施例，電漿基清洗製程與基板 604 的露出區域反應係因為清洗製程期間會部分蝕刻露出區域。在此一實施例中，Ar 或另一不反應氣體（或混合物）結合 SF₆ 用於高偏壓電漿處理，以清洗刻劃開口。在高偏壓功率下使用 Ar+SF₆ 混合氣體的電漿處理乃進行以轟擊遮罩打開區域而達成清洗遮罩打開區域的目的。在反應貫穿製程中，Ar 與 SF₆ 的物理轟擊和 SF₆ 與 F 離子的化學蝕刻均有助於清洗遮罩打開區域。此方式適合光阻或電漿沉積特夫綸遮罩 602，其中貫穿處理將造成相當一致的遮罩厚度減小和溫和的 Si 蝕刻。然蝕穿製程未必最適合水溶性遮罩材料。

【0067】 根據第二實施例，電漿基清洗製程不與基板 604 的露出區域反應係因為清洗製程期間不會或只略微蝕刻露出區

域。在此一實施例中，只利用不反應氣體電漿清洗。例如，Ar 或另一不反應氣體（或混合物）用於進行高偏壓電漿處理浴，使遮罩縮合及清洗刻劃開口。此方式適合水溶性遮罩或薄化電漿沉積特夫綸 602。在後者的一示例性實施例中，SF₆+Ar 貫穿清洗製程對剛沉積的電漿基特夫綸的蝕刻速率為約 7.66 微米/分鐘。反之，僅 Ar 貫穿清洗製程的蝕刻速率為約 0.85 微米/分鐘。在此另一實施例中，採用分開的遮罩縮合及劃線溝槽清洗操作，例如先進行 Ar 或不反應氣體（或混合物）高偏壓電漿處理使遮罩縮合，再進行 Ar+SF₆ 電漿清洗雷射劃線溝槽。此實施例適合當遮罩材料太厚，Ar 清洗無法充分清洗溝槽的情況。薄遮罩可改善清洗效率，但遮罩蝕刻速率低很多，且在後續深矽蝕刻製程中幾乎沒消耗。在此又一實施例中，進行三操作清洗：(a)Ar 或不反應氣體（或混合物）高偏壓電漿處理使遮罩縮合、(b)Ar+SF₆ 高偏壓電漿清洗雷射劃線溝槽，及(c)Ar 或不反應氣體（或混合物）高偏壓電漿處理使遮罩縮合。

【0068】 參照流程圖 500 的操作 506 和對應第 6C 圖，經由圖案化遮罩 608 中的間隙 610 蝕刻半導體晶圓 604，以單粒化積體電路 606。根據本發明一實施例，如第 6C 圖所示，蝕刻半導體晶圓 604 包括蝕刻以雷射劃線製程所形成的溝槽 612（及可能經反應遮罩打開後清洗操作擴大），以最終完全蝕穿半導體晶圓 604。

【0069】 在一實施例中，蝕刻半導體晶圓 604 包括利用電漿蝕刻製程。在一實施例中，採行穿矽通孔型蝕刻製程。例如，

在一特定實施例中，半導體晶圓 604 的材料蝕刻速率大於 25 微米/分鐘。極高密度電漿源可用於晶粒單粒化製程的電漿蝕刻部分。適於進行電漿蝕刻製程的處理腔室一例為取自美國加州 Sunnyvale 的應用材料公司的 Applied Centura® Silvia™ 蝕刻系統。Applied Centura® Silvia™ 蝕刻系統結合電容與感應射頻 (RF) 耦合，此比僅利用電容耦合更能個別控制離子密度和離子能量，即使有磁性增強改善亦然。此結合能有效使離子密度和離子能量去耦合，即使在很低的壓力下，也可達到相當高密度的電漿，又無可能有害的高 DC 偏壓位準。此將獲得異常寬廣的製程視窗。然可使用任何能蝕刻矽的電漿蝕刻腔室。在一示例性實施例中，深矽蝕刻用於以比習知矽蝕刻速率快約 40% 的蝕刻速率蝕刻單晶矽基板或晶圓 604，同時維持實質精確的輪廓控制和實際無扇形扭曲 (scallop-free) 的側壁。在一特定實施例中，採行穿矽通孔型蝕刻製程。蝕刻製程係應用反應氣體產生的電漿，反應氣體通常係氟系氣體，例如 SF₆、C₄F₈、CHF₃、XeF₂ 或任何能以較快蝕刻速率蝕刻矽的其他反應氣體。在一實施例中，如第 6C 圖所示，在單粒化製程後，移除遮罩層 608。

【0070】 在另一實施例中，第 6C 圖所示電漿蝕刻操作採用習知 Bosch 型沉積/蝕刻/沉積製程來蝕穿基板 604。通常，Bosch 型製程由三個子操作組成：沉積、方向性轟擊蝕刻及等向性化學蝕刻，此重複 (循環) 多次，直到蝕穿矽為止。然 Bosch 製程會造成側壁表面產生粗糙扇形扭曲結構。此尤其係因雷射劃線製程產生的開放溝槽遠比微影定義蝕刻製程粗糙所

致。粗糙晶粒邊緣將導致晶粒斷裂強度低於預期。此外，Bosch 製程的沉積子步驟會產生富含氟的特夫綸型有機膜以保護已蝕刻側壁，當蝕刻前緣進行時，此並不會自側壁移除（通常此聚合物只定期自異向性蝕刻溝槽底部移除）。故在異向性 Bosch 型電漿蝕刻操作後，積體電路呈單粒化形式。隨後，在一實施例中，施用等向性化學濕蝕刻或電漿蝕刻，以自側壁溫和蝕去薄基板層（例如矽），使側壁變平滑。在一實施例中，等向性蝕刻部分係應用 NF_3 與 CF_4 組合物產生的電漿做為側壁平滑處理蝕刻劑。又，利用高偏壓功率，例如 1000 W。在一實施例中，使用 NF_3 與 CF_4 組合物產生的電漿做為側壁平滑蝕刻劑的優點在於低等向性蝕刻速率（約 0.15 微米/分鐘），因而更好控制平滑處理。高偏壓功率施加以達較高方向性蝕刻速率來蝕去側壁的隆起與外緣。

【0071】 參照流程圖 500 的操作 508 和第 6C 圖，利用清洗操作移除電漿蝕刻操作 506 期間產生的蝕刻殘留物。在一實施例中，移除蝕刻殘留物涉及自單粒化積體電路 606 的側壁移除氟（F）系殘留物。在一實施例中，移除蝕刻殘留物涉及利用電漿清洗製程，例如 O_2 電漿清洗製程、 Ar/O_2 電漿清洗製程、形成氣體（ H_2/N_2 ）電漿清洗製程、 $\text{Ar}/\text{O}_2/\text{SF}_6$ 電漿清洗製程、 CF_4/SF_6 電漿清洗製程或上述二或更多製程組合物，但不以此為限。在一實施例中，電漿清洗如同在單粒化用電漿蝕刻腔室中原位後處理進行。在另一實施例中，電漿清洗係在不同於單粒化用電漿蝕刻腔室的蝕刻腔室中進行。

【0072】 再次參照第 6C 圖，在一實施例中，製程進一步涉及

在電漿蝕刻半導體晶圓後，移除圖案化遮罩 608。在此一實施例中，在移除圖案化遮罩 608 前，自單粒化積體電路 606 的側壁移除蝕刻殘留物。在此另一實施例中，在移除圖案化遮罩 608 後，自單粒化積體電路 606 的側壁移除蝕刻殘留物。

【0073】 根據本發明一實施例，電漿清洗操作係以 O_2 及/或形成氣體電漿處理為基礎。在電漿蝕刻/單粒化後，以歐傑電子光譜儀 (AES) (表面感測元素成分分析技術) 測定側壁殘留物的 F 含量為多於約 10 原子%。利用電漿清洗方式，側壁殘留物的 F 含量將減至少於約 1%。在一實施例中，一或更多的數種 O_2 基電漿後處理變形亦適用、但不限於：(a)相繼將處理配方從低壓改成高壓 (例如分別為更多物理離子轟擊及更多化學處理)、(b)加入 Ar，以提供 O_2/Ar 混合物、(c)多次循環低壓與高壓順序配方，及/或(d)高源與偏壓功率。在另一實施例中，低壓/高壓 O_2 電漿處理、然後化學溼潤清洗的操作用於完全移除殘留 F 而達偵測極限以下。

【0074】 在又一實施例中，使用還原 (例如含 H) 化學品來移除 F。在此一實施例中，形成氣體 (例如少於或等於約 5% 的 H_2 稀釋於 N_2 中) 用作還原化學品。其他實施例包括使用具類似 H_2 濃度、水蒸氣或高濃度 H_2 (包括純 H_2) 的 He/ H_2 混合物。在一實施例中，僅以形成氣體處理的 F 濃度減至低於 1%。

【0075】 故再次參照流程圖 500 和第 6A 圖至第 6C 圖，晶圓切割可藉由初始雷射剝穿遮罩層、通過晶圓切割道 (包括金屬化層) 並部分進入矽基板而進行。雷射脈衝寬度可選擇飛

秒範圍。接著進行後續穿矽深電漿蝕刻，以完成晶粒單粒化。在電漿蝕刻以單粒化個別積體電路後，進行殘留物清洗操作。根據本發明一實施例，用於切割的材料堆疊特例將參照第 11A 圖至第 11D 圖描述於後。

【0076】 參照第 11A 圖，用於混合式雷射剝蝕與電漿蝕刻切割的材料堆疊包括遮罩層 1102、裝置層 1104 和基板 1106。遮罩層、裝置層和基板設在晶粒附接膜 1108 上，晶粒附接膜 1108 固定於背襯帶 1110。在一實施例中，遮罩層 1102 係光阻層、電漿沉積特夫綸層、水溶性層或 UV 可固化層，如以上遮罩 602 相關敘述。裝置層 1104 包括置於一或更多金屬層（例如銅層）上面的無機介電層（例如二氧化矽）和一或更多低 K 介電層（例如碳摻雜氧化層）。裝置層 1104 亦包括排列在積體電路間的切割道，切割道包括和積體電路一樣或相仿層。基板 1106 係大塊單晶矽基板。

【0077】 在一實施例中，大塊單晶矽基板 1106 在固定於晶粒附接膜 1108 前從背側薄化。可以背側研磨製程進行薄化。在一實施例中，大塊單晶矽基板 1106 薄化成厚度約 50-100 微米。重要的是應注意在一實施例中，薄化係在雷射剝蝕、電漿蝕刻切割和電漿清洗製程前進行。在一實施例中，遮罩層 1102 的厚度為約 20 微米，裝置層 1104 的厚度為約 2-3 微米。在一實施例中，晶粒附接膜 1108（或任何能接合薄化或薄晶圓或基板與背襯帶 1110 的適合替代物）的厚度為約 20 微米。

【0078】 參照第 11B 圖，利用雷射劃線製程，例如飛秒雷射劃線製程 1112，圖案化遮罩層 1102、裝置層 1104 和部分

基板 1106，以於基板 1106 中形成溝槽 1114。

【0079】 參照第 11C 圖，穿矽深電漿蝕刻製程 1116 用於將溝槽 1114 往下擴大至晶粒附接膜 1108，而露出晶粒附接膜 1108 的頂部及單粒化矽基板 1106。在一實施例中，在穿矽深電漿蝕刻製程 1116 期間，裝置層 1104 被電漿處理遮罩層 1102 保護。根據本發明一實施例，在深電漿蝕刻製程 1116 後，進行殘留物清洗操作，此實例和時序將描述於流程圖 500 的操作 508。

【0080】 參照第 11D 圖，單粒化製程進一步包括圖案化晶粒附接膜 1108，以露出背襯帶 1110 的頂部及單粒化晶粒附接膜 1108。在一實施例中，利用雷射製程或蝕刻製程單粒化晶粒附接膜。進一步實施例可包括隨後自背襯帶 1110 移除基板 1106 的單粒化部分（例如個別積體電路）。在一實施例中，單粒化晶粒附接膜 1108 保留在基板 1106 的單粒化部分背側。其他實施例可包括自裝置層 1104 移除遮罩層 1102。在一實施例中，自背襯帶 1110 移除單粒化積體電路以供封裝。在此一實施例中，圖案化晶粒附接膜 1108 保留在各積體電路背側且包括在最後封裝內。然在另一實施例中，圖案化晶粒附接膜 1108 將於單粒化製程期間或之後移除。在一實施例中，在遮罩移除前或後，進行殘留物清洗操作（如流程圖 500 的操作 508 相關敘述）。在一實施例中，在圖案化晶粒附接膜前或後，進行殘留物清洗操作。

【0081】 單一製程工具可配置以進行混合式雷射剝蝕、電漿蝕刻與殘留物移除單粒化製程中的許多或所有操作。例如，

第 12 圖圖示根據本發明一實施例，用於雷射與電漿切割晶圓或基板的工具佈局方塊圖。

【0082】 參照第 12 圖，製程工具 1200 包括工作介面 (FI) 1202，工作介面 1202 具有複數個負載鎖定室 1204 與之耦接。叢集工具 1206 耦接工作介面 1202。叢集工具 1206 包括一或更多電漿蝕刻腔室，例如電漿蝕刻腔室 1208。雷射劃線設備 1210 亦耦接至工作介面 1202。在一實施例中，如第 12 圖所示，製程工具 1200 的整體佔地面積為約 3500 毫米 (3.5 公尺) × 約 3800 毫米 (3.8 公尺)。

【0083】 在一實施例中，雷射劃線設備 1210 內放置飛秒基雷射。飛秒基雷射適於進行混合式雷射與蝕刻單粒化製程的雷射剝蝕部分，例如上述雷射剝蝕製程。在一實施例中，雷射劃線設備 1200 亦包括移動平臺，移動平臺配置以相對飛秒基雷射移動晶圓或基板 (或晶圓或基板載具)。在一特定實施例中，飛秒基雷射亦可移動。在一實施例中，如第 12 圖所示，雷射劃線設備 1210 的整體佔地面積為約 2240 毫米 × 約 1270 毫米。

【0084】 在一實施例中，一或更多電漿蝕刻腔室 1208 配置以經由圖案化遮罩中的間隙蝕刻晶圓或基板，以單粒化複數個積體電路。在此一實施例中，電漿蝕刻腔室 1208 配置以進行深矽蝕刻製程。在一特定實施例中，電漿蝕刻腔室 1208 係取自美國加州 Sunnyvale 的應用材料公司的 Applied Centura® Silvia™ 蝕刻系統。蝕刻腔室可特別設計用於深矽蝕刻，以製造位於單晶矽基板或晶圓上或內的單粒化積體電路。在一實

施例中，電漿蝕刻腔室 1208 包括高密度電漿源，以促進高矽蝕刻速率。在一實施例中，製程工具 1200 的叢集工具 1206 部分包括超過一個蝕刻腔室，以使單粒化或切割製程達高製造產量。然在另一實施例中，專用電漿蝕刻腔室配置以進行蝕刻殘留物移除操作。

【0085】 工作介面 1202 可為適合的大氣埠，以接合具雷射劃線設備 1210 的外側製造設施和叢集工具 1206。工作介面 1202 可包括具有手臂或葉片的機器人，以將晶圓（或晶圓載具）從儲放單元（例如前開式晶圓盒）傳送到叢集工具 1206 或雷射劃線設備 1210 或二者。

【0086】 叢集工具 1206 可包括其他適合執行單粒化方法中的功能的腔室。例如，在一實施例中，可包括沉積腔室 1212 來代替附加蝕刻腔室。沉積腔室 1212 可配置以在雷射劃線晶圓或基板前，沉積遮罩至晶圓或基板的裝置層上或上面。在另一實施例中，可包括溼潤/乾燥站 1214 來代替附加蝕刻腔室。濕潤/乾燥站適於在基板或晶圓的雷射劃線與電漿蝕刻單粒化製程後，清洗殘餘物和破片、或移除遮罩。在一實施例中，亦包括測量站做為製程工具 1200 的部件。

【0087】 本發明的實施例可提供做為電腦程式產品或軟體，電腦程式產品或軟體可包括內含儲存指令的機器可讀取媒體，用以程式化電腦系統（或其他電子裝置）而進行根據本發明實施例的製程。在一實施例中，電腦系統耦接第 12 圖所述製程工具 1200。機器可讀取媒體包括任何用來儲存或傳遞機器（例如電腦）可讀取形式資訊的機構。例如，機器可讀

取（例如電腦可讀取）媒體包括機器（例如電腦）可讀取儲存媒體（例如唯讀記憶體（ROM）、隨機存取記憶體（RAM）、磁碟儲存媒體、光學儲存媒體、快閃記憶裝置等）、機器（例如電腦）可讀取傳輸媒體（電子、光學、聲音或其他形式的傳播訊號（例如紅外線訊號、數位訊號等））等。

【0088】 第 13 圖為示例性電腦系統 1300 的機器示意圖，電腦系統 1300 可執行指令集，以促使機器進行本文所述任一或更多方法。在替代實施例中，機器可連接（例如網路聯結）至區域網路（LAN）、企業內部網路、企業外部網路或網際網路中的其他機器。機器可由主從網路環境中的伺服器或客戶機操作，或當作同級間（或分散式）網路環境中的同級點機器。機器可為個人電腦（PC）、平板 PC、機上盒（STB）、個人數位助理（PDA）、手機、網路設備、伺服器、網路路由器、交換機或橋接器，或任何能（循序或按其他方式）執行指令集的機器，指令集指定機器執行動作。另外，雖然只圖示單一機器，但「機器」一詞亦應視同包括任何機器（例如電腦）的集合，該等機器個別或共同執行一組（或多組）指令，以進行本文所述任一或更多方法。

【0089】 示例性電腦系統 1300 包括處理器 1302、主記憶體 1304（例如唯讀記憶體（ROM）、快閃記憶體、諸如同步 DRAM（SDRAM）或 Rambus DRAM（RDRAM）等動態隨機存取記憶體（DRAM））、靜態記憶體 1306（例如快閃記憶體、靜態隨機存取記憶體（SRAM）等）和次記憶體 1318（例如資料儲存裝置），處理器 1302、記憶體 1304、1306、1318 透過

匯流排 1330 互相通信連接。

【0090】 處理器 1302 代表一或更多通用處理裝置，例如微處理器、中央處理單元等。更特別地，處理器 1302 可為複雜指令集運算（CISC）微處理器、精簡指令集運算（RISC）微處理器、超長指令字組（VLIW）微處理器、實行其他指令集的處理器或實行指令集組合的處理器。處理器 1302 亦可為一或更多特殊用途處理裝置，例如特定功能積體電路（ASIC）、場可程式閘陣列（FPGA）、數位訊號處理器（DSP）、網路處理器等。處理器 1302 配置以執行處理邏輯 1326，以進行本文所述操作。

【0091】 電腦系統 1300 可進一步包括網路介面裝置 1308。電腦系統 1300 亦可包括視訊顯示單元 1310（例如液晶顯示器（LCD）、發光二極體顯示器（LED）或陰極射線管（CRT））、文數輸入裝置 1312（例如鍵盤）、游標控制裝置 1314（例如滑鼠）和訊號產生裝置 1316（例如揚聲器）。

【0092】 次記憶體 1318 可包括機器可存取儲存媒體（或更特定言之為電腦可讀取儲存媒體）1332，機器可存取儲存媒體儲存收錄所述任一或更多方法或功能的一或更多組指令（例如軟體 1322）。軟體 1322 亦可完全或至少部分常駐在主記憶體 1304 及/或處理器 1302 內，電腦系統 1300 執行軟體 1322 時，主記憶體 1304 和處理器 1302 亦構成機器可讀取儲存媒體。軟體 1322 可進一步透過網路介面裝置 1308 在網路 1320 上傳送或接收。

【0093】 雖然在一示例性實施例中，電腦可存取儲存媒體

1332 係顯示為單一媒體，但「機器可讀取儲存媒體」一詞應視同包括單一媒體或多個媒體（例如集中式或分散式資料庫及/或相關高速緩衝儲存器和伺服器），用以儲存一或更多組指令。「機器可讀取儲存媒體」一詞亦應視同包括任何能儲存或編碼機器執行的指令集而使機器進行本發明的任一或更多方法的媒體。因此，「機器可讀取儲存媒體」一詞宜視同包括固態記憶體和光學與磁性媒體，但不以此為限。

【0094】 根據本發明一實施例，機器可存取儲存媒體具有儲存指令，用以促使資料處理系統進行切割具複數個積體電路的半導體晶圓的方法。方法涉及在半導體晶圓上面形成遮罩，遮罩包括覆蓋及保護積體電路的層。方法亦涉及利用雷射劃線製程圖案化遮罩，以於遮罩中提供間隙，間隙露出積體電路間的半導體晶圓區域。方法亦涉及經由遮罩中的間隙電漿蝕刻半導體晶圓，以單粒化積體電路。方法亦涉及在電漿蝕刻半導體晶圓後，自單粒化積體電路的側壁移除蝕刻殘留物。

【0095】 故揭示切割半導體晶圓的方法，每一晶圓具有複數個積體電路。

【符號說明】

【0096】

102 帶框

104 支撐帶

106 晶圓

108 晶粒

- 110 側壁
- 202、204 層
- 300 晶圓
- 302 區域
- 304、306 切割道
- 400 遮罩
- 402、404 間隙
- 406 區域
- 500 流程圖
- 502、504、506、508 操作
- 602 遮罩
- 604 晶圓/基板
- 606 積體電路
- 607 切割道
- 608 圖案化遮罩
- 610 間隙
- 612 溝槽
- 700A-C 通孔
- 702A-C 破壞
- 800 切割道
- 802 頂部
- 804、818 二氧化矽層
- 806、810、814 蝕刻終止層
- 808、812 低 K 介電層

- 816 USG 層
- 820 遮罩層
- 822 金屬化層
- 900 作圖
- 902 結晶矽
- 904 銅
- 906 結晶二氧化矽
- 908 無定形二氧化矽
- 1000 方程式
- 1102 遮罩層
- 1104 裝置層
- 1106 基板
- 1108 晶粒附接膜
- 1110 背襯帶
- 1112 雷射劃線製程
- 1114 溝槽
- 1116 電漿蝕刻製程
- 1200 製程工具
- 1202 工作介面
- 1204 負載鎖定室
- 1206 叢集工具
- 1208 電漿蝕刻腔室
- 1210 雷射劃線設備
- 1212 沉積腔室

- 1214 溼潤/乾燥站
- 1300 電腦系統
- 1302 處理器
- 1304、1306、1318 記憶體
- 1308 網路介面裝置
- 1310 視訊顯示單元
- 1312 文數輸入裝置
- 1314 游標控制裝置
- 1316 訊號產生裝置
- 1320 網路
- 1322 軟體
- 1326 邏輯
- 1330 匯流排
- 1332 電腦可存取儲存媒體

【生物材料寄存】

國內寄存資訊【請依寄存機構、日期、號碼順序註記】

無

國外寄存資訊【請依寄存國家、機構、日期、號碼順序註記】

無

【序列表】(請換頁單獨記載)

無

申請專利範圍

1. 一種切割一半導體晶圓的方法，該半導體晶圓包含複數個積體電路，該方法包含下列步驟：

在該半導體晶圓上面形成一遮罩，該遮罩包含一層，該層覆蓋及保護該等積體電路；

利用一雷射劃線製程圖案化該遮罩，以於該遮罩中提供多個間隙，該等間隙露出該等積體電路間的該半導體晶圓的多個區域；

經由該遮罩中的該等間隙電漿蝕刻該半導體晶圓，以單粒化該等積體電路；及

在電漿蝕刻該半導體晶圓後，自該等單粒化積體電路的一側壁移除一蝕刻殘留物。

2. 如請求項 1 所述之方法，其中移除該蝕刻殘留物包含自該等單粒化積體電路的該側壁移除一氟（F）系殘留物。

3. 如請求項 1 所述之方法，其中移除該蝕刻殘留物包含利用一電漿清洗製程，該電漿清洗製程選自由一 O_2 電漿清洗製程、一 Ar/O_2 電漿清洗製程、一形成氣體（ H_2/N_2 ）電漿清洗製程、一 $Ar/O_2/SF_6$ 電漿清洗製程、一 CF_4/SF_6 電漿清洗製程和上述二或更多製程的一組合物所組成的一群組。

4. 如請求項 1 所述之方法，進一步包含下列步驟：

在電漿蝕刻該半導體晶圓後，移除該遮罩，其中自該等

單粒化積體電路的該側壁移除該蝕刻殘留物係在移除該遮罩前進行。

5. 如請求項 1 所述之方法，進一步包含下列步驟：

在電漿蝕刻該半導體晶圓後，移除該遮罩，其中自該等單粒化積體電路的該側壁移除該蝕刻殘留物係在移除該遮罩後進行。

6. 如請求項 1 所述之方法，進一步包含下列步驟：

在電漿蝕刻該半導體晶圓後，移除該遮罩，其中該遮罩係一水溶性遮罩，該移除步驟係利用一水基清洗處理進行。

7. 如請求項 1 所述之方法，其中利用該雷射劃線製程圖案化該遮罩包含在該等積體電路間的該半導體晶圓的該等區域中形成多個溝槽，其中電漿蝕刻該半導體晶圓包含擴大該等溝槽，以形成多個對應溝槽延伸區。

8. 如請求項 7 所述之方法，其中每一溝槽具有一寬度，其中各該對應溝槽延伸區具有該寬度。

9. 一種用於切割一半導體晶圓的系統，該半導體晶圓包含複數個積體電路，該系統包含：

一工作介面；

一雷射劃線設備，該雷射劃線設備耦接該工作介面且包

含一雷射；

一第一電漿蝕刻腔室，該第一電漿蝕刻腔室耦接該工作介面，該第一電漿蝕刻腔室配置以進行一深矽電漿蝕刻操作；及

一第二電漿蝕刻腔室，該第二電漿蝕刻腔室耦接該工作介面，該第二電漿蝕刻腔室配置以進行一蝕刻殘留物移除操作。

10. 如請求項 9 所述之系統，其中該第二電漿蝕刻腔室配置以進行一電漿清洗製程，該電漿清洗製程選自由一 O_2 電漿清洗製程、一 Ar/O_2 電漿清洗製程、一形成氣體 (H_2/N_2) 電漿清洗製程、一 $Ar/O_2/SF_6$ 電漿清洗製程、一 CF_4/SF_6 電漿清洗製程和上述二或更多製程的一組合物所組成的一群組。

11. 如請求項 9 所述之系統，其中該第一電漿蝕刻腔室和該第二電漿蝕刻腔室安放在一叢集工具內，該叢集工具耦接該工作介面，該叢集工具進一步包含：

一沉積腔室，該沉積腔室配置以在該半導體晶圓的該等積體電路上面形成一遮罩層。

12. 如請求項 11 所述之系統，其中該叢集工具進一步包含：

一溼潤/乾燥站，該溼潤/乾燥站配置以在蝕刻該半導體晶圓而單粒化該等積體電路後，移除一水溶性遮罩層。

13. 一種切割一半導體晶圓的方法，該半導體晶圓包含複數個積體電路，該方法包含下列步驟：

提供該半導體晶圓，該半導體晶圓具有一遮罩設置於上，該遮罩包含一層，該層覆蓋及保護該等積體電路；

利用一雷射劃線製程圖案化該遮罩，以於該遮罩中提供多個間隙，該等間隙露出該等積體電路間的該半導體晶圓的多個區域；

經由該遮罩中的該等間隙電漿蝕刻該半導體晶圓，以單粒化該等積體電路；及

在電漿蝕刻該半導體晶圓後，自該等單粒化積體電路的一側壁移除一蝕刻殘留物。

14. 如請求項 13 所述之方法，其中移除該蝕刻殘留物包含自該等單粒化積體電路的該側壁移除一氟（F）系殘留物。

15. 如請求項 13 所述之方法，其中移除該蝕刻殘留物包含利用一電漿清洗製程，該電漿清洗製程選自由一 O_2 電漿清洗製程、一 Ar/O_2 電漿清洗製程、一形成氣體（ H_2/N_2 ）電漿清洗製程、一 $Ar/O_2/SF_6$ 電漿清洗製程、一 CF_4/SF_6 電漿清洗製程和上述二或更多製程的一組合物所組成的一群組。

16. 如請求項 13 所述之方法，進一步包含下列步驟：

在電漿蝕刻該半導體晶圓後，移除該遮罩，其中自該等單粒化積體電路的該側壁移除該蝕刻殘留物係在移除該遮罩

前進行。

17. 如請求項 13 所述之方法，進一步包含下列步驟：

在電漿蝕刻該半導體晶圓後，移除該遮罩，其中自該等單粒化積體電路的該側壁移除該蝕刻殘留物係在移除該遮罩後進行。

18. 如請求項 13 所述之方法，進一步包含下列步驟：

在電漿蝕刻該半導體晶圓後，移除該遮罩，其中該遮罩係一水溶性遮罩，該移除步驟係利用一水基清洗處理進行。

19. 如請求項 13 所述之方法，其中利用該雷射劃線製程圖案化該遮罩包含在該等積體電路間的該半導體晶圓的該等區域中形成多個溝槽，其中電漿蝕刻該半導體晶圓包含擴大該等溝槽，以形成多個對應溝槽延伸區。

20. 如請求項 19 所述之方法，其中每一溝槽具有一寬度，其中各該對應溝槽延伸區具有該寬度。

21. 一種切割一半導體晶圓的方法，該半導體晶圓包含複數個積體電路，該方法包含下列步驟：

提供該半導體晶圓，該半導體晶圓具有一遮罩設置於上，該遮罩包含一層，該層覆蓋及保護該等積體電路，其中多個間隙提供於該遮罩中，該等間隙露出該等積體電路間的

該半導體晶圓的多個區域；

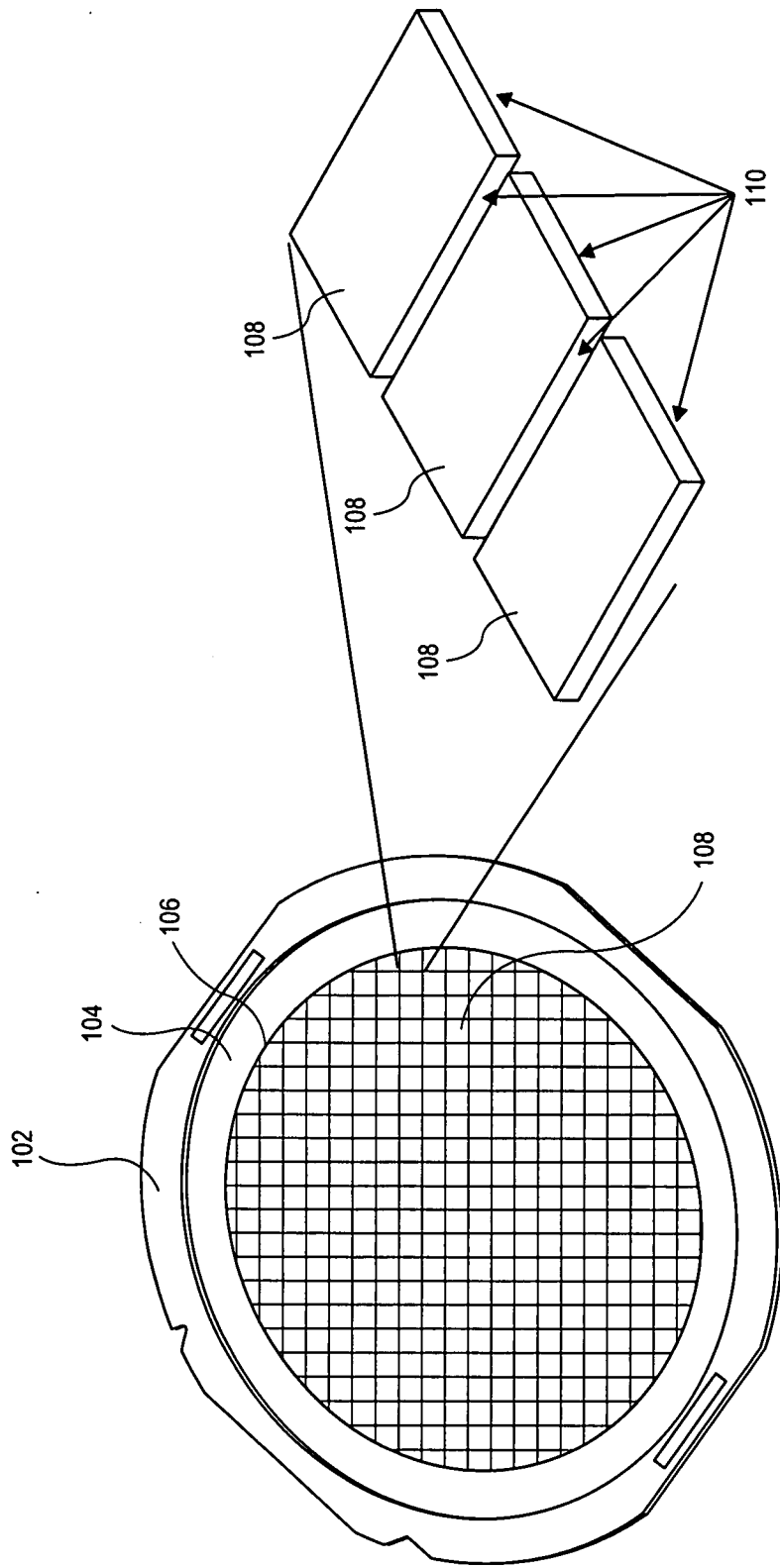
經由該遮罩中的該等間隙電漿蝕刻該半導體晶圓，以單粒化該等積體電路；及

在電漿蝕刻該半導體晶圓後，自該等單粒化積體電路的一側壁移除一蝕刻殘留物。

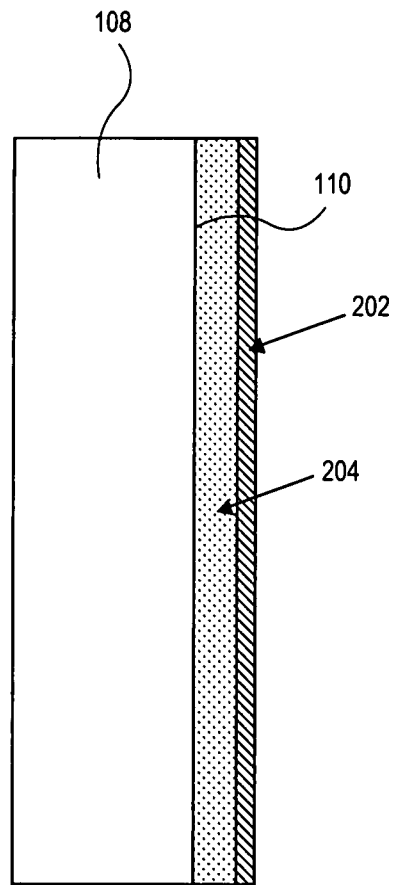
22. 如請求項 21 所述之方法，其中移除該蝕刻殘留物包含自該等單粒化積體電路的該側壁移除一氟（F）系殘留物。

23. 如請求項 21 所述之方法，其中移除該蝕刻殘留物包含利用一電漿清洗製程，該電漿清洗製程選自由一 O_2 電漿清洗製程、一 Ar/O_2 電漿清洗製程、一形成氣體（ H_2/N_2 ）電漿清洗製程、一 $Ar/O_2/SF_6$ 電漿清洗製程、一 CF_4/SF_6 電漿清洗製程和上述二或更多製程的一組合物所組成的一群組。

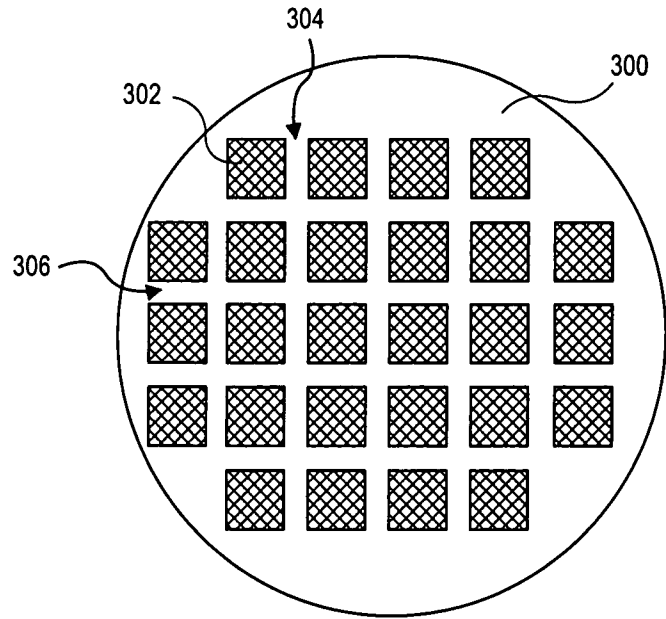
圖式



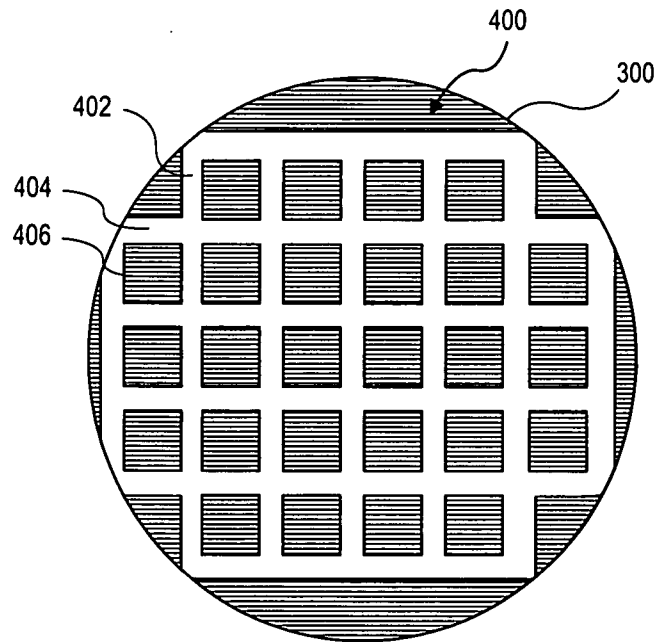
第1圖



第2圖

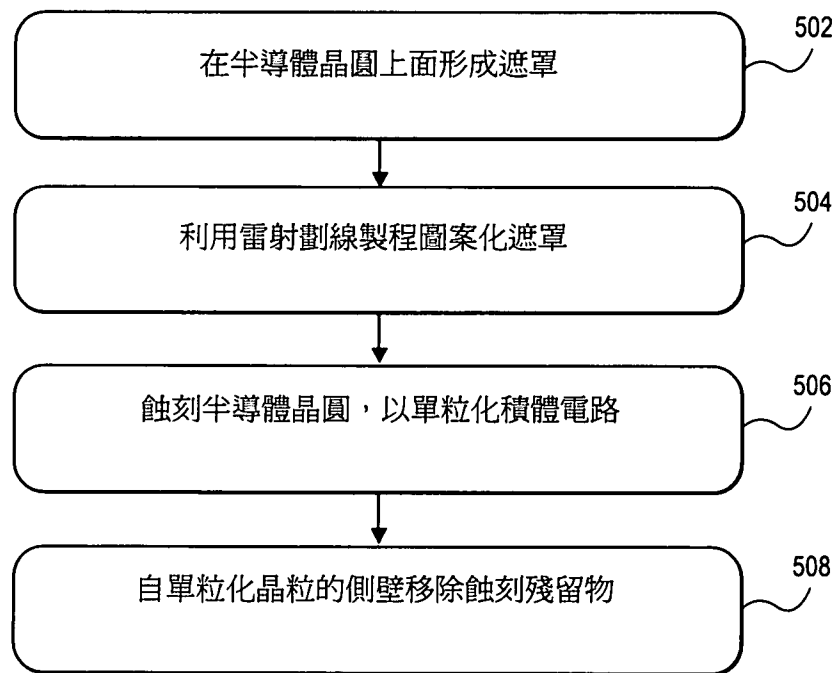


第3圖

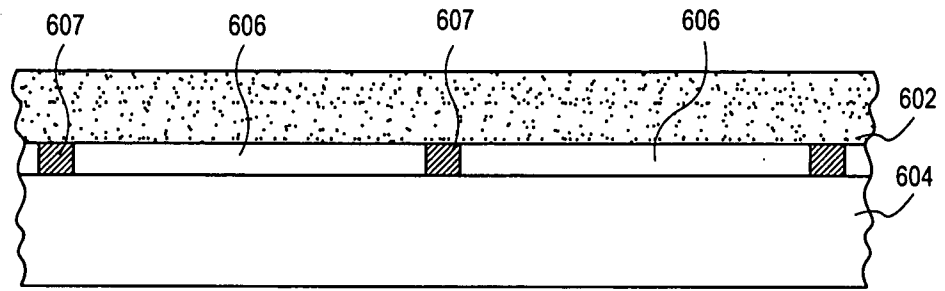


第4圖

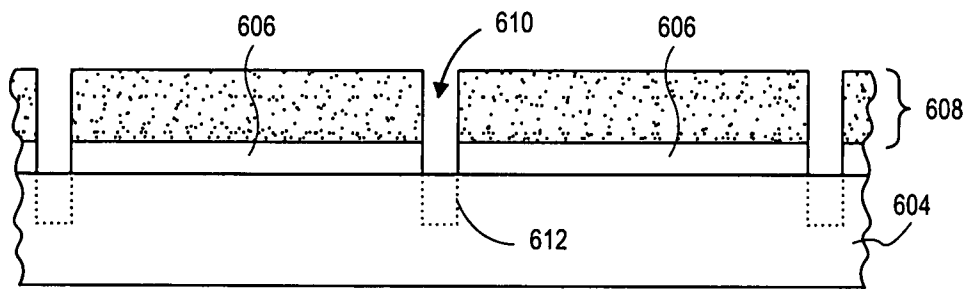
流程圖 500



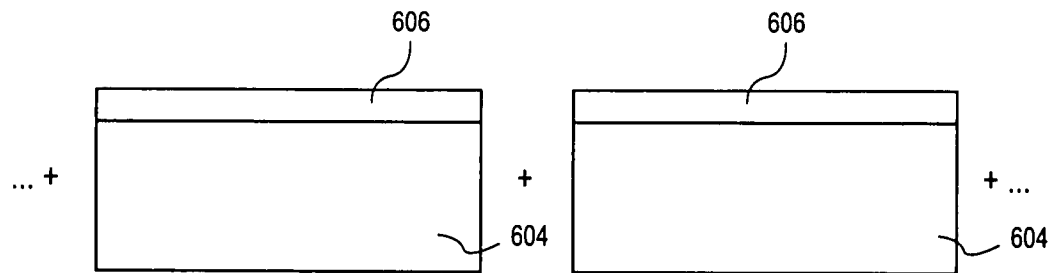
第5圖



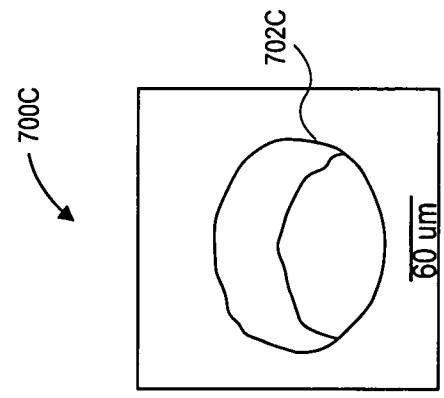
第6A圖



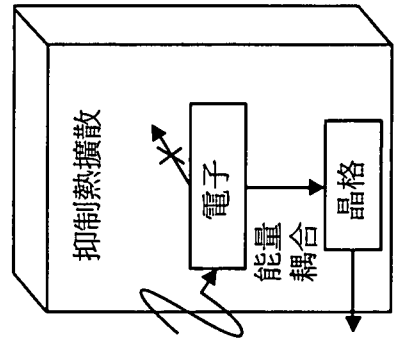
第6B圖



第6C圖



飛秒

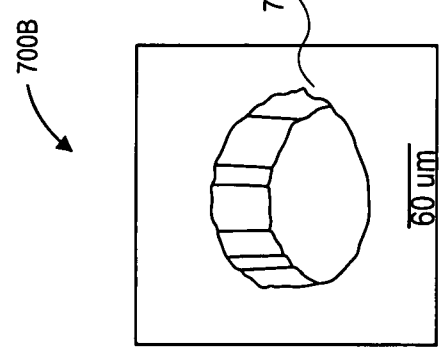


光子

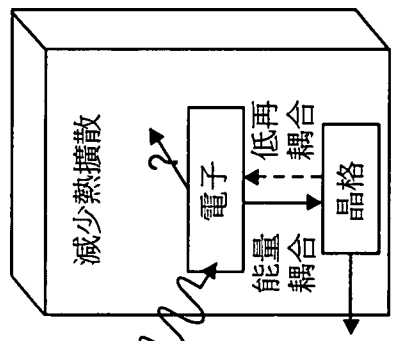
剝蝕

沒有熔化

汽化



皮秒

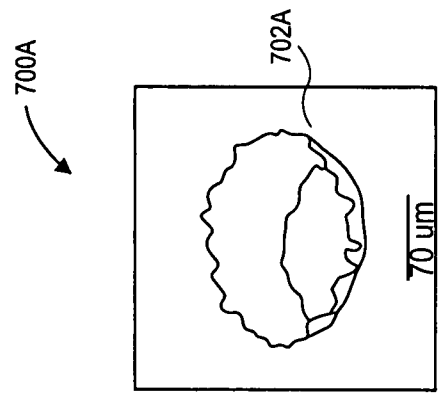


光子

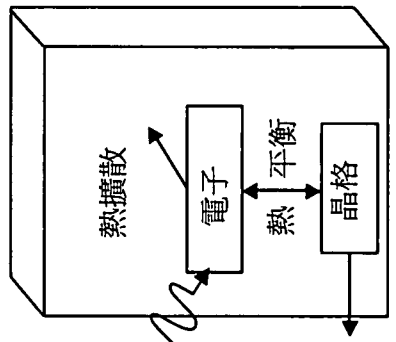
剝蝕

部分熔化

汽化



奈秒



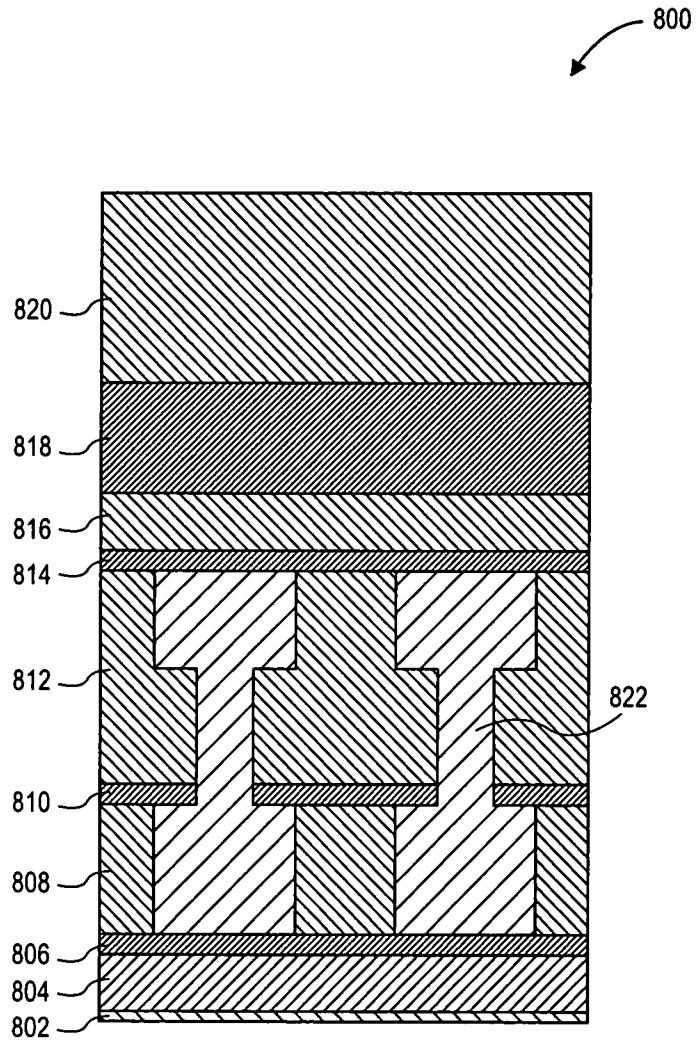
光子

剝蝕

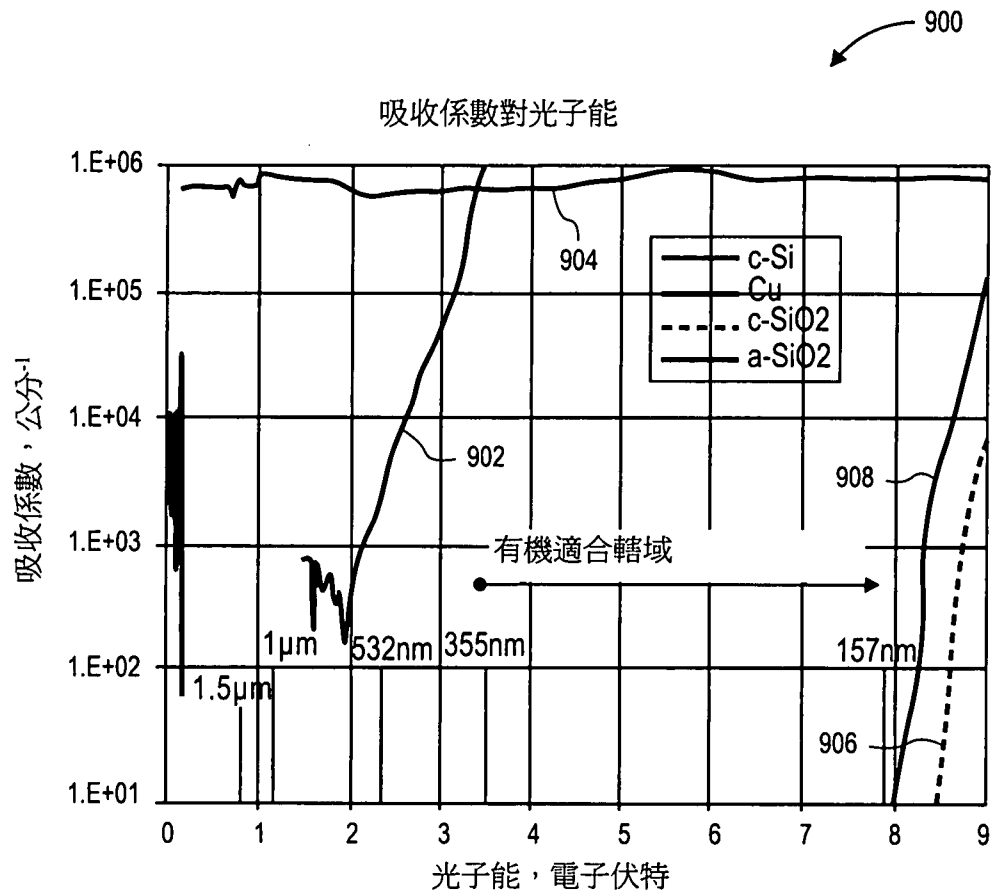
熔化

汽化

第7圖



第8圖



第9圖

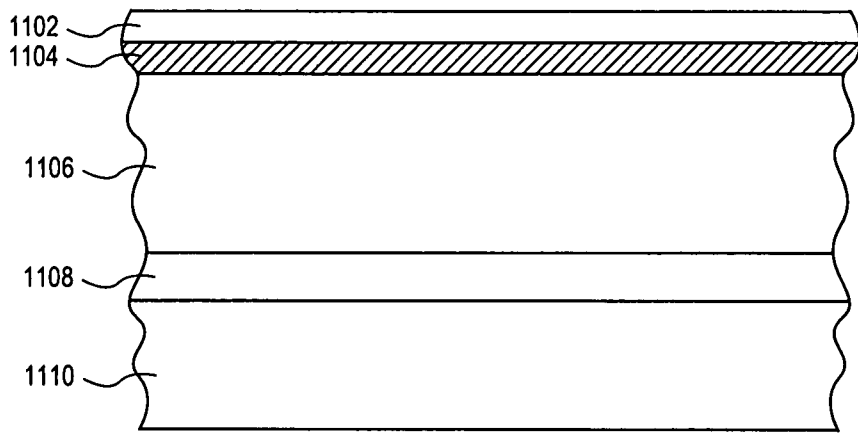
脈衝能量

$$I = \frac{E_p}{\pi \cdot w_0^2 \cdot \tau}$$

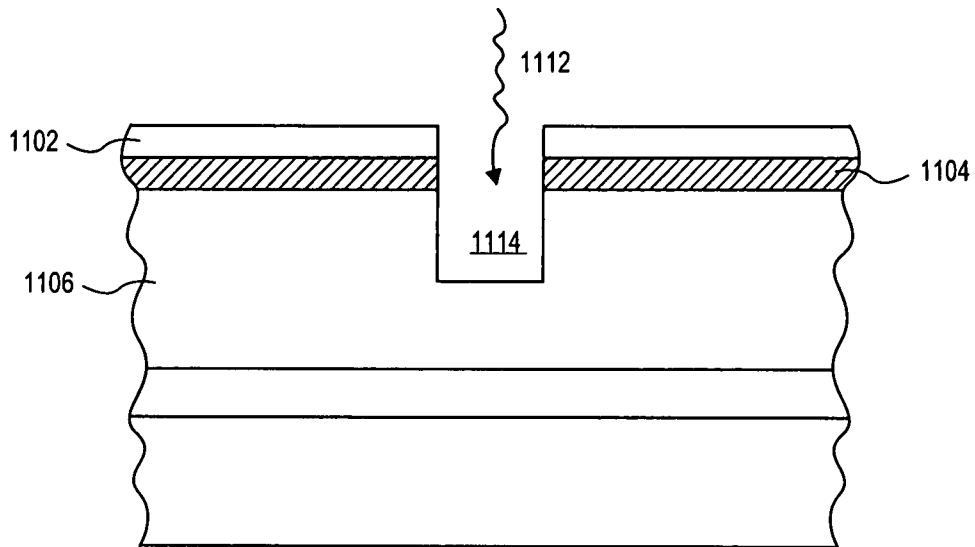
光束半徑

脈衝寬度

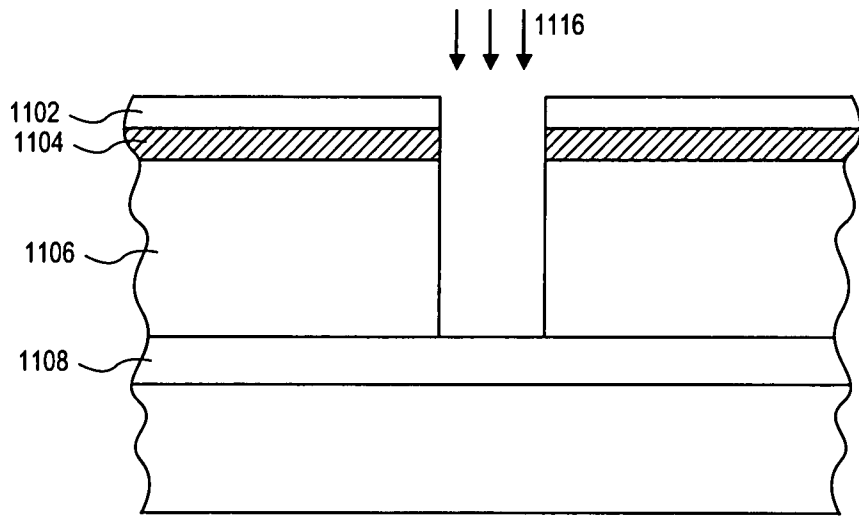
第10圖



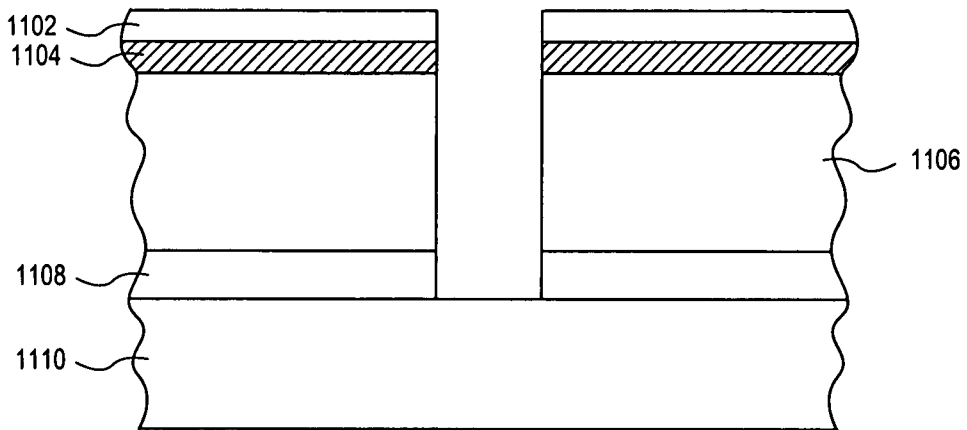
第11A圖



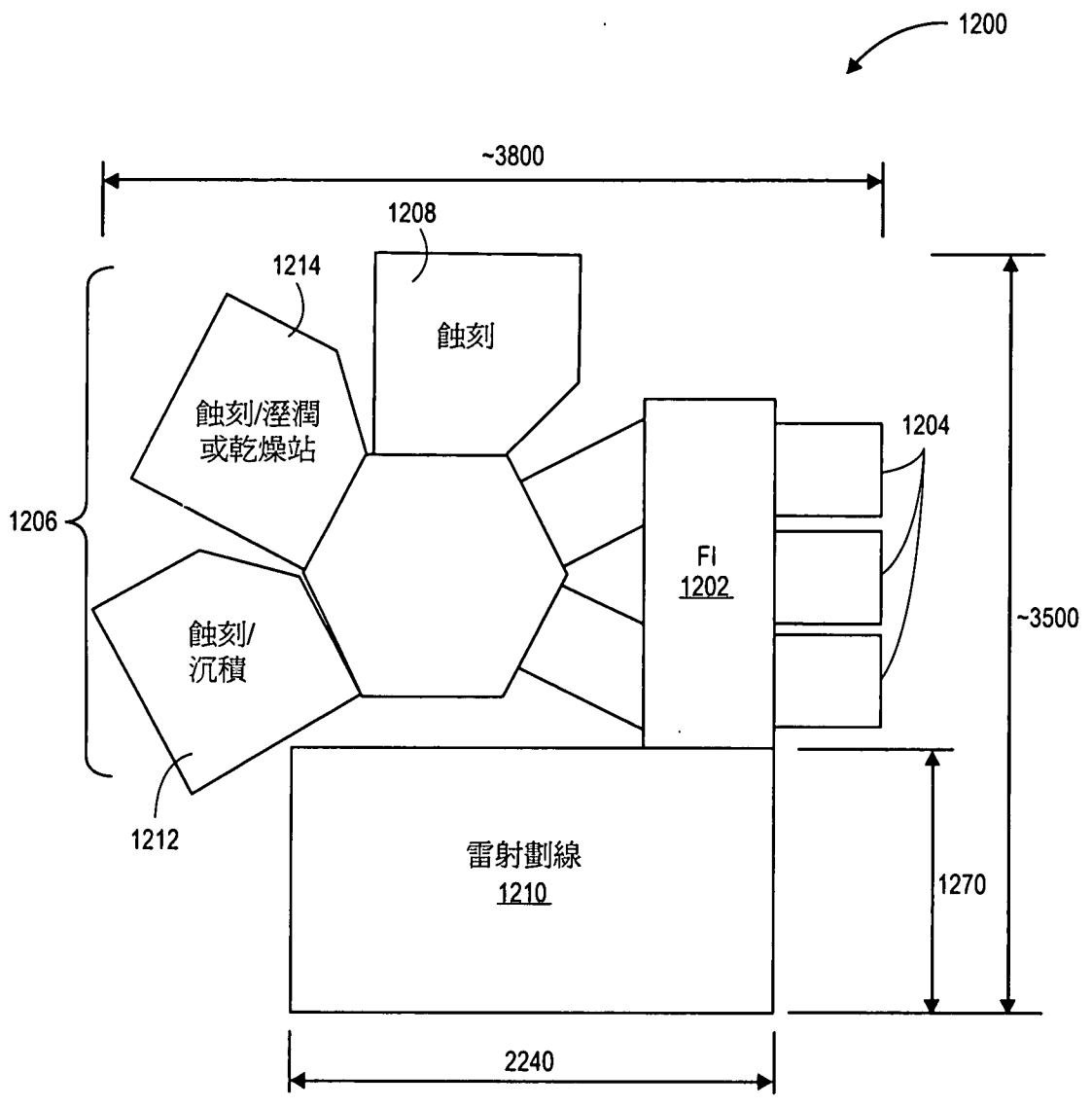
第11B圖



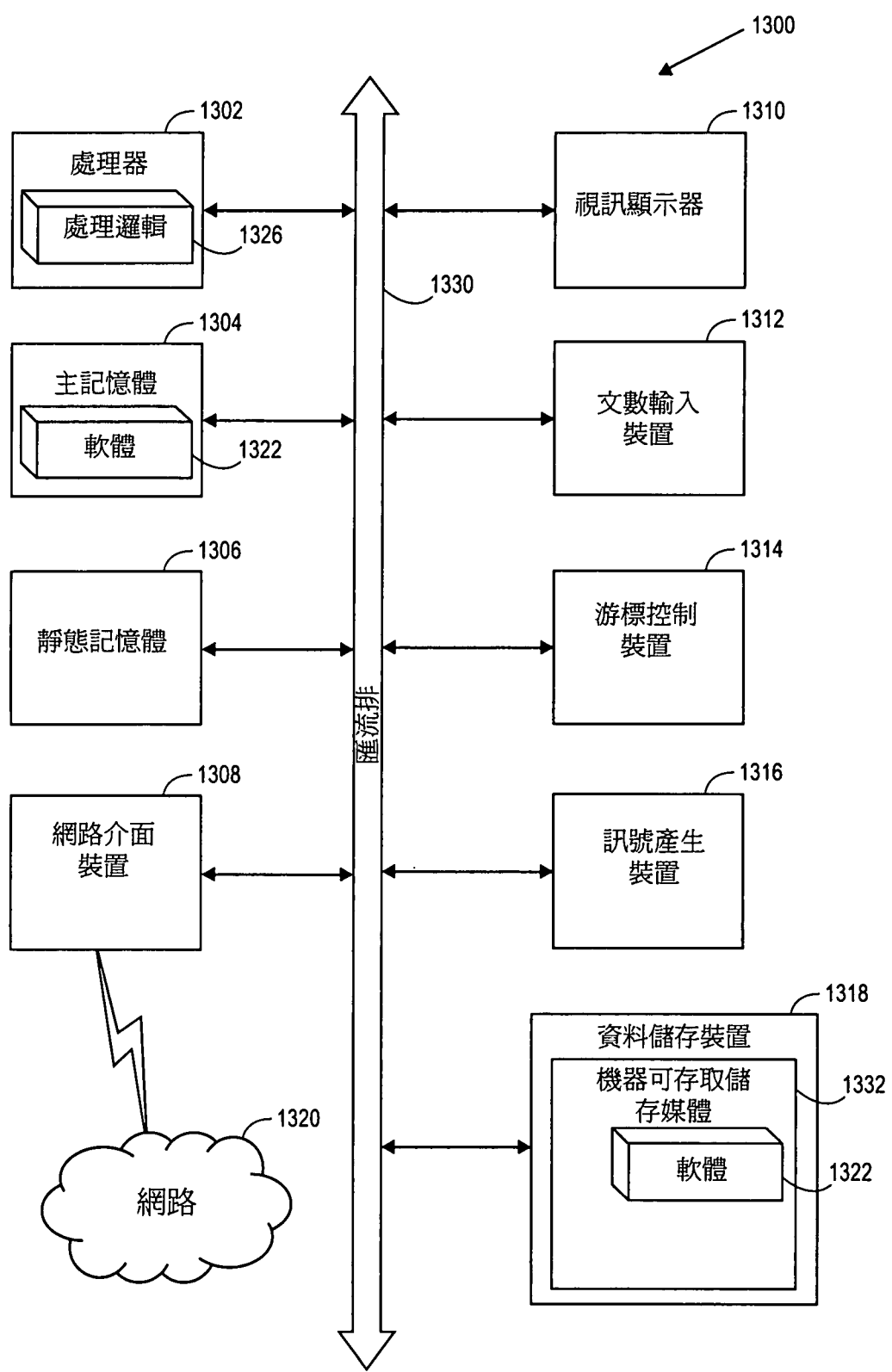
第11C圖



第11D圖



第12圖



第13圖