

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号  
特許第7362893号  
(P7362893)

(45)発行日 令和5年10月17日(2023.10.17)

(24)登録日 令和5年10月6日(2023.10.6)

(51)国際特許分類 F I  
G 0 1 B 11/03 (2006.01) G 0 1 B 11/03 G  
G 0 1 B 9/02015(2022.01) G 0 1 B 9/02015

請求項の数 42 (全25頁)

|                   |                                  |          |  |
|-------------------|----------------------------------|----------|--|
| (21)出願番号          | 特願2022-506110(P2022-506110)      | (73)特許権者 | 500049141<br>ケーエルエー コーポレーション<br>アメリカ合衆国 カリフォルニア ミルピ<br>タス ワン テクノロジー ドライブ |
| (86)(22)出願日       | 令和2年7月29日(2020.7.29)             | (74)代理人  | 110001210<br>弁理士法人Y K I 国際特許事務所  |
| (65)公表番号          | 特表2022-542959(P2022-542959<br>A) | (72)発明者  | リウ ヘレン<br>アメリカ合衆国 カリフォルニア フリー<br>モント トノパー コート 4 8 6 1 7                  |
| (43)公表日           | 令和4年10月7日(2022.10.7)             | (72)発明者  | ジャン グオチン<br>シンガポール センジャ ロード ビーエ<br>ルケイ 6 2 7 ナンバー 0 6 - 1 8 6            |
| (86)国際出願番号        | PCT/US2020/043924                | 審査官      | 續山 浩二  |
| (87)国際公開番号        | WO2021/021838                    |          |  |
| (87)国際公開日         | 令和3年2月4日(2021.2.4)               |          |  |
| 審査請求日             | 令和5年7月12日(2023.7.12)             |          |  |
| (31)優先権主張番号       | 62/880,341                       |          |  |
| (32)優先日           | 令和1年7月30日(2019.7.30)             |          |  |
| (33)優先権主張国・地域又は機関 | 米国(US)                           |          |  |
| (31)優先権主張番号       | 16/688,539                       |          |  |
| (32)優先日           | 令和1年11月19日(2019.11.19)           |          |  |
|                   | 最終頁に続く                           |          | 最終頁に続く   |

(54)【発明の名称】 ウェーハープ適用範囲を維持しながら効率が劣るピクセルを用いてデータ処理スループットを向上させるシステム及び方法

(57)【特許請求の範囲】

【請求項1】

検査システムであって、

試料のインタフェログラムを取得するように構成された干渉計サブシステムと、

前記干渉計サブシステムに通信可能に結合されたコントローラであって、前記コントローラは、メモリ内に記憶されたセットのプログラム命令を実行するように構成された1つ又は複数のプロセッサを含み、前記セットのプログラム命令は、前記1つ又は複数のプロセッサに、

前記インタフェログラムを前記干渉計サブシステムから受取るステップと、

前記受取られたインタフェログラムに基づいて前記試料の位相マップを生成するステップであって、前記位相マップは、複数の画素を含む、ステップと、

位相アンラッピング手順に用いられるべき前記位相マップの前記複数の画素のうちの第1サブセットの画素を選択するステップであり、前記第1サブセットの画素に含まれるべき複数の画素のN個の画素につき1つの画素を選択することを含み、Nは2以上である、ステップと、

アンラップト位相マップを生成するために前記位相マップの前記第1サブセットの画素に基づき第1セットの1つ又は複数の位相アンラッピング手順を実行するステップと、

前記アンラップト位相マップに基づいて前記試料の第1表面高さマップを生成するステップと、

を実行させるように構成されている、コントローラと、

を備える検査システム。

【請求項 2】

前記コントローラは、

前記位相アンラッピング手順に用いられるべき前記位相マップの前記複数の画素のうちの追加サブセットの画素を選択するステップであって、前記追加サブセットの画素は、前記第 1 サブセットの画素とは異なる、ステップと、

追加アンラップト位相マップを生成するために、前記位相マップの追加サブセットの画素において追加セットの 1 つ又は複数の位相アンラッピング手順を実行するステップと、

前記追加アンラップト位相マップに基づいて、前記第 1 表面高さマップの 1 つ又は複数の特性を選択的に調整するステップと、

を行うように更に構成されている、請求項 1 に記載の検査システム。

10

【請求項 3】

前記第 1 セットの 1 つ又は複数の位相アンラッピング手順は、前記追加セットの 1 つ又は複数の位相アンラッピング手順と比較して 1 つ又は複数の計算コストが高い位相アンラッピング手順を含む、請求項 2 に記載の検査システム。

【請求項 4】

前記追加セットの 1 つ又は複数の位相アンラッピング手順は、前記第 1 表面高さマップに基づいて選択される、請求項 2 に記載の検査システム。

【請求項 5】

前記第 1 セットの 1 つ又は複数の位相アンラッピング手順は、最小ノルム手順、経路追従手順、フリン最小不連続手順、品質ガイド位相アンラッピング手順、又は最大フローによる位相アンラッピング (PUMA) 手順のうちの少なくとも 1 つを含む、請求項 1 に記載の検査システム。

20

【請求項 6】

前記第 1 表面高さマップは、前記アンラップト位相マップに比例する、請求項 1 に記載の検査システム。

【請求項 7】

前記インタフェログラムの強度マップは、前記試料の表面についての調整された表現に対応する、請求項 1 に記載の検査システム。

【請求項 8】

位相アンラッピングに用いられるべき前記位相マップの前記複数の画素のうちの第 1 サブセットの画素を選択するステップは、

前記第 1 サブセットの画素に含まれるべき前記複数の画素のうちの 1 個置き画素を選択するステップ

を含む、請求項 1 に記載の検査システム。

30

【請求項 9】

位相アンラッピングに用いられるべき前記位相マップの前記複数の画素のうちの第 1 サブセットの画素を選択するステップは、

前記第 1 サブセットの画素内に含まれるべき前記複数の画素の N 個の画素につき 1 つの画素を選択することを含み、N は 2 よりも大きい、ステップ

を含む、請求項 1 に記載の検査システム。

40

【請求項 10】

位相アンラッピングに用いられるべき前記位相マップの前記複数の画素のうちの第 1 サブセットの画素を選択するステップは、ユーザインタフェースから 1 つ又は複数の入力コマンドを受取るステップであって、前記 1 つ又は複数の入力コマンドは、前記第 1 サブセットの画素についてのユーザ選択を示す、ステップ

を含む、請求項 1 に記載の検査システム。

【請求項 11】

前記コントローラは、

前記第 1 表面高さマップに基づいて前記試料の 1 つ又は複数の特性を決定するステップ

50

と、

前記1つ又は複数の決定された特性に基づいて1つ又は複数のプロセスツールの1つ又は複数の特性を選択的に調整するように構成された1つ又は複数の制御信号を生成するステップと、

を行うように更に構成されている、請求項1に記載の検査システム。

【請求項12】

検査システムであって、

干渉計サブシステムに通信可能に結合されたコントローラであって、前記コントローラは、1つ又は複数のプロセッサ、及びメモリを含み、前記1つ又は複数のプロセッサは、メモリ内に記憶されたセットのプログラム命令を実行するように構成され、前記セットのプログラム命令は、前記1つ又は複数のプロセッサに、

試料のインタフェログラムを受取るステップと、

前記受取られたインタフェログラムに基づいて前記試料の位相マップを生成するステップであって、前記位相マップは、複数の画素を含む、ステップと、

位相アンラッピング手順に用いられるべき前記位相マップの前記複数の画素のうちの第1サブセットの画素を選択するステップであり、前記第1サブセットの画素に含まれるべき複数の画素のN個の画素につき1つの画素を選択することを含み、Nは2以上である、ステップと、

アンラップト位相マップを生成するために、前記位相マップの前記第1サブセットの画素において第1セットの1つ又は複数の位相アンラッピング手順を実行するステップと、

前記アンラップト位相マップに基づいて前記試料の第1表面高さマップを生成するステップと、

を行わせるように構成されたコントローラを備える検査システム。

【請求項13】

前記インタフェログラムは、前記コントローラに通信可能に結合された前記干渉計サブシステムから受取られる、請求項12に記載の検査システム。

【請求項14】

前記コントローラは、

前記位相アンラッピング手順に用いられるべき前記位相マップの前記複数の画素のうちの追加サブセットの画素を選択するステップであって、前記追加サブセットの画素は、前記第1サブセットの画素とは異なる、ステップと、

追加アンラップト位相マップを生成するために、前記位相マップの前記追加サブセットの画素において追加セットの1つ又は複数の位相アンラッピング手順を実行するステップと、

前記追加アンラップト位相マップに基づいて、前記第1表面高さマップの1つ又は複数の特性を選択的に調整するステップと、

を行うように更に構成されている、請求項12に記載の検査システム。

【請求項15】

前記第1セットの1つ又は複数の位相アンラッピング手順は、前記追加セットの1つ又は複数の位相アンラッピング手順と比較して1つ又は複数の計算コストが高い位相アンラッピング手順を含む、請求項14に記載の検査システム。

【請求項16】

前記追加セットの1つ又は複数の位相アンラッピング手順は、前記第1表面高さマップに基づいて選択される、請求項14に記載の検査システム。

【請求項17】

前記第1セットの1つ又は複数の位相アンラッピング手順は、最小ノルム手順、経路追従手順、フリン最小不連続手順、品質ガイド位相アンラッピング手順、又は最大フローによる位相アンラッピング(PUMA)手順のうち少なくとも1つを含む、請求項12に記載の検査システム。

【請求項18】

10

20

30

40

50

前記第1表面高さマップは、前記アンラップト位相マップに比例する、請求項12に記載の検査システム。

【請求項19】

前記インタフェログラムの強度マップは、前記試料の表面についての調整された表現に対応する、請求項12に記載の検査システム。

【請求項20】

位相アンラッピングのために用いられるべき前記位相マップの前記複数の画素のうちの第1サブセットの画素を識別するステップは、

前記第1サブセットの画素内に含まれるべき前記複数の画素のうちの1個置き画素を選択するステップ

を含む、請求項12に記載の検査システム。

【請求項21】

位相アンラッピングに用いられるべき前記位相マップの前記複数の画素のうちの第1サブセットの画素を識別するステップは、

前記第1サブセットの画素内に含まれるべき前記複数の画素のうちのN個の画素につき1個の画素を選択するステップであって、Nは2よりも大きい、ステップ、

を含む、請求項12に記載の検査システム。

【請求項22】

位相アンラッピングに用いられるべき前記位相マップの前記複数の画素のうちの第1サブセットの画素を識別するステップは、

ユーザインタフェースから1つ又は複数の入力コマンドを受取るステップであって、前記1つ又は複数の入力コマンドは、前記第1サブセットの画素についてのユーザ選択を示す、ステップ

を含む、請求項12に記載の検査システム。

【請求項23】

前記コントローラは、

前記第1表面高さマップに基づいて前記試料の1つ又は複数の特性を決定するステップと、

前記1つ又は複数の決定された特性に基づいて1つ又は複数のプロセスツールの1つ又は複数の特性を選択的に調整するように構成された1つ又は複数の制御信号を生成するステップと、

を行うように更に構成されている、請求項12に記載の検査システム。

【請求項24】

方法であって、

干渉計サブシステムから試料のインタフェログラムを受取るステップと、

前記受取られたインタフェログラムに基づいて前記試料の位相マップを生成するステップであって、前記位相マップは、複数の画素を含む、ステップと、

位相アンラッピングに用いられるべき前記位相マップの前記複数の画素のうちの第1サブセットの画素を選択するステップであり、前記第1サブセットの画素に含まれるべき複数の画素のN個の画素につき1つの画素を選択することを含み、Nは2以上である、ステップと、

アンラップト位相マップを生成するために、前記位相マップの前記第1サブセットの画素において1つ又は複数の位相アンラッピング手順を実行するステップと、

前記アンラップト位相マップに基づいて前記試料の表面高さマップを生成するステップと、

を含む方法。

【請求項25】

検査システムであって、

試料のインタフェログラムを取得するように構成された干渉計サブシステムと、

前記干渉計サブシステムに通信可能に結合されたコントローラであって、前記コントロ

10

20

30

40

50

ーラは、メモリ内に記憶されたセットのプログラム命令を実行するように構成された1つ又は複数のプロセッサを含み、前記セットのプログラム命令は、前記1つ又は複数のプロセッサに、

前記インタフェログラムを前記干渉計サブシステムから受取るステップと、

前記受取られたインタフェログラムに基づいて前記試料の位相マップを生成するステップであって、前記位相マップは、複数の画素を含む、ステップと、

データ品質に基づき前記複数の画素のうちの第1サブセットの画素を選択するステップであり、前記第1サブセットの画素の2つ以上の画素は不連続である、ステップと、

アンラップト位相マップを生成するために前記位相マップの前記第1サブセットの画素に基づき第1セットの1つ又は複数の位相アンラッピング手順を実行するステップと、

前記アンラップト位相マップに基づいて前記試料の第1表面高さマップを生成するステップと、

を実行させるように構成されている、コントローラと、

を備える検査システム。

#### 【請求項26】

前記コントローラは、

位相アンラッピング手順に用いられるべき前記位相マップの前記複数の画素のうちの追加サブセットの画素を選択するステップであって、前記追加サブセットの画素は、前記第1サブセットの画素とは異なる、ステップと、

追加アンラップト位相マップを生成するために、前記位相マップの追加サブセットの画素において追加セットの1つ又は複数の位相アンラッピング手順を実行するステップと、

前記追加アンラップト位相マップに基づいて、前記第1表面高さマップの1つ又は複数の特性を選択的に調整するステップと、

を行うように更に構成されている、請求項25に記載の検査システム。

#### 【請求項27】

前記第1セットの1つ又は複数の位相アンラッピング手順は、前記追加セットの1つ又は複数の位相アンラッピング手順と比較して1つ又は複数の計算コストが高い位相アンラッピング手順を含む、請求項26に記載の検査システム。

#### 【請求項28】

前記追加セットの1つ又は複数の位相アンラッピング手順は、前記第1表面高さマップに基づいて選択される、請求項26に記載の検査システム。

#### 【請求項29】

前記第1セットの1つ又は複数の位相アンラッピング手順は、最小ノルム手順、経路追従手順、フリン最小不連続手順、品質ガイド位相アンラッピング手順、又は最大フローによる位相アンラッピング(PUMA)手順のうち少なくとも1つを含む、請求項25に記載の検査システム。

#### 【請求項30】

前記第1表面高さマップは、前記アンラップト位相マップに比例する、請求項25に記載の検査システム。

#### 【請求項31】

前記インタフェログラムの強度マップは、前記試料の表面についての調整された表現に対応する、請求項25に記載の検査システム。

#### 【請求項32】

前記コントローラは、

前記第1表面高さマップに基づいて前記試料の1つ又は複数の特性を決定するステップと、

前記1つ又は複数の決定された特性に基づいて1つ又は複数のプロセスツールの1つ又は複数の特性を選択的に調整するように構成された1つ又は複数の制御信号を生成するステップと、

を行うように更に構成されている、請求項25に記載の検査システム。

10

20

30

40

50

**【請求項 3 3】**

検査システムであって、

干渉計サブシステムに通信可能に結合されたコントローラであって、前記コントローラは、1つ又は複数のプロセッサ、及びメモリを含み、前記1つ又は複数のプロセッサは、メモリ内に記憶されたセットのプログラム命令を実行するように構成され、前記セットのプログラム命令は、前記1つ又は複数のプロセッサに、

試料のインタフェログラムを受取るステップと、

前記受取られたインタフェログラムに基づいて前記試料の位相マップを生成するステップであって、前記位相マップは、複数の画素を含む、ステップと、

データ品質に基づき前記複数の画素のうちの第1サブセットの画素を選択するステップであり、前記第1サブセットの画素の2つ以上の画素は不連続である、ステップと、

アンラップト位相マップを生成するために、前記位相マップの前記第1サブセットの画素において第1セットの1つ又は複数の位相アンラッピング手順を実行するステップと、

前記アンラップト位相マップに基づいて前記試料の第1表面高さマップを生成するステップと、

を行わせるように構成されたコントローラを備える検査システム。

**【請求項 3 4】**

前記インタフェログラムは、前記コントローラに通信可能に結合された前記干渉計サブシステムから受取られる、請求項 3 3 に記載の検査システム。

**【請求項 3 5】**

前記コントローラは、

位相アンラッピング手順に用いられるべき前記位相マップの前記複数の画素のうちの追加サブセットの画素を選択するステップであって、前記追加サブセットの画素は、前記第1サブセットの画素とは異なる、ステップと、

追加アンラップト位相マップを生成するために、前記位相マップの前記追加サブセットの画素において追加セットの1つ又は複数の位相アンラッピング手順を実行するステップと、

前記追加アンラップト位相マップに基づいて、前記第1表面高さマップの1つ又は複数の特性を選択的に調整するステップと、

を行うように更に構成されている、請求項 3 3 に記載の検査システム。

**【請求項 3 6】**

前記第1セットの1つ又は複数の位相アンラッピング手順は、前記追加セットの1つ又は複数の位相アンラッピング手順と比較して1つ又は複数の計算コストが高い位相アンラッピング手順を含む、請求項 3 5 に記載の検査システム。

**【請求項 3 7】**

前記追加セットの1つ又は複数の位相アンラッピング手順は、前記第1表面高さマップに基づいて選択される、請求項 3 5 に記載の検査システム。

**【請求項 3 8】**

前記第1セットの1つ又は複数の位相アンラッピング手順は、最小ノルム手順、経路追従手順、フリン最小不連続手順、品質ガイド位相アンラッピング手順、又は最大フローによる位相アンラッピング(PUMA)手順のうちの少なくとも1つを含む、請求項 3 3 に記載の検査システム。

**【請求項 3 9】**

前記第1表面高さマップは、前記アンラップト位相マップに比例する、請求項 3 3 に記載の検査システム。

**【請求項 4 0】**

前記インタフェログラムの強度マップは、前記試料の表面についての調整された表現に対応する、請求項 3 3 に記載の検査システム。

**【請求項 4 1】**

前記コントローラは、

10

20

30

40

50

前記第 1 表面高さマップに基づいて前記試料の 1 つ又は複数の特性を決定するステップと、

前記 1 つ又は複数の決定された特性に基づいて 1 つ又は複数のプロセスツールの 1 つ又は複数の特性を選択的に調整するように構成された 1 つ又は複数の制御信号を生成するステップと、

を行うように更に構成されている、請求項 3 3 に記載の検査システム。

【請求項 4 2】

方法であって、

干渉計サブシステムから試料のインタフェログラムを受取るステップと、

前記受取られたインタフェログラムに基づいて前記試料の位相マップを生成するステップであって、前記位相マップは、複数の画素を含む、ステップと、

データ品質に基づき前記複数の画素のうちの第 1 サブセットの画素を選択するステップであり、前記第 1 サブセットの 2 つ以上の画素は不連続である、ステップと、

アンラップト位相マップを生成するために、前記位相マップの前記第 1 サブセットの画素において 1 つ又は複数の位相アンラッピング手順を実行するステップと、

前記アンラップト位相マップに基づいて前記試料の表面高さマップを生成するステップと、

を含む方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、概して測定分野に関し、より詳細には、改良された干渉技術を用いて試料の特性を測定するシステム及び方法に関する。

【背景技術】

【0002】

関連出願の相互参照

本出願は、発明者の氏名が Helen Liu であって、発明の名称が「METHODS OF ENHANCING DATA PROCESSING THROUGHPUT USING LESS EFFECTIVE PIXEL WHILE MAINTAINING WAFER WARP COVERAGE」である、2019年7月30日に出願された米国仮特許出願第 62 / 880 , 341 号の米国特許法第 119 条 ( e ) の定めによる利益を主張し、この出願は、全体として参照により本明細書に援用される。

【0003】

干渉法に基づく測定方法は、表面高さ及び表面勾配を含む特定の特性試料を測定するために、半導体製造の技術分野で用いられてきた。例えば、試料平坦度 / トポグラフィ測定値 ( 例えば、表面高さ測定値 ) は、試料表面トポグラフィの対向する面を同時に測定するデュアルフィゾー干渉計を用いて測定されてもよい。試料ワープのダイナミックレンジ ( 例えば、最大測定可能勾配 ) は、画素化センサ / 検出器アセンブリ内の画素の数及びサイズ、並びにシステムの光学的解像度及び伝達関数によって制限される。特に、センサ画素サイズは、高い表面勾配を有する試料領域からの密な縞を解像するための重要な特性である。

【先行技術文献】

【特許文献】

【0004】

【文献】米国特許出願公開第 2017 / 0241764 号

米国特許出願公開第 2013 / 0202181 号

【発明の概要】

【発明が解決しようとする課題】

【0005】

高ワープ試料においてより大きい単発試料測定適用範囲を達成するためには、センサ画

10

20

30

40

50

素がより小さくなる必要がある。しかしながら、より小さいセンサ画素サイズは、より多くのセンサ画素を処理しなければならないので、計算コストの大幅な増加をもたらす。その結果、計算パワーが一定であると仮定すると、干渉計システムのスループットは、センサ画素サイズの減少に伴って減少する。そのため、上記の先行アプローチの欠点を改善するシステム及び方法を提供することが望ましいであろう。

【課題を解決するための手段】

【0006】

検査システムが開示される。一実施形態では、検査システムは、試料のインタフェログラムを取得するように構成された干渉計サブシステムを含む。検査システムは、干渉計サブシステムに通信可能に結合されたコントローラを更に含んでもよく、コントローラは、メモリ内に記憶されたセットのプログラム命令を実行するように構成された1つ又は複数のプロセッサを含み、セットのプログラム命令は、1つ又は複数のプロセッサに、干渉計サブシステムからインタフェログラムを受取ることと、受取られたインタフェログラムに基づいて試料の位相マップを生成することと、位相マップは複数の画素を含む、ことと、位相アンラッピング手順に用いられるべき位相マップの複数の画素のうちのサブセットの画素を選択することと、アンラップト(アンラップされた)位相マップを生成するために、位相マップのサブセットの画素において1つ又は複数の位相アンラッピング手順を実行することと、アンラップト位相マップに基づいて試料の表面高さマップを生成することと、を行わせるように構成されている。

【0007】

検査システムが開示される。一実施形態では、検査システムは、メモリ内に記憶されたセットのプログラム命令を実行するように構成された1つ又は複数のプロセッサを含むコントローラを含み、セットのプログラム命令は、1つ又は複数のプロセッサに、試料のインタフェログラムを受取ることと、受取られたインタフェログラムに基づいて試料の位相マップを生成することと、位相マップは複数の画素を含む、ことと、位相アンラッピング手順に用いられるべき位相マップの複数の画素のうちのサブセットの画素を選択することと、アンラップト位相マップを生成するために位相マップのサブセットの画素において1つ又は複数の位相アンラッピング手順を実行することと、アンラップト位相マップに基づいて試料の表面高さマップを生成することと、を行わせるように構成されている。

【0008】

方法が開示される。一実施形態では、方法は、干渉計サブシステムからインタフェログラムを受取ることと、受取られたインタフェログラムに基づいて試料の位相マップを生成することと、位相マップは、複数の画素を含む、ことと、位相アンラッピングに用いられるべき位相マップの複数の画素のうちのサブセットの画素を選択することと、アンラップト位相マップを生成するために位相マップのサブセットの画素において1つ又は複数の位相アンラッピング手順を実行することと、アンラップト位相マップに基づいて試料の表面高さマップを生成することと、を含む。

【0009】

前述の概要説明及び以下の詳細説明の両方は、単に例示的かつ説明的なものであり、請求の範囲に記載された本発明を必ずしも限定するものではないことを理解されたい。本明細書の一部に組み込まれ、これを構成する添付図面は、本発明の実施形態を示すものであり、概要説明と共に、本発明の原理を説明するのに役立つ。

【図面の簡単な説明】

【0010】

本開示の多数の長所が、以下の添付図面への参照によって当業者によってよりよく理解されるであろう。

【0011】

【図1】本開示の1つ又は複数の実施形態に従う、検査システムについての簡略ブロック図である。

【図2】本開示の1つ又は複数の実施形態に従う、検査システムの干渉計サブシステムに

10

20

30

40

50

ついでに簡略ブロック図である。

【図3】本開示の1つ又は複数の実施形態に従う、検査システムによって生成される位相マップ及び表面高さマップを示す図である。

【図4A】本開示の1つ又は複数の実施形態に従う、位相マップの画素の第1サブセットに基づいて生成された第1表面高さマップを示す図である。

【図4B】本開示の1つ又は複数の実施形態に従う、位相マップの画素の第2サブセットに基づいて生成された第2表面高さマップを示す図である。

【図5】本開示の1つ又は複数の実施形態に従う、検査システムを用いて試料の表面高さマップを生成する方法を示す図である。

【発明を実施するための形態】

【0012】

本開示は、特定の実施形態及びその特有の特徴に関して特に示され説明されてきた。本明細書に記載した実施形態は、限定的ではなく例示的であるとみなされる。本開示の趣旨及び範囲から逸脱することなく、形式及び細部における様々な変更及び修正がなされてもよいことが、当業者には容易に明らかになるであろう。

【0013】

参照が開示された主題に詳細にここでなされ、該主題は、添付図面に示されている。

【0014】

干渉分光法との関連で、センサ画素サイズは、システムの光学的解像度及び伝達関数と共に、高い表面勾配を有する試料領域からの密な干渉縞を解像するための重要な特徴である。高ワーブ試料において、より大きい単一ショット試料測定適用範囲を達成するためには、センサ画素は、より小さくなる必要がある。しかし、より小さいセンサ画素サイズは、より多くのセンサ画素が処理されなければならないので、計算コストの大幅な増加をもたらす。その結果、一定の計算能力を仮定すると、干渉計システムのスループットは、センサ画素サイズの減少と共に減少する。

【0015】

従って、本開示の実施形態は、上記の従来のアプローチについての1つ又は複数の欠点を改善するシステム及び方法に向けられる。本開示の実施形態は、インタフェログラムの改善されたデータ処理及び位相アンラッピングのために構成された検査システムに向けられる。特に、本開示の実施形態は、試料の干渉計に基づいて位相マップを生成すること、及び位相マップの画素のサブセットのみに基づいて試料の表面高さマップを生成すること、を行うように構成された検査システムに向けられる。特に、本開示の実施形態は、位相マップの画素のサブセットにおいて計算コストが最も高い位相アンラッピング動作のみを実行するように構成された検査システムに向けられる。位相マップの全画素数の画素のサブセットのみを処理することによって、本開示の実施形態は、干渉計システムに関するデータ処理を改善して、半導体検査スループットを増大させ得る。

【0016】

図1～5を概して参照すると、本開示の1つ又は複数の実施形態に従う、干渉分光法のためのシステム及び方法が説明されている。

【0017】

図1は、本開示の1つ又は複数の実施形態に従う検査システムについての簡略ブロック図である。検査システム100は、試料103において1つ又は複数の測定及び/又は特性評価プロセスを実行するように構成された1つ又は複数の干渉計サブシステム102を含んでもよいが、これに限定されない。

【0018】

一実施形態では、検査システム100は、試料103の直径方向両側において測定を行うように構成された二重干渉計システム（例えば、二重フィゾー干渉計）を含んでもよい。例えば、検査システム100は、試料103の第1表面において1つ又は複数の測定を行うために第1照明ビーム101aを生成するように構成された第1干渉計サブシステム102aと、第1表面とは反対側の試料103の第2表面において1つ又は複数の測定を

10

20

30

40

50

実行するために、第2照明ビーム101bを生成するように構成された第2干渉計サブシステム102bと、を含んでもよい。別の一実施形態では、第1及び第2干渉計サブシステム102a、102bは、試料103の両側で同時に測定を行うように構成されている。第1干渉計サブシステム102aと第2干渉計サブシステム102bとは、同一であってもよいけれども、それらは、全ての実施形態において同一である必要はない。

#### 【0019】

試料103は、ウェーハ、半導体ウェーハ、レチクル、マスク等を含むが、これらに限定されない、当該技術分野で公知の任意の試料を含んでもよい。一実施形態では、試料103は、保持機構の上/内部に配置されてもよい。例えば、検査システム100は、保持機構(図示せず)を含んでもよく、該保持機構は、試料103を垂直に(又は実質的に垂直に)、水平に(又は実質的に水平に)等に保持するように構成されている。

10

#### 【0020】

図2は、本開示の1つ又は複数の実施形態に従う、検査システムの干渉計サブシステム102aについての簡略ブロック図である。これに関して、図2に示す干渉計サブシステム102aは、図1に示す干渉計サブシステム102の単一例を示す。

#### 【0021】

一実施形態では、干渉計サブシステム102aは、照明ビーム101を生成するように構成された照明源104と、ビームスプリッタ106と、波長板108と、基準平面114と、1つ又は複数のセンサ119を含む検出器アセンブリ120と、1つ又は複数のプロセッサ124及びメモリ126を含むコントローラ122と、を含むが、これらに限定されない。コントローラ122の1つ又は複数のプロセッサ124は、メモリ126内に記憶された1セットのプログラム命令を実行するように構成されてもよく、該1セットのプログラム命令は、1つ又は複数のプロセッサに本開示の様々なステップ及びプロセスを実行させるように構成されている。別の一実施形態では、干渉計サブシステム102aは、関連する構成要素を選択的に含むか又は排除するために並進ステージ(例えば、チャック等)に取り付けられた1つ又は複数の構成要素を含んでもよい。

20

#### 【0022】

干渉計サブシステム102aは、フィゾー干渉計サブシステム102a、シャリング干渉計サブシステム102a等を含むが、これらに限定されない、当該技術分野で公知の干渉計サブシステムを含んでもよい。これに関して、図2に示す干渉計サブシステム102aは、表面高さ測定及び/又は表面勾配測定を実行するように構成されてもよい。ウェーハの特性評価のためのフィゾー干渉法の使用は、2003年3月20日に出願された米国特許第6,847,458号、2011年10月27日に出願された同第8,949,057号、及び2013年1月15日に出願された同第9,121,684号に概して記載されており、これらの出願は、全体として本明細書に援用される。

30

#### 【0023】

照明源104は、選択された波長の照明ビーム101を生成するように構成されてもよい。照明源104は、ファイバレーザ、ファイバ結合型光源、ファイバ結合型半導体レーザ等を含むが、これらに限定されない、当該技術分野で公知のいずれかの照明源を含んでもよい。例えば、照明源104は、約300nmから1500nmまでの範囲内の照明を放出することが可能ないずれかの源を含んでもよいが、これらに限定されない。

40

#### 【0024】

一実施形態では、偏光ビームスプリッタ106は、照明ビーム101の線形偏光部分を波長板108(例えば、半波長板108)に提供してもよく、該波長板が回転させられて、照明ビーム101の偏光を任意の選択された角度に回転させてもよい。半波長板108は、第1方向に偏光された照明ビーム101を受取って、直線偏光を円偏光に変換するように構成されてもよい。一実施形態では、照明ビーム101は、試料103に近接して配設された基準平面114(例えば、部分反射基準平面114)に向けられる。いくつかの実施形態では、ビームスプリッタ106及び半波長板108は、照明ビーム101を基準平面114及び試料103に実質的に垂直入射角で向けるように構成されている。

50

## 【 0 0 2 5 】

一実施形態では、照明ビーム 1 0 1 が、基準平面 1 1 4 によって分割されて、照明ビーム 1 0 1 の少なくとも一部が基準平面 1 1 4 の表面で反射し（基準ビーム）、そして、照明ビーム 1 0 1 の少なくとも一部が、基準平面 1 1 4 を通して向けられて試料 1 0 3 の表面で反射してもよい（試料ビーム）。基準ビームと試料ビームとが、続いて再結合（例えば、基準平面 1 1 4 で再結合）されてもよく、次いで検出器アセンブリ 1 2 0 の 1 つ又は複数のセンサ 1 1 9 に向けられてもよい。円偏光ビームの左右像は、表面での反射の際に切り替わる（例えば、左円偏光から右円偏光に）ことにここで留意されたい。これにより、 $1/4$  波長板 1 0 8 は、試料 1 0 3 から反射された試料ビームの円偏光を、第 1 方向に直交する線形偏光に変換してもよい。

10

## 【 0 0 2 6 】

続いて、検出器アセンブリ 1 2 0（例えば、検出器アセンブリ 1 2 0 のセンサ 1 1 9）は、基準ビームと試料ビームとの間の 1 つ又は複数の干渉パターン（すなわち、インタフェログラム）を捕捉してもよい。これに関して、インタフェログラムの変調強度は、試料ビームの光学経路の変動と関連している。ここで、光学経路の変動は、試料 1 0 3 の高さの変動（例えば、パターンの存在に起因する）又は試料ビームの経路に沿った屈折率の変動に由来していることに留意されたい。したがって、干渉パターン（インタフェログラム）は、試料 1 0 3 のトポロジを示すことがある。

## 【 0 0 2 7 】

多重インタフェログラムは、システム 1 0 0 によって生成されて、試料 1 0 3 上の 1 つ又は複数の位置の相対的高さを決定してもよい。これに関連して、検査システム 1 0 0 は、位相シフト干渉計として動作してもよい。ここで、多重インタフェログラムは、当該技術分野で公知のいずれかの方法によって生成され得ることに留意されたい。一実施形態では、多重インタフェログラムは、基準平面 1 1 4 を試料 1 0 3 に対して垂直な方向に並進させながら、検出器アセンブリ 1 2 0 によって生成されてもよい。別の一実施形態では、多重インタフェログラムは、照明源 1 0 2 によって生成された照明ビーム 1 0 1 の周波数が周波数範囲にわたって掃引される間に、検出器アセンブリ 1 2 0 によって捕捉されてもよい。

20

## 【 0 0 2 8 】

一実施形態では、干渉計サブシステム 1 0 2 a は、1 つ又は複数の光学要素 1 1 2 を更に含んでもよい。1 つ又は複数の光学要素 1 1 2 は、コリメータ、レンズ、プリズム等を含んでもよいが、これらに限定されない。例えば、1 つ又は複数の光学要素 1 1 2 は、非球面コリメートレンズを含んでもよいが、これに限定されない。1 つ又は複数の光学要素 1 1 2 は、照明ビーム 1 0 1 の直径を含むがこれに限定されない照明ビーム 1 0 1 の 1 つ又は複数の特性を修正するように構成されてもよい。一実施形態では、1 つ又は複数の光学要素 1 1 2 は、発散照明ビーム 1 0 1 をコリメートする。別の一実施形態では、1 つ又は複数の光学要素 1 1 2 は、干渉縞が試料 1 0 3 の画像上にオーバーレイされるように、検出器アセンブリ 1 2 0 に向かって伝搬される照明を向ける及び/又は集束させるように構成されてもよい。

30

## 【 0 0 2 9 】

上記のような、図 1 ~ 2 に示すような検査システム 1 0 0 の様々な構成及び構成要素は、単に例示のために提供されており、限定として解釈されるべきではないことにここで留意されたい。多数の同等又は追加の光学構成が、本開示の範囲内で利用されてもよいことが予想されている。これに関連して、検査システム 1 0 0 は、本開示の趣旨及び範囲から逸脱することなく、任意の数の追加及び/又は代替の光学要素を含んでもよく、該光学要素は、円形対称レンズ、円柱レンズ、ビーム成形器、ミラー、波長板、偏光子、又はフィルタ等を含むが、これらに限定されない。

40

## 【 0 0 3 0 】

本明細書で先に述べたように、検査システム 1 0 0 は、検出器アセンブリ 1 2 0 に通信可能に結合されたコントローラ 1 2 2 を含んでもよい。実施形態において、コントローラ

50

122の1つ又は複数のプロセッサ124は、メモリ126内に記憶された1セットのプログラム命令を実行するように構成されてもよく、該1セットのプログラム命令は、1つ又は複数のプロセッサに本開示の様々なステップ及びプロセスを実行させるように構成されてもよい。例えば、コントローラ122の1つ又は複数のプロセッサ124は、干渉計サブシステム102から1つ又は複数の取得されたインタフェログラムを受取ることと、受取られたインタフェログラムに基づいて試料103の位相マップを生成することと、位相マップは複数の画素を含む、ことと、位相アンラッピング手順に用いられるべき位相マップの複数の画素のサブセットの画素を選択することと、アンラップト位相マップを生成するために、位相マップのサブセットの画素において1つ又は複数の位相アンラッピング手順を実行することと、アンラップト位相マップに基づいて試料103の表面高さマップを生成することと、を行うように構成されてもよい。これらのステップ/機能のそれぞれは、順番に処理されることになる。

10

#### 【0031】

一実施形態では、コントローラ122は、試料103の1つ又は複数のインタフェログラムを受取るように構成されている。例えば、コントローラ122は、干渉計サブシステム102aの検出器アセンブリ120から1つ又は複数の位相シフト干渉計を受取るように構成されてもよい。二重フィゾー干渉計(図1に示すような)との関連で、コントローラ122は、第1干渉計サブシステム102aからの試料103の第1表面の第1インタフェログラムと、第2干渉計サブシステム102aからの試料103の第2表面の第2インタフェログラムと、を受取るように構成されてもよい。いくつかの実施形態では、受取られたインタフェログラムの強度マップは、試料103の表面の変調された表現に対応し得る。コントローラ122は、受取られたインタフェログラムをメモリ126内に記憶するように構成されてもよい。

20

#### 【0032】

コントローラ122は、当該技術分野で公知のいずれかの源から1つ又は複数の干渉計を受取るように構成されてもよいことにここで留意されたい。したがって、コントローラ122は、メモリ126、外部記憶装置、ネットワーク等を含むがこれらに限定されない検査サブシステム102以外の源から干渉計を受取るように構成されてもよい。

#### 【0033】

別の一実施形態では、コントローラ122は、1つ又は複数の受取られたインタフェログラムに基づいて、試料103の1つ又は複数の位相マップを生成するように構成されている。例えば、試料103の単一表面の単一干渉計を受取ると、コントローラ122は、受取られた干渉計に基づいて試料103の表面の位相マップを生成するように構成されてもよい。コントローラ122は、1つ又は複数の生成された位相マップをメモリ126内に記憶するように構成されてもよい。

30

#### 【0034】

ここで、受取られたインタフェログラムに基づいてコントローラ122によって生成された位相マップは、複数の画素を含んでもよいことに留意されたい。例えば、コントローラ122によって生成された位相マップは、 $m \times n$ のレイに配列された複数の画素を含んでもよい。生成された位相マップ内の画素数及び/又は画素配列は、検出器アセンブリ120の画素数に少なくとも部分的に依存することがある。特に、生成された干渉計及び/又は位相マップにおける画素の数/配列は、検出器アセンブリ120の1つ又は複数のセンサ119の画素数に依存してもよい。干渉計及び/又は位相マップ内の画素数は、1つ又は複数のセンサ119内の画素数に正比例してもよい。例えば、センサ119/検出器アセンブリ120の画素数を増加させることは、画素数が増加した位相マップをもたらしてもよく、一方、センサ119/検出器アセンブリ120の画素数を減少させることは、画素数が減少した位相マップをもたらしてもよい。

40

#### 【0035】

検出器アセンブリ120/センサ119内の画素数は、検査システム100に望まれる解像度及び/又はスループットのレベルに依存してもよい。より小さい画素サイズが、よ

50

り高いインタフェログラム縞解像度を達成し得てもよく、それによって、より高い解像度試料表面マップをもたらす。しかし、画素サイズが減少させられると、センサ119内のより多い画素数が、試料103の同じ表面積を特性評価するために必要とされる。換言すれば、より小さい画素は、同じ試料103のワーブ適用範囲に対してより多い画素数を必要とする。このことは、図3を参照することによって更に理解されてもよい。

【0036】

図3は、本開示の1つ又は複数の実施形態に従う、検査システム100によって生成された位相マップ113a、113b及び表面高さマップ115a、115bを示す。

【0037】

図3において、インタフェログラムに基づく位相マップ111a、111b（例えば、生のセンサ119データ）が左側に示され、位相マップ111a、111bに基づいて生成された表面高さマップ115a、115bが右側に示されている。前述のように、検出器アセンブリ120のセンサ119内の画素の数及び/又は配列を変化させることは、位相マップ111a、111b及び表面高さマップ115a、115b内の画素113a～113nの数及び/又は配列の変化をもたらすことがある。例えば、4個の別個の画素113a～113dを含む第1位相マップ111aは、比較的少ない画素数を有するセンサ119を含む検出器アセンブリ120から集められた干渉計に基づいて生成されてもよい。別の一例として、複数の画素113a～113nを含む第2位相マップ111bは、より多い画素数を有するセンサ119を含む検出器アセンブリ120から集められた干渉計に基づいて生成されてもよい。

【0038】

第1位相マップ111aを第2位相マップ111bと比較すると、第2位相マップ111bは、より多い画素数を含み、第2位相マップ111bの画素113a～113nは、第1位相マップ111aの画素113a～113dよりも小さいことが理解されてもよい。第2位相マップ111bのより多い数及びより小さいサイズの画素が、第1位相マップ111aと比較してより高い解像度（例えば、より高いインタフェログラム縞解像度）をもたらしてもよい。したがって、第2位相マップ111bに基づく第2表面高さマップ115bは、第1位相マップ111aに基づく第1表面高さマップ115aと比較してより多い画素数及びより高い解像度を示すことがある。

【0039】

しかし、より高い解像度位相マップ及び表面高さマップを達成するために画素サイズを減少させること及び画素数を増加させることは、データ処理複雑性及び処理力を増加させることを必要とする。特に、第2位相マップ111bから第2表面高さマップ115bを生成するためのデータ処理要件は、第1位相マップ111aから第1表面高さマップ115bを生成するためのデータ処理要件よりもずっと大きく、より複雑である場合がある。データ処理複雑性の増大（例えば、より複雑なデータ処理アルゴリズム）及び必要な処理力は、画素数113の増加に起因する。例えば、表面高さマップ115bを生成するためには、コントローラ122のプロセッサ124は、第1表面高さマップ115aと比較すると、画素113a～113nの数の4倍だけ処理しなければならない。処理能力が一定であると仮定すれば、データ処理の複雑性が増大すると、スループットが低下する。

【0040】

したがって、本開示の実施形態は、データ処理アルゴリズムを実行するように構成されたシステムを目的とし、該データ処理アルゴリズムは、位相マップ111の全体画素113のうちの一部のみに基づいて表面高さマップを生成するように構成されている。1個1個の画素を同時に（少なくとも位相アンラッピングの最も高いコストの動作について）処理する必要性を回避することによって、本開示の実施形態は、同じ試料103ワーブ適用範囲を維持しながら、より多い画素数によって達成される改良されたインタフェログラム縞解像度を可能にしてもよい。特に、本開示のシステムは、改良されたデータ処理アルゴリズムを利用することにより、高いスループットを維持しながら高解像度表面高さマップ115を達成してもよい。

10

20

30

40

50

## 【 0 0 4 1 】

したがって、別の一実施形態では、コントローラ 1 2 2 は、位相アンラッピング手順に用いられるべき位相マップ 1 1 1 の複数の画素 1 1 3 a ~ 1 1 3 n のサブセットの画素を選択するように構成されている。これは、図 4 A を参照することによって更に理解され得る。

## 【 0 0 4 2 】

図 4 A は、本開示の 1 つ又は複数の実施形態に従う、位相マップ 1 1 1 の第 1 サブセットの画素 1 1 7 a に基づいて生成される第 1 表面高さマップ 1 1 5 a を示す。

## 【 0 0 4 3 】

図 4 A に示すように、コントローラ 1 2 2 は、複数の画素 1 1 3 a ~ 1 1 3 p を含む位相マップ 1 1 1 を生成してもよい。位相マップ 1 1 1 は、メモリ 1 2 6 内に記憶されてもよい。その後、コントローラ 1 2 2 は、位相アンラッピング手順及び動作に用いられるであろう第 1 サブセットの画素 1 1 7 a を選択するように構成されてもよい。例えば、図 4 A に示すように、コントローラ 1 2 2 は、複数の画素 1 1 3 a ~ 1 1 3 p のうちの第 1 サブセットの画素 1 1 7 a を選択してもよく、ここに、第 1 サブセットの画素 1 1 7 a は、画素 1 1 3 a、1 1 3 c、1 1 3 e、1 1 3 g、1 1 3 i、1 1 3 k、1 1 3 m、及び 1 1 3 o を含む。

10

## 【 0 0 4 4 】

サブセットの画素（例えば、第 1 サブセットの画素 1 1 7 a）は、当技術分野で公知のいずれかの技術、アルゴリズム、又は式に従って選択されてもよい。例えば、図 4 A に示すように、コントローラ 1 2 2 は、位相マップ 1 1 1 の複数の画素 1 1 3 a ~ 1 1 3 p のうちの 1 個置き画素 1 1 3 を選択することによって、第 1 サブセットの画素 1 1 7 a を選択するように構成されてもよい。この例では、位相マップ 1 1 1 の複数の画素 1 1 3 a ~ 1 1 3 n のうちの 1 個置き画素 1 1 3 が、サブセットの画素 1 1 7 a 内に含まれることになる。別の一例として、コントローラ 1 2 2 は、サブセットの画素 1 1 7 a 内に含まれるべき N 個の画素 1 1 3 につき 1 つの画素 1 1 3 を選択することによって、第 1 サブセットの画素 1 1 7 a を選択するように構成されてもよく、ここに、N は 2 よりも大きい。例えば、コントローラ 1 2 2 は、3 個につき 1 個の画素 1 1 3、4 個につき 1 個の画素 1 1 3 等を選択するように構成されてもよい。別の一例として、ユーザは、1 つ又は複数の制御コマンドをユーザインタフェース 1 2 8 のユーザ入力デバイスに入力することによって、サブセットの画素 1 1 7 を手動で選択し得ることがあり、1 つ又は複数の入力コマンドは、サブセットの画素 1 1 7 を示す。

20

30

## 【 0 0 4 5 】

別の一例として、コントローラ 1 2 2 は、ランダムに、規定されたパターンで、データ品質に基づく適合方式で、等で、サブセットの画素 1 1 7 を選択するように構成されてもよい。別の一例として、コントローラ 1 2 2 は、位相マップ 1 1 1 の選択された領域（例えば、象限）内の複数の画素 1 1 3 を選択することによって、サブセットの画素 1 1 7 を選択するように構成されてもよい。第 1 サブセットの画素 1 1 7 a は、例としてのみ提供され、別途言及されない限り、限定とみなされるべきではない。

## 【 0 0 4 6 】

別の一実施形態では、第 1 サブセットの画素 1 1 7 a を選択した後に、コントローラ 1 2 2 は、位相マップ 1 1 1 のサブセットの画素 1 1 7 a において 1 つ又は複数の位相アンラッピング手順を実行して、第 1 アンラップト位相マップ 1 1 3 a を生成してもよい。位相アンラッピング手順及び / 又は位相検索アルゴリズムが、第 1 サブセットの画素 1 1 7 a において実行されることにより、ラップト（ラップされた）位相マップ 1 1 1 と関連した位相不連続性を補正し、ラップト位相マップ 1 1 1 から位相及び振幅データを抽出してもよい。1 つ又は複数の位相アンラッピング手順は、ラップト位相マップ 1 1 1 をアンラッピングするための当該技術分野で公知のいずれかのアンラッピング手順 / 動作を含み、該アンラッピング手順 / 動作は、最小ノルム手順、経路追従手順、フリン最小不連続手順、品質ガイド位相アンラッピング手順、又は最大フローによる位相アンラッピング（ P U

40

50

MA) 手順等を含むが、これに限定されない。1つ又は複数の位相アンラッピング手順のためのプログラム命令が、メモリ126に格納されてもよい。コントローラ122は、第1アンラップト位相マップ113aをメモリ126内に記憶するように構成されてもよい。  
【0047】

異なるタイプの位相アンラッピング手順は、様々な計算コストを示す。更に、位相アンラッピング手順の異なる段階(例えば、異なる動作)は、様々な計算コストを示すことがある。これに関して、効率及びスループットを更に向上させるために、本開示のいくつかの実施形態が、多重解像度位相アンラッピングアプローチを目的とする。多重解像度位相アンラッピングアプローチの下で、位相アンラッピング処理(例えば、経時的/全体的アンラッピング動作)の計算コストが最も高いステップ/手順のための位相アンラッピング手順は、位相マップ111のサブセットの画素117aにおいてのみ実行されてもよい。その後、計算コストがより安い動作(例えば、局所アンラッピング動作)のための位相アンラッピング手順が実行されて、全マップの詳細を復元してもよい。ここで、多重解像度位相アンラッピングアプローチの様々な位相アンラッピング手順が、直列に(例えば、順次)及び/又は並列に(例えば、同時に)実行されてもよいことが考えられる。

10

【0048】

ここで、従来の位相アンラッピング手順が、隣接する画素113の間の位相変化が $p_i$ ( )よりも小さいことを必要とすることに留意されたい。従って、隣接する画素113の間の よりも大きい位相変化は、従来の位相アンラッピング手順の失敗をもたらすことがある。比較すると、第1サブセットの画素117a内に含まれるべきN個の画素113につき1個の画素113のみを選択することによって、位相アンラッピング手順が失敗する可能性がより大きくなり得る。位相マップ111のN個の画素113につき1個において位相アンラッピング手順を効果的に実行することは、位相マップ111の隣接する画素113の間の位相変化が  $/N$ 未満であることを必要とする。この点において、位相マップ111の複数の画素113a~113nのうちのサブセットの画素117のみを用いて位相アンラッピング処理を行うことは、より厳しい位相アンラッピング要件をもたらすことがある。従って、これらのより厳しい位相アンラッピング要件を保持するために、本開示の位相アンラッピング手順は、試料103についての特定の平滑性及び/又は均質性を仮定してもよい。いくつかの実施形態では、隣接する画素113の間の  $/N$ 位相変化制限が、試料103の裏面ではなく裏面勾配をアンラッピングすることによって、及び前面ではなく疑似試料103厚さをアンラッピングすることによって達成されてもよい。それに加えて、測定使用事例からのデータが、試料103特性に関して有効な仮定がなされることを可能にし、それによって、厚さ、勾配等を表す変換されたマップにおける位相アンラッピングを可能にすることにより、  $/N$ 位相変化制限を回避してもよい。

20

30

【0049】

別の一実施形態では、コントローラ122は、アンラップト位相マップ113aに基づいて、試料103の表面高さマップ115aを生成するように構成されてもよい。コントローラ122は、当該技術分野で公知のいずれかのアルゴリズム、式、又は数学的手法を利用して、アンラップト位相マップ113aに基づいて表面高さマップ115aを生成するように構成されてもよい。いくつかの実施形態では、表面高さマップ115aは、アンラップト位相マップ113aに比例することがある。付加的な及び/又は代替的な実施形態では、特定の使用事例が全画素マップの復元を必要としない場合、表面高さマップ115aは、 $N * f \text{ Sensor Pixel Size}$ の有効画素サイズを示してもよい。これに関して、より少ない画素が用いられて、全体的なウェーハワープ、サイトNT平均等のような最終測定距離を確立してもよい。コントローラ122は、第1アンラップト位相マップ113aをメモリ126内に記憶するように構成されてもよい。

40

【0050】

いくつかの実施形態では、コントローラ122は、表面高さマップ115aに基づいて、試料103の1つ又は複数の特性を決定するように構成されてもよい。表面高さマップ115aに基づいて決定されてもよい試料103の特性は、試料103の表面高さ測定値

50

、試料 103 の表面勾配測定値等を含んでもよいが、これらに限定されない。追加的な及び/又は代替的な実施形態では、コントローラ 122 は、1 つ又は複数の制御信号を生成するように更に構成されてもよく、該制御信号は、試料 103 の 1 つ又は複数の決定された特性に基づいて、1 つ又は複数のプロセスツールの 1 つ又は複数の特性を選択的に調整するように構成されている。例えば、試料 103 の 1 つ又は複数の特性を決定する際に、コントローラ 122 は、1 つ又は複数の上流及び/又は下流のプロセスツールを調整するように構成された 1 つ又は複数のフィードフォワード及び/又はフィードバック制御信号を生成してもよい。調整され得るプロセスツールは、エッチングツール、リソグラフィツール、堆積ツール、研磨ツール等を含んでもよいが、これらに限定されない。

#### 【0051】

いくつかの実施形態では、コントローラ 122 は、単一位相マップ 111 において複数の位相アンラッピング手順を実行するように構成されてもよい。これは、図 4 B を参照することによってよりよく理解され得る。

#### 【0052】

図 4 B は、本開示の 1 つ又は複数の実施形態に従う、位相マップ 111 の第 2 サブセットの画素 117 b に基づいて生成された第 2 表面高さマップ 115 b を示す。特に、図 4 B は、図 4 A に示すのと同じ位相マップ 111 を示してもよい。

#### 【0053】

いくつかの実施形態では、コントローラ 122 は、位相マップ 111 の複数の画素 113 a ~ 113 n のうちの追加サブセットの画素 117 を選択して位相アンラッピング手順を実行するように構成されてもよく、追加サブセットの画素 117 は、第 1 サブセットの画素 117 a とは異なる。例えば、図 4 B に示すように、コントローラ 122 は、位相アンラッピング手順のために選択された第 2 サブセットの画素 117 b を選択してもよい。この例では、コントローラ 122 は、第 2 サブセットの画素 117 b が画素 113 b、113 d、113 f、113 h、113 j、113 l、113 n、及び 113 p を含むように、第 2 サブセットの画素 117 b を選択してもよい。先に述べたように、サブセットの画素（例えば、第 2 サブセットの画素 117 b）は、当該技術分野で公知のいずれかの技法、アルゴリズム、又は式に従って選択されてもよい。例えば、図 4 B に示すように、コントローラ 122 は、位相マップ 111 の複数の画素 113 a ~ 113 p のうちの 1 個置き画素 113 を選択することによって、第 2 サブセットの画素 117 b を選択するように構成されてもよい。

#### 【0054】

第 1 サブセットの画素 117 a と第 2 サブセットの画素 117 b とを比較すると、第 2 サブセットの画素 117 b は、第 1 サブセットの画素 117 a に対して選択されなかった位相マップ 111 の複数の画素 113 a ~ 113 p のそれぞれの画素 113 を含むことがわかることがある。かかる方式で第 1 及び第 2 サブセットの画素 117 a、117 b を選択することは、位相マップ 111 のそれぞれの画素 113 が位相アンラッピング手順の 2 回の「反復」でアンラップされることを可能にするが、これは、本明細書で別途言及されない限り、本開示の限定とみなされるべきではない。これに関連して、第 2 セットの画素 117 b は、任意の数及び/又は配列の画素 113 を含むように選択されてもよい。いくつかの実施形態では、第 2 サブセットの画素 117 b は、第 1 サブセットの画素 117 b 内に含まれた 1 つ又は複数の画素 113 を含んでもよい。

#### 【0055】

別の一実施形態では、コントローラ 122 は、第 2 サブセットの画素 117 b を選択した後、位相マップ 111 の第 2 サブセットの画素 117 b において 1 つ又は複数の位相アンラッピング手順を実行して、第 2 アンラップ位相マップ 113 b を生成してもよい。先に述べたように、1 つ又は複数の位相アンラッピング手順は、ラップト位相マップ 111 をアンラッピングするための当該技術分野で公知のいずれかのアンラッピング手順/操作を含んでもよく、該アンラッピング手順/動作としては、最小ノルム手順、経路追従手順、フリン最小不連続手順、品質ガイド位相アンラッピング手順、又は最大フローによる

10

20

30

40

50

位相アンラッピング ( P U M A ) 手順等が挙げられるが、これらに限定されない。更に、本明細書で更に詳細に説明するように、第 2 サブセットの画素 1 1 7 b において用いられる 1 つ又は複数の位相アンラッピング手順は、第 1 サブセットの画素 1 1 7 a において利用される 1 つ又は複数の追加的及び / 又は代替的な位相アンラッピング手順を含んでもよい。特に、第 2 サブセットの画素 1 1 7 b において用いられる 1 つ又は複数の位相アンラッピング手順は、第 1 サブセットの画素 1 1 7 a において利用される位相アンラッピング手順と比較して、計算コストがより安い位相アンラッピング手順を含むことがある。コントローラ 1 2 2 は、第 2 アンラップト位相マップ 1 1 3 b をメモリ 1 2 6 内に記憶するように構成されてもよい。

#### 【 0 0 5 6 】

別の実施形態では、コントローラ 1 2 2 は、アンラップト位相マップ 1 1 3 b に基づいて、試料 1 0 3 の第 2 表面高さマップ 1 1 5 b を生成するように構成されてもよい。コントローラ 1 2 2 は、第 2 アンラップト位相マップ 1 1 3 b に基づいて第 2 表面高さマップ 1 1 5 b を生成するために、当該技術分野で公知のいずれかのアルゴリズム、式、又は数学的手法を利用すること、或いは位相マップ 1 1 1 の表面情報を回復するために、安価な局所位相アンラッピングを実行することを行うように構成されてもよい。コントローラ 1 2 2 は、第 2 アンラップト位相マップ 1 1 3 b をメモリ 1 2 6 内に記憶するように構成されてもよい。ここで、第 2 表面高さマップ 1 1 5 b が、第 1 表面高さマップ 1 1 5 a とは僅かに異なる特性を示すことがあることに留意されたい。各表面高さマップ 1 1 5 a ~ 1 1 5 n 同士の間隔のばらつきが、選択されたサブセットの画素 1 1 7 a ~ 1 1 7 n 同士の間隔の相違に起因してもよい。

#### 【 0 0 5 7 】

ここで、様々な反復において実行される様々な位相アンラッピング手順は、関心を引く試料 1 0 3 の領域、位相アンラッピング手順の複雑さ、位相アンラッピング手順の計算コスト等を含むが、これらに限定されないいくつかの因子に依存する場合があることに更に留意されたい。特に、コントローラ 1 2 2 は、最初に計算コストが最も高い位相アンラッピング手順を実行し、次いで、その後の反復において計算コストがより安い位相アンラッピング手順で詳細を満たすように構成されてもよい。

#### 【 0 0 5 8 】

例えば、コントローラ 1 2 2 は、第 1 サブセットの画素 1 1 7 a において第 1 セットの 1 つ又は複数の位相アンラッピング手順を実行して、第 1 表面高さマップ 1 1 5 a を生成するように構成されてもよい。この例では、第 1 セットの 1 つ又は複数の位相アンラッピング手順は、実行されるべき計算コストが最も高い及び / 又は複雑な位相アンラッピング手順を含んでもよい。続いて、コントローラ 1 2 2 は、第 1 サブセットの画素 1 1 7 a 及び / 又は第 2 サブセットの画素 1 1 7 b において、第 2 セットの 1 つ又は複数の位相アンラッピング手順を実行して、第 2 表面高さマップ 1 1 5 a を生成するように構成されてもよい。この例では、第 2 セットの 1 つ又は複数の位相アンラッピング手順は、第 1 セットの 1 つ又は複数の位相アンラッピング手順よりも計算コストがより安い位相アンラッピング手順を含んでもよい。

#### 【 0 0 5 9 】

追加的及び / 又は代替的な実施形態において、第 2 セットの位相アンラッピング手順は、前のセットの位相アンラッピング手順の結果 / 出力に基づいて、位相マップ 1 1 1 の画素をアンラップするように構成されてもよい。例えば、第 2 セットの位相アンラッピング手順は、第 1 セットの位相アンラッピング手順からの結果に基づいて ( 例えば、第 1 表面高さマップ 1 1 5 a に基づいて )、第 1 セットの位相アンラッピング手順によってアンラップされていない残りの画素をアンラップするように構成されてもよい。前のセットの位相アンラッピング手順の結果 / 出力に、後続のセットの位相アンラッピング手順の基礎を置くことにより、計算コストがより安い位相アンラッピング手順 / アルゴリズムが、後続の位相アンラッピング手順のために用いられてもよい。これに関連して、位相アンラッピング手順の後続のセットは、位相アンラッピング手順の前のセットの結果 / 出力に基づい

10

20

30

40

50

て選択されてもよい。

【0060】

追加的及び/又は代替的な実施形態では、コントローラ122は、第2アンラップト位相マップ113b及び/又は第2表面高さマップ115bに基づいて、第1表面高さマップ115aの1つ又は複数の特性を選択的に調整するように構成されてもよい。例えば、コントローラ122は、第2表面高さマップ115bと第1表面高さマップ115aとの間の1つ又は複数の特性及び/又は相違を識別し、そして、1つ又は複数の識別された特性及び/又は相違に基づいて、第1表面高さマップ115aの1つ又は複数の特性を選択的に調整してもよい。追加的及び/又は代替的な実施形態では、コントローラ122は、第1アンラップト位相マップ113aと第2アンラップト位相マップ113bを結合して

10

「合成」表面高さマップ115を生成するように構成されてもよい。同様に、いくつかの実施形態では、コントローラ122は、第1表面高さマップ115aと第2表面高さマップ115bとを結合して、「合成」表面高さマップ115を生成するように構成されてもよい。

【0061】

ここで、第1表面高さマップ115aと第2表面高さマップ115bとは、順に(例えば、直列的に、次々と)、及び/又は並行して(例えば、同時に)生成されてもよいことに留意されたい。特に、データ依存性に基づいて、表面高さマップ115a及び表面高さマップ115bを並行して(例えば、同時に、又は実質的に同時に)計算し、そして、それらを最終的に一緒に結合することが可能である。

20

【0062】

図4A~図4Bは、位相アンラッピング手順の2つの反復のみを実施するように示され説明されているけれども、これは、本明細書で別途言及しない限り、本開示の限定とみなされるべきではない。これに関連して、コントローラ122は、任意のN個のサブセットの画素117を選択することにより、位相マップ111における位相アンラッピング手順のN回の反復を実行するように構成されてもよい。

【0063】

ここで、サブセットの画素117を利用する位相アンラッピング手順の複数回の反復を実行することは、本開示の実施形態が、高いスループット及び解像度を維持しながら、位相マップ111の全画素についての位相及び振幅計算を維持することを可能にしてもよいことが考えられる。異なるサブセットの画素117を利用する位相アンラッピング手順の後続の反復は、コントローラが、前の反復においてアンラップされなかった位相マップ111の画素113の残りの完了を誘導することを可能にしてもよい。特に、サブセットの画素117において計算コストがより高い位相アンラッピング手順を実行することによって、計算コストがより安い位相アンラッピング手順をその後に行うことにより、スループットを改善し、第1セットの計算コストがより高い位相アンラッピング手順の間にアンラップされない全体マップの詳細を回復してもよい。ここで、本開示の実施形態は、より小さい画素によって可能にされたいずれかの試料103ワープ適用範囲を失うことなく、及びデータ処理要件を増加させることなく、データ処理速度を大幅に向上し得ることが更に考えられる。

30

40

【0064】

ここで、開示された検査システム100の1つ又は複数の構成要素は、当該技術分野で公知のいずれかの方法でシステムの様々な別の構成要素に通信可能に結合されてもよいことに留意されたい。例えば、干渉計サブシステム102、コントローラ122、及びユーザインタフェース123は、ワイヤライン(例えば、銅線、光ファイバケーブル等)又は無線接続(例えば、RF結合、IR結合、データネットワーク通信(例えば、WiFi、WiMax、3G、4G、4GLTE、5G、Bluetooth(登録商標)等))を介して相互に及び別の構成要素に通信可能に結合されてもよい。

【0065】

一実施形態では、1つ又は複数のプロセッサ124は、当該技術分野で公知のいずれか

50

の1つ又は複数の処理要素を含んでもよい。この意味で、1つ又は複数のプロセッサ124は、ソフトウェアアルゴリズム及び/又は命令を実行するように構成されたいずれかのマイクロプロセッサ型デバイスを含んでもよい。一実施形態では、1つ又は複数のプロセッサ124は、デスクトップコンピュータ、メインフレームコンピュータシステム、ワークステーション、イメージコンピュータ、並列プロセッサ、又は別のコンピュータシステム（例えば、ネットワークコンピュータ）から構成されてもよく、これらは、本開示を通して説明したように、検査システム100を動作させるように構成されたプログラムを実行するように構成されている。本開示を通して説明したステップは、単一コンピュータシステム、又は代替として、複数コンピュータシステムによって実行されてもよいことを理解されたい。更に、本開示を通して説明されたステップは、1つ又は複数のプロセッサ124のうちのいずれかの1つ又は複数において実行されてもよい。一般に、「プロセッサ」という用語は、メモリ126からのプログラム命令を実行する1つ又は複数の処理要素を有するいずれかのデバイスを包含するように広く定義されてもよい。更に、検査システム100の異なるサブシステム（例えば、照明源104、検出器アセンブリ120、コントローラ122、ユーザインタフェース128）は、本開示を通して説明されたステップの少なくとも一部を実行するのに適したプロセッサ又は論理要素を含んでもよい。そのため、上記の説明は、本開示についての限定としてではなく、単なる例示であるとして解釈されるべきである。

10

#### 【0066】

メモリ126は、関連する1つ又は複数のプロセッサ124によって実行可能なプログラム命令、及び検査システム100によって受取られた/生成されたデータを記憶するのに適した、当該技術分野で公知のいずれかの記憶媒体を含んでもよい。例えば、メモリ126は、非一時的記憶媒体を含んでもよい。例えば、メモリ126としては、読出し専用メモリ（ROM）、ランダムアクセスメモリ（RAM）、磁気又は光記憶装置（例えば、ディスク）、磁気テープ、ソリッドステートドライブ等が挙げられてもよいが、これに限定されない。メモリ126は、1つ又は複数のプロセッサ124と共に共通のコントローラハウジング内に収容されてもよいことに更に留意されたい。別の一実施形態では、メモリ126は、プロセッサ124及びコントローラ122の物理的位置に対して遠隔に設置されてもよい。別の一実施形態では、メモリ126は、1つ又は複数のプロセッサ124に本開示を通して説明された様々なステップを実行させるためのプログラム命令を保持する。

20

30

#### 【0067】

一実施形態では、ユーザインタフェース128は、コントローラ122に通信可能に結合されている。一実施形態では、ユーザインタフェース128は、1つ又は複数のデスクトップ、タブレット、スマートフォン、スマートウォッチ等であって、これらに限定されないものを含んでもよい。別の一実施形態では、ユーザインタフェース128は、検査システム100のデータをユーザに表示するために用いられるディスプレイを含む。ユーザインタフェース128のディスプレイは、当該技術分野で公知のいずれかのディスプレイを含んでもよい。例えば、ディスプレイとしては、液晶ディスプレイ（LCD）、有機発光ダイオード（OLED）ベースディスプレイ、又はCRTディスプレイが挙げられるが、これに限定されない。当業者であれば、ユーザインタフェース128と統合可能ないずれかの表示デバイスが本開示における実装に適していることを認識すべきである。別の一実施形態では、ユーザは、ユーザインタフェース128を介してユーザに表示されたデータに応じて選択及び/又は命令を入力してもよい。

40

#### 【0068】

図5は、本開示の1つ又は複数の実施形態に従う、検査サブシステムを用いて試料の表面高さマップを生成する方法を示す。ここで、方法500のステップは、検査システム100によって全部又は一部が実装されてもよいことに留意されたい。しかし、方法500は、追加的又は代替的なシステムレベルの実施形態が方法500のステップの全部又は一部を実行することができるという点で、検査システム100に限定されないことを更に認

50

識されたい。

【0069】

ステップ502において、干渉計サブシステムからインタフェログラムを受取る。例えば、コントローラ122は、干渉計サブシステム102aの検出器アセンブリ120から1つ又は複数の位相シフト型干渉計を受取るように構成されてもよい。別の一例として、コントローラ122は、メモリ126、外部記憶装置、ネットワーク等を含むがこれらに限定されない検査サブシステム102以外の源から干渉計を受取るように構成されてもよい。

【0070】

ステップ504において、試料の位相マップが、受取られたインタフェログラムに基づいて生成される。実施形態では、位相マップは、複数の画素を含んでもよい。例えば、試料103の単一表面の単一干渉計を受取ると、コントローラ122は、受取られた干渉計に基づいて、試料103の表面の位相マップを生成するように構成されてもよい。コントローラ122は、1つ又は複数の生成された位相マップをメモリ126内に記憶するように構成されてもよい。

10

【0071】

ステップ506において、位相マップの複数の画素のうちのサブセットの画素が、位相アンラッピングに用いられるように選択される。例えば、図4Aに示すように、コントローラ122は、複数の画素113a~113pのうちの第1サブセットの画素117aを選択してもよく、第1サブセットの画素117aは、画素113a、113c、113e、113g、113i、113k、113m、及び113oを含む。サブセットの画素(例えば、第1サブセットの画素117a)は、当該技術分野で公知のいずれかの技術、アルゴリズム、又は式に従って選択されてもよい。例えば、コントローラ122は、サブセットの画素117a内に含まれるべきN個の画素113につき1個の画素113を選択することによって、第1サブセットの画素117aを選択するように構成されてもよく、ここに、Nは2よりも大きい。例えば、コントローラ122は、3個につき1個の画素113、4個につき1個の画素113等を選択するように構成されてもよい。

20

【0072】

ステップ508において、1つ又は複数の位相アンラッピング手順が、位相マップのサブセットの画素について実行されて、アンラップト位相マップが生成される。

30

【0073】

ステップ510において、試料の表面高さマップが、アンラップト位相マップに基づいて生成される。位相アンラッピング手順及び/又は位相検索アルゴリズムが、第1サブセットの画素117aにおいて実行されることにより、ラップト位相マップ111と関連する位相不連続性を補正し、そして、ラップト位相マップ111から位相及び振幅データを抽出してもよい。1つ又は複数の位相アンラッピング手順は、ラップト位相マップ111をアンラッピングするための当該技術分野で公知のいずれかのアンラッピング手順/動作を含んでもよく、該アンラッピング手順/動作は、最小ノルム手順、経路追従手順、フリン最小不連続手順、品質ガイド位相アンラッピング手順、又は最大フローによる位相アンラッピング(PUMA)手順等を含むが、これらに限定されない。

40

【0074】

当業者であれば、本明細書に記載された構成要素(例えば、動作)、デバイス、対象物、及びそれらに付随する考察が、概念的に明確にするための例として用いられ、そして、様々な構成修正が予期されていることを認識するであろう。従って、本明細書で用いられるように、述べられた特定の例及び付随する考察は、それらのより一般的なクラスを表すことが意図されている。一般に、いずれかの特定の例の使用は、そのクラスを表すことが意図されており、特定の構成要素(例えば、動作)、装置、及び対象物を含まないことが、限定として解釈されるべきではない。

【0075】

当業者であれば、本明細書に記載されたプロセス及び/又はシステム及び/又は別の技

50

法が有効にされ得る様々な媒体（例えば、ハードウェア、ソフトウェア、及び/又はファームウェア）が存在すること、及び、プロセス及び/又はシステム及び/又は別の技法が配備される内容との関連で好ましい媒体が変化すること、を理解するであろう。例えば、実装者が、速度及び精度が最重要であると判断したならば、実装者は、主にハードウェア及び/又はファームウェア媒体を選択してもよく、その代替として、柔軟性が最重要であるならば、実装者は、主にソフトウェアの実装を選択してもよく、又は、更にその代替として、実装者は、ハードウェア、ソフトウェア、及び/又はファームウェアのなんらかの組み合わせを選択してもよい。したがって、本明細書に記載されたプロセス及び/又はデバイス及び/又は別の技法が有効にされ得るいくつかの可能な媒体が存在し、それらのいずれもが本質的に別のものよりも優れておらず、その理由は、利用されるべきいずれかの媒体が、配備されるであろう状況及び実装者の特定の関心事（例えば、速度、柔軟性、又は予測性）に依存する選択肢であるからであり、そのうちのいずれかは変化してもよい。

10

**【0076】**

上記の説明は、当業者が、特定の用途及びその要件に関連して提供されるものとして本発明を作成し使用することを可能にするように提示される。本明細書で使用されるように、「最上部」、「底部」、「上に」、「下に」、「上部」、「上向きに」、「下方へ」、「下に」及び「下向きに」等の方向を示す用語は、説明のために相対的な位置を提供することが意図され、基準の全体フレームを示すことは意図されていない。記載された実施形態に対する様々な修正は、当業者には明らかなものであり、本明細書に規定された一般原理は、別の実施形態に適用されてもよい。そのため、本発明は、示され説明された特定の実施形態に限定されるのではなく、本明細書で開示された原理及び新規な特徴に対応する最も広い範囲に合致するものである。

20

**【0077】**

本明細書における実質的にいずれかの複数及び/又は単数の用語の使用に関して、当業者は、複数から単数に及び/又は単数から複数に、状況及び/又は用途に適切ようように変換し得る。様々な単数/複数の置換は、明確さのために本明細書に明示的に記載されていない。

**【0078】**

本明細書に記載された方法の全ては、メモリ内の方法実施形態の1つ又は複数のステップの結果を記憶することを含んでもよい。結果は、本明細書に記載された結果のうちのいずれかを含んでもよく、及び当該技術分野で公知のいずれかの方法で記憶されてもよい。メモリは、本明細書に記載されるいずれかのメモリ、又は当該技術分野で公知のいずれかの別の適切な記憶媒体を含んでもよい。結果が記憶された後に、結果は、メモリ内でアクセスされ得、そして、本明細書に記載された方法又はシステム実施形態のうちのいずれかによって用いられ、ユーザに表示するためにフォーマットされ、別のソフトウェアモジュール、方法、又はシステム等によって用いられてもよい。更に、その結果は、「恒久的に」、「半恒久的に」、「一時的に」、又はある期間の間、記憶されてもよい。例えば、メモリは、ランダムアクセスメモリ（RAM）であってもよく、結果は、必ずしもメモリ内に無期限に存続しない場合がある。

30

**【0079】**

上記方法の実施形態のそれぞれは、本明細書に記載されたいずれかの別の方法のいずれかの別のステップを含んでもよいことが更に考えられる。それに加えて、上記の方法の実施形態のそれぞれは、本明細書に記載されたシステムのいずれかによって実施されてもよい。

40

**【0080】**

本明細書に記載された主題は、時には、別の構成要素内に含まれるか、又は別の構成要素と連結される異なる構成要素を示す。かかる示された構成は、単に例示的であり、そして、実際に、同じ機能を達成する多くの別の構成が実装され得ることが理解されるべきである。概念的な意味において、同じ機能を達成するための構成要素のいずれかの配列は、所望の機能が達成されるように効果的に「関連」させられる。従って、特定の機能を達成

50

するために組み合わせられた本書のいずれかの2つの構成要素は、構成又は介在構成要素に関係なく、所望の機能が達成されるように相互に「関連している」ように考えられてもよい。同様に、そのように関連付けられたいずれかの2つの構成要素は、また、所望の機能を達成するために相互に「接続」又は「結合」されているように見なされてもよく、そのように関連付けられることができるいずれかの2つの構成要素は、また、所望の機能を達成するために相互に「結合」されるように見られ得る。結合可能な特定の例は、物理的に適合可能な及び/又は物理的に相互作用する構成要素及び/又は無線相互作用可能な構成要素及び/又は無線相互作用する構成要素及び/又は論理的に相互作用する及び/又は論理的に相互作用可能な構成要素が含まれるが、これらに限定されない。

**【0081】**

更に、本発明は、添付請求項によって規定されることが理解されるべきである。一般に、本明細書で用いられる用語、特に添付請求項（例えば、添付請求項の主要部）は、概して「開放」用語（例えば、用語「を含む」は、「を含むが、これに限定されない」として解釈されなければならない、用語「を有する」は、「を少なくとも有する」として解釈されなければならない、用語「を含む」は、「を含むが、これに限定されない」として解釈されなければならない、等である）として意図されていることを当業者であれば理解するであろう。特定の数の導入された請求項記載が意図されている場合に、かかる意図が、請求項に明示的に記載され、かかる記載がない場合に、かかる意図が存在しないことが、当業者によって更に理解されるであろう。例えば、理解を助けるものとして、以下の特許請求の範囲は、請求項記載を導入するために、導入句「少なくとも1つ」及び「1つ又は複数」の使用を含んでもよい。しかしながら、かかる句の使用により、不定冠詞「a」又は「an」による請求項記載の導入は、同じ請求項が、導入句「1つ又は複数の」あるいは「少なくとも1つ」及び「a」又は「an」等（例えば、「a」及び/又は「an」は、一般的に「少なくとも1つの」又は「1つ又は複数の」を意味するように解釈される）の不定冠詞を含むときでさえ、かかる導入された請求項記載を含むいずれかの特定の請求項を1つのかかる記載だけを含む発明に限定することを含意すると解釈されてはならず、同じことが、請求項記載を導入するのに用いられる定冠詞の使用に当てはまる。それに加えて、たとえ導入された請求項記載の固有番号が明示的に列挙されるとしても、当業者は、かかる列挙が、一般的に、少なくとも列挙された数を意味するように解釈されなければならないことを認識するであろう（例えば、「2つの列挙」の生の説明は、別の変更を伴わずに、少なくとも2つの列挙、又は2以上の列挙を典型的に意味する）。更に、「A、B、及びC等のうちの少なくとも1つ」に類似した規則を用いる例において、一般に、かかる構成は、当業者が規則（例えば、「A、B、及びC等のうちの少なくとも1つを有するシステム」が、Aのみ、Bのみ、Cのみ、AとBと一緒に、AとCと一緒に、BとCと一緒に、及び/又はAとBとCと一緒に、等を有するシステムを含むが、これらに限定されないであろうこと）を理解するであろう意味が意図される。「A、B又はC等のうちの少なくとも1つの」に相似した規則が用いられる例において、一般に、かかる構成が、当業者が規則を理解するであろう（例えば、「A、B、又はC等のうちの少なくとも1つを有するシステム」は、Aだけ、Bだけ、Cだけ、AとBと一緒に、AとCと一緒に、BとCと一緒に、及び/又はAとBとCと一緒に等を有するシステムを含むが、これに限定されない）意味に意図されている。実質的に、2つ以上の代替用語を表すいずれかの離接語及び/又は離接句は、説明、請求項、又は図面内にあるかどうかに関係なく、用語のうち的一方、用語のうちどちらか、又は両方の用語を含む可能性を意図することが理解されなければならないことが当業者によって更に理解されるであろう。例えば、句「A又はB」は、「A」又は「B」又は「A及びB」の可能性を含むように理解される。

**【0082】**

本開示及びその付随する利点の多くは、前述の説明によって理解されるであろうこと、そして、明らかに、開示された主題から逸脱することなく、又はその材料の利点の全てを犠牲にすることなく、構成要素の形式、構成及び配列において様々な変更がなされてもよいことが考えられる。説明された形式は、単に説明のためのものであり、かかる変更を包

10

20

30

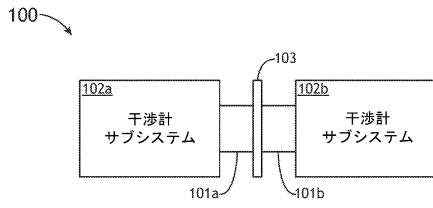
40

50

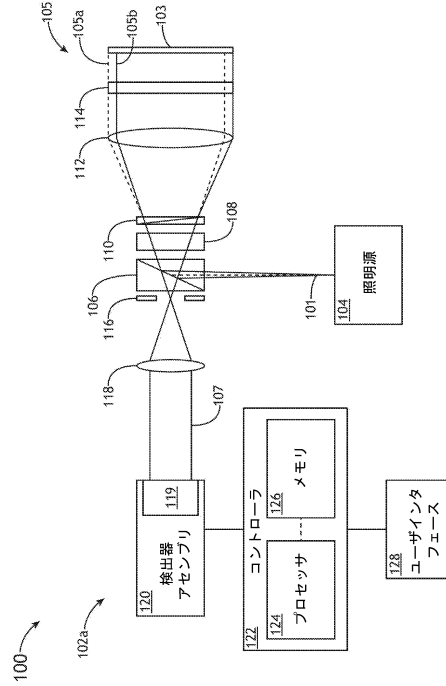
含し、含むことは以下の請求項が意図するものである。更に、本発明は、特許請求の範囲によって規定されることを理解されたい。

【図面】

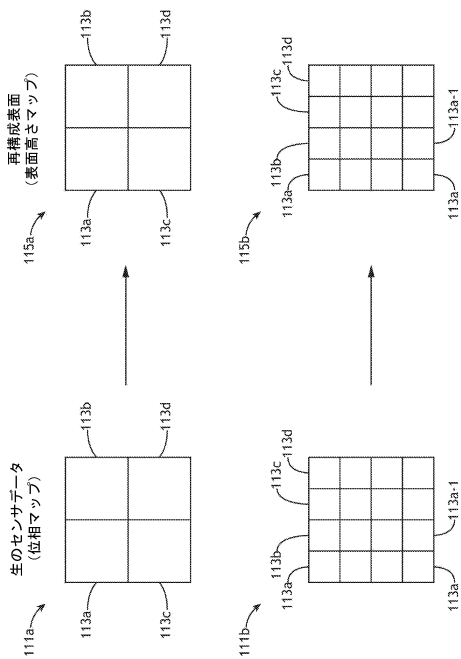
【図 1】



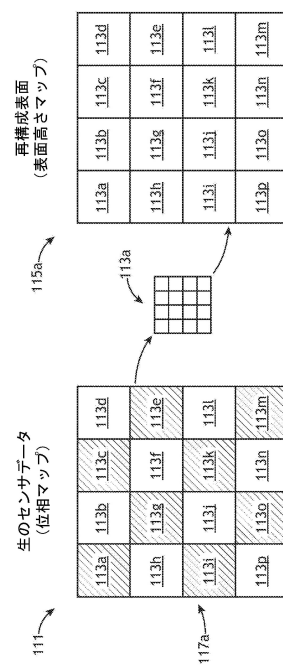
【図 2】



【図 3】



【図 4 A】



10

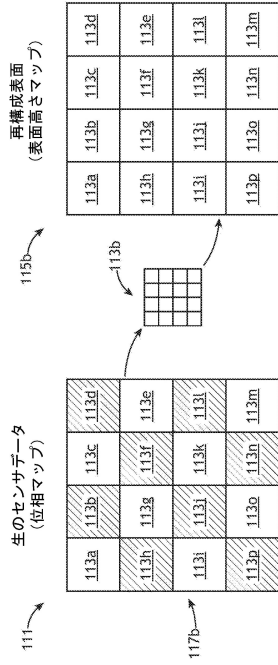
20

30

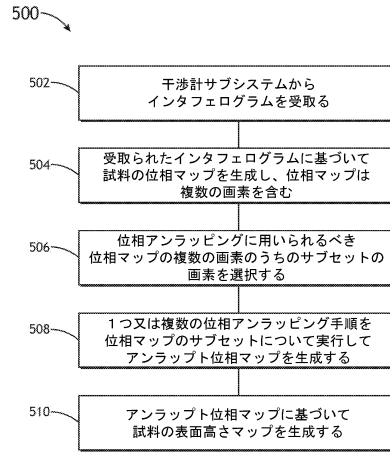
40

50

【 図 4 B 】



【 図 5 】



10

20

30

40

50

---

フロントページの続き

(33)優先権主張国・地域又は機関

米国(US)

早期審査対象出願

(56)参考文献

特開2011-141251(JP, A)

特開2008-082869(JP, A)

特表2005-520144(JP, A)

米国特許出願公開第2018/0203087(US, A1)

米国特許第06107953(US, A)

(58)調査した分野 (Int.Cl., DB名)

G01B 11/03

G01B 9/02015