

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第6324802号
(P6324802)

(45) 発行日 平成30年5月16日 (2018. 5. 16)

(24) 登録日 平成30年4月20日 (2018. 4. 20)

(51) Int.Cl.

F I

H O 3 K 19/094 (2006. 01)

H O 3 K 19/094 2 1 O

H O 1 L 29/786 (2006. 01)

H O 1 L 29/78 6 1 8 B

H O 3 K 3/356 (2006. 01)

H O 3 K 3/356 Z

H O 1 L 21/8234 (2006. 01)

H O 1 L 29/78 6 1 3 Z

H O 1 L 27/088 (2006. 01)

H O 1 L 27/088 E

請求項の数 5 (全 28 頁)

(21) 出願番号 特願2014-99497 (P2014-99497)
 (22) 出願日 平成26年5月13日 (2014. 5. 13)
 (65) 公開番号 特開2014-241588 (P2014-241588A)
 (43) 公開日 平成26年12月25日 (2014. 12. 25)
 審査請求日 平成29年5月12日 (2017. 5. 12)
 (31) 優先権主張番号 特願2013-102068 (P2013-102068)
 (32) 優先日 平成25年5月14日 (2013. 5. 14)
 (33) 優先権主張国 日本国 (JP)

(73) 特許権者 000153878
 株式会社半導体エネルギー研究所
 神奈川県厚木市長谷 3 9 8 番地
 (72) 発明者 黒川 義元
 神奈川県厚木市長谷 3 9 8 番地 株式会社
 半導体エネルギー研究所内
 審査官 白井 亮

最終頁に続く

(54) 【発明の名称】 信号処理装置

(57) 【特許請求の範囲】

【請求項 1】

第 1 のトランジスタのソース又はドレインの一方に、第 2 のトランジスタのゲートが接続される回路を有し、

前記第 1 のトランジスタのソース又はドレインの一方と前記第 2 のトランジスタのゲートとの接続部分のノードに存在する容量を第 1 容量とし、

前記第 2 のトランジスタのソース又はドレインの一方に接続する負荷容量を第 2 容量とし、

前記第 2 のトランジスタのソース又はドレインの一方と前記第 2 のトランジスタのゲートとの間の容量を第 3 容量とし、

前記第 2 のトランジスタのソース又はドレインの他方と前記第 2 のトランジスタのゲートとの間の容量を第 4 容量とするとき、

前記第 1 の容量は、前記第 2 の容量と前記第 3 の容量との直列合成容量と、前記第 4 の容量との和の 2 倍未満（但し、ゼロである場合を除く）であることを特徴とする信号処理装置。

【請求項 2】

請求項 1 において、

前記第 2 のトランジスタのソース又はドレインの一方に接続される第 3 のトランジスタを有し、

前記第 2 のトランジスタのチャネル幅は、前記第 3 のトランジスタのチャネル幅の 4 倍

以上であることを特徴とする信号処理装置。

【請求項 3】

請求項 1 又は 2 において、

前記第 1 のトランジスタのチャネルは、酸化物半導体を含むことを特徴とする信号処理装置。

【請求項 4】

請求項 1 乃至 3 のいずれかーにおいて、

前記第 2 のトランジスタのチャネルは、単結晶シリコン基板に設けられ、

前記第 1 のトランジスタは、前記第 2 のトランジスタの上層に設けられることを特徴とする信号処理装置。

10

【請求項 5】

請求項 1 乃至 4 のいずれかーにおいて、

前記第 1 容量は、寄生容量のみによって構成されることを特徴とする信号処理装置。

【発明の詳細な説明】

【技術分野】

【0001】

この開示物は信号処理装置に関する。

【背景技術】

【0002】

例えば、特許文献 1 乃至 3 には、酸化物半導体等を用いることによって、きわめて高いオフ抵抗を実現しうるトランジスタを作製し、これによって、パストランジスタのゲートあるいはゲートに電気的に接続された容量素子に蓄積する電荷を制御することで、パストランジスタのオン状態あるいはオフ状態を長期間維持し、回路構造上の見かけの接続を変えないまま、パストランジスタを介したノード間の実質的な接続を制御する信号処理装置（プログラマブルロジックデバイス、PLD）が開示されている。

20

【先行技術文献】

【特許文献】

【0003】

【特許文献 1】米国特許第 8 5 4 7 7 5 3 号明細書

【特許文献 2】米国特許出願公開第 2 0 1 2 / 0 2 1 2 9 9 5 号明細書

30

【特許文献 3】米国特許出願公開第 2 0 1 2 / 0 2 9 3 2 0 0 号明細書

【発明の概要】

【発明が解決しようとする課題】

【0004】

信号処理装置の機能を向上させる方法あるいはその方法によって設計された信号処理装置等を提供する。

【課題を解決するための手段】

【0005】

第 1 のトランジスタのソースあるいはドレインの一方に第 2 のトランジスタ（パストランジスタ）のゲートを接続し、その接続部分のノードに存在する容量を、第 2 のトランジスタのソースあるいはドレインの一方に接続する負荷容量と第 2 のトランジスタのソースあるいはドレインの一方と第 2 のトランジスタのゲートとの間の容量との直列合成容量と、第 2 のトランジスタのソースあるいはドレインの他方と第 2 のトランジスタのゲートとの間の容量との和（後述する式 6 で示される）の 2 倍未満とし、また、第 2 のトランジスタのチャネル幅を次段のゲート回路等のトランジスタのチャネル幅の 4 倍以上とする信号処理装置が提供される。

40

【発明の効果】

【0006】

プログラマブルスイッチのスイッチング特性を向上することができる。また、プログラマブルスイッチの設計指針を与えることができる。なお、効果はこれらに限定されず、以下

50

に詳述される。

【図面の簡単な説明】

【0007】

【図1】実施の形態1で説明される信号処理装置の回路例を示す。

【図2】実施の形態1で説明される信号処理装置の回路例および等価回路例を示す。

【図3】PLDの構成例を示す図とPLEの構成例を示す。

【図4】マルチプレクサの構成例を示す。

【図5】マルチプレクサの構成例と、タイミングチャートを示す。

【図6】マルチプレクサの構成例を示す図。

【図7】プログラマブルロジックエレメントの構成例を示す。

【図8】PLDとスイッチの構成例を示す。

【図9】PLD全体の構成例を示す。

【図10】PLDの断面構造例を示す。

【図11】PLDの断面構造例を示す。

【発明を実施するための形態】

【0008】

以下では、実施の形態について図面を用いて詳細に説明する。ただし、実施の形態は以下の説明に限定されず、趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは、当業者であれば容易に理解される。従って、この開示物が開示する内容は、以下に示す実施の形態の記載内容に限定して解釈されるものではない。

【0009】

なお、トランジスタのソースとは、活性層として機能する半導体膜の一部であるソース領域、或いは上記半導体膜に電気的に接続されたソース電極を意味することもある。同様に、トランジスタのドレインとは、活性層として機能する半導体膜の一部であるドレイン領域、或いは上記半導体膜に電気的に接続されたドレイン電極を意味することもある。また、ゲートはゲート電極を意味することもある。

【0010】

(実施の形態1)

図1には、信号処理装置に用いられる回路例を示す。図1(A)に示される回路は、2つのノード、ノードAとノードBの導通を第2のトランジスタTR2(パストランジスタ)で制御するものである。このような回路をプログラマブルスイッチともいう。ここで、第2のトランジスタTR2のゲートは、第1のトランジスタTR1のソースまたはドレインの一方に接続する。第1のトランジスタTR1のゲート(ノードX)の電位によって、第1のトランジスタTR1のオンオフを制御する。

【0011】

第1のトランジスタTR1としては、各種のトランジスタを使用できるが、第2のトランジスタTR2のゲート(ノードSN)の電位を必要とする時間だけ保持するには、相応に高いオフ抵抗(すなわち、相応に低いオフ電流)を必要とする。例えば、第1のトランジスタTR1としては、特許文献1乃至3に記載されているトランジスタを用いることができる。第2のトランジスタTR2としては、各種のトランジスタを使用できるが、オン抵抗の低いものが好ましい。

【0012】

図1(A)に示される回路の動作は、以下のおこなう。例えば、第1のトランジスタTR1をオン状態とした後、第2のトランジスタTR2のソースとドレインの電位をいずれもローレベル電位とした状態で、ノードSNの電位を第2のトランジスタTR2のしきい値とローレベル電位との和より高い電位とし、その後、第1のトランジスタTR1をオフ状態とすると、第2のトランジスタTR2は強反転モードとなり、第2のトランジスタTR2のゲートとチャンネルとの間に形成される容量でノードSNの電位が保持される。このとき、第2のトランジスタTR2がオン状態であるので、ノードAとノードBの間が導通状態となる。

【 0 0 1 3 】

例えば、第 1 のトランジスタ T R 1 をオン状態とした後、ノード S N の電位をローレベル電位とすると、その後に、第 1 のトランジスタ T R 1 をオフ状態としても、第 2 のトランジスタ T R 2 は弱反転モードなので、第 2 のトランジスタ T R 2 のゲートとチャネル等との間に形成される容量は非常に小さく、ノード S N の電位を十分に保持できない可能性があるが、第 1 のトランジスタ T R 1 のソースまたはドレインの他方（ノード Y ）の電位をローレベルに保持することで、ノード S N の電位はローレベルを維持できる。なお、第 2 のトランジスタ T R 2 のゲート絶縁膜の抵抗は無限大であると仮定する。このとき、第 2 のトランジスタ T R 2 がオフ状態であるので、ノード A とノード B の間が非導通状態となる。

10

【 0 0 1 4 】

ノード S N の保持特性をより向上させるには、図 1（B）に示すように、ノード S N に容量素子 C S の一方の電極を接続させてもよい。容量素子 C S の他方の電極（ノード Z ）は適切な電位に保持される。なお、容量素子 C S は意図的に形成されるものばかりではなく、意図せず形成されるもの（すなわち、寄生容量によるもの）も含む。場合によっては寄生容量によるもののみからなることもある。

【 0 0 1 5 】

以上の回路においては、通常は、第 1 のトランジスタ T R 1 をオフ状態にして演算処理がなされる。このとき、ノード S N は浮遊状態である。また、ノード S N は、第 2 のトランジスタ T R 2 のゲート容量や容量素子 C S の容量等を介して容量結合しているため、ノード A やノード B の電位が変動すると、その影響を受けて変動する。

20

【 0 0 1 6 】

すなわち、ノード S N の電位が第 2 のトランジスタ T R 2 のしきい値と第 2 のトランジスタ T R 2 のソースあるいはドレインの電位との和より高い場合には、第 2 のトランジスタ T R 2 は強反転モードであり、ゲートとチャネルとの間の容量が大きいため、ノード A あるいはノード B の電位の上昇によって、ノード S N の電位は上昇する。このような効果をブースティング効果という。結果として、ノード S N の電位が、ノード A の電位と第 2 のトランジスタ T R 2 のしきい値の和より高くなれば、ノード B の電位はノード A の電位と同等となる。ノード S N の電位が全く上昇しなければ、ノード B の電位は、ノード A の電位より第 2 のトランジスタ T R 2 のしきい値分だけ低い電位となる。

30

【 0 0 1 7 】

このような効果は、パストランジスタのゲートに S R A M セルを接続して、定電圧を供給するタイプの信号処理装置では生じない。すなわち、この場合のパストランジスタのゲートの電位は、あらかじめ十分に高く設定しておく必要がある。

【 0 0 1 8 】

一般に、第 2 のトランジスタ T R 2 のゲートとチャネルとの間の容量が大きく、容量素子 C S の容量が小さいほど効果が大きい。容量素子 C S の容量を小さくするとノード S N の保持特性は悪化し、また、回路の微細化とともに、第 2 のトランジスタ T R 2 のゲートとチャネルとの間の容量は小さくなる。また、ノード A からノード B へ信号を伝達するにあたって、信号遅延や信号の完全性も考慮する必要がある。

40

【 0 0 1 9 】

図 1（A）に示す回路では、ノード A に供給する電位の上昇に伴い第 2 のトランジスタ T R 2 のゲートの電位が上昇する。これは、第 2 のトランジスタ T R 2 のゲート ソース間の容量による容量結合に起因する。ゲート電位の上昇（1 次的なブースティング効果）に伴い、第 2 のトランジスタ T R 2 のゲート ドレイン間の容量による容量結合に起因するノード B の信号の立ち上がりが加速される（2 次的なブースティング効果）。

【 0 0 2 0 】

一般に、ブースティング効果は、ノード S N の電位を上昇させることによって、ノード A の電位をノード B に完全に伝達させること、あるいは、ゲートの電位を上昇させることにより第 2 のトランジスタ T R 2 のオン電流の増大を目的とするため、2 次的なブースティ

50

ング効果が注目されることは少ない。

【 0 0 2 1 】

しかしながら、２次的なブースティング効果を積極的に利用することで、ノード A に供給される電位の上昇時、下降時の応答速度改善を目指すことができる。また、図 1 (B) に示される回路では、電荷保持特性を向上するために接続される容量素子 C S も重要な検討項目となる。特に、容量素子 C S の容量の増大はブースティング効果の発現を妨げることになるため、容量素子 C S の容量の最適化は回路設計上の指針を得る上で重要である。

【 0 0 2 2 】

実際に形成される回路を考慮すれば、図 1 (A) あるいは図 1 (B) に示される回路は、図 2 (A) のようになる。図 2 (A) に示す回路は、第 1 のトランジスタ T R 1、第 2 のトランジスタ T R 2、容量素子 C S、を有し、ノード B は、次段の C M O S ゲート回路に接続されているとし、C M O S ゲート回路を負荷抵抗及び負荷容量で置き変える。それぞれの大きさは R 及び C とする。負荷容量 C は、C M O S ゲート回路の入力容量に相当し、負荷抵抗 R は C M O S ゲート回路までの配線抵抗に相当する。なお、容量素子 C S は、意図的に設けられるもの以外に、意図せず形成されるもの（寄生容量によるもの）も含む。

【 0 0 2 3 】

図 2 (A) において、容量素子 C S の容量を C_s 、第 2 のトランジスタ T R 2 のゲートソース間の容量を C_{gs} 、ゲートドレイン間の容量を C_{gd} 、チャネルの抵抗を r_c とすると、図 2 (B) に示す等価回路に置き換えることができる。ここで、第 1 のトランジスタ T R 1 は十分に抵抗が高いので、等価回路から省略できる。

【 0 0 2 4 】

C_{gs} 、 C_{gd} 、 r_c は第 2 のトランジスタ T R 2 のゲートの電位にも依存する。すなわち、 C_{gs} 、 C_{gd} は、それぞれ、その一部に寄生容量を含むことがあるが、第 2 のトランジスタ T R 2 のゲートの電位が第 2 のトランジスタ T R 2 のしきい値より高い場合には、第 2 のトランジスタ T R 2 のチャネル部のゲート容量が、 C_{gs} 、 C_{gd} に分配される。この分配率については、50 : 50、80 : 20 などのモデルが提案されているが、以下の議論は特に指定が無い限りこれらの比率に依存しないものとする。なお、第 2 のトランジスタ T R 2 のゲートの電位とソース（あるいはドレイン）の電位との差がしきい値未満の場合、 C_{gs} 、 C_{gd} は寄生容量のみと見做せる。

【 0 0 2 5 】

図 2 (B) の等価回路について、電気回路理論における一般的な手法を用いて、ノード A に単位ステップ入力信号を与えた際のノード B の電位、すなわち応答関数 $y(t)$ を以下のように求めることができる。

【 0 0 2 6 】

【数 1】

$$y(t) = 1 - (k_+ e^{-\beta_+ t} + k_- e^{-\beta_- t}) \quad (1)$$

ただし、

【 0 0 2 7 】

【数 2】

$$\beta_{\pm} = \frac{1}{2} \left[\frac{\alpha}{CR} + \frac{\alpha-1}{Cr_c} \pm \sqrt{\left(\frac{\alpha}{CR} + \frac{\alpha-1}{Cr_c} \right)^2 - \frac{4(\alpha-1)}{C^2 R r_c}} \right] \quad (2)$$

【 0 0 2 8 】

【数 3】

$$k_{\pm} = \frac{1}{2} \left[1 \pm \left(\frac{2}{CR} \frac{1}{1+C_S/C_{gs}} - \frac{\alpha}{CR} - \frac{\alpha-1}{Cr_c} \right) / \sqrt{\left(\frac{\alpha}{CR} + \frac{\alpha-1}{Cr_c} \right)^2 - \frac{4(\alpha-1)}{C^2 R r_c}} \right] \quad (3)$$

【0029】

【数 4】

$$\alpha = \frac{1}{k_0} \frac{1+C_S/C_{gs//gd,C}}{1+C_S/C_{gs}} \quad (4) \quad 10$$

【0030】

【数 5】

$$k_0 = \frac{1}{1+C/C_{gs,gd}} \quad (5)$$

【0031】

【数 6】

$$C_{gs//gd,C} = C_{gs} + \frac{C_{gd}C}{C_{gd}+C} \quad (6) \quad 20$$

【0032】

【数 7】

$$C_{gs,gd} = \frac{C_{gs}C_{gd}}{C_{gs}+C_{gd}} \quad (7)$$

である。

30

【0033】

$C_{gs//gd,C}$ は、 C_{gd} と C の直列合成容量と C_{gs} との並列合成容量、 $C_{gs,gd}$ は、 C_{gs} と C_{gd} の直列合成容量、である。ここで、式(1)の意味を理解する目的で、以下の2つの極限条件を考える。

【0034】

第1の極限条件として、 $r_c = \infty$ の条件を考える。この時、第2のトランジスタTR2において有効な容量は C_{gs} 及び C_{gd} のみであり、回路上はハイパスフィルタの容量としてのみ寄与すると理解できる。この時の応答関数は、

【0035】

【数 8】

$$y(t)|_{r_c=\infty} = k(1 - e^{-\alpha t/CR}) \quad (8) \quad 40$$

である。ただし、

【0036】

【数 9】

$$k = k_0 \frac{1}{1+C_S/C_{gs//gd,C}} \quad (9)$$

50

である。

【 0 0 3 7 】

係数 k は、第 2 のトランジスタ $T R 2$ がハイパスフィルタとして寄与する際の寄与率に相当し、 $0 < k < 1$ である。前述の 2 次的なブースティング効果は、第 2 のトランジスタ $T R 2$ のハイパスフィルタとしての寄与に相当する。なお、 C_{gs} 、 C_{gd} は、第 2 のトランジスタ $T R 2$ のゲートの電位とソース（あるいはドレイン）の電位との差がしきい値未満の場合には、寄生容量のみであるが、それらの合成容量は、負荷容量 C に比べて著しく小さい。したがって、第 2 のトランジスタ $T R 2$ はオフ状態の場合には、実質的にはハイパスフィルタとして寄与しない。

【 0 0 3 8 】

第 2 の極限条件として、 C_s が無限大の条件を考える。この時、図 2 (A) の回路は、S R A M を使用したプログラマブルスイッチの場合と同様に、パストランジスタのゲートの電位が固定値と見做せるため、ブースティング効果が全く得られない。第 2 のトランジスタ $T R 2$ はチャネル抵抗とゲート容量による $C R$ 回路、すなわち、ローパスフィルタとして寄与し、負荷容量 C 及び負荷抵抗 R とで 2 次のローパスフィルタを構成していると思ふことができる。

【 0 0 3 9 】

なお、時刻 $t = 0$ における傾き

【 0 0 4 0 】

【 数 1 0 】

$$y^{(1)}(0) = \frac{1}{1 + C_s / C_{gs}} \frac{1}{CR} \quad (10)$$

を考え、 C_s が無限大の場合における傾きを求めると、

【 0 0 4 1 】

【 数 1 1 】

$$y^{(1)}(0) \Big|_{C_s \rightarrow \infty} = 0 \quad (11)$$

であることから、2 次のローパスフィルタを構成していると思ふことは妥当である。応答関数で表される、初期の変化は、 $y(t) \Big|_{t=0} = 0$ 、すなわち、第 2 のトランジスタ $T R 2$ のハイパスフィルタとしての寄与分に相当することがわかる。また、応答関数で表される、続いての変化は、第 2 のトランジスタ $T R 2$ のローパスフィルタとしての寄与分に相当することがわかる。

【 0 0 4 2 】

2 次的なブースティング効果を有効に用いるためには、第 2 のトランジスタ $T R 2$ のハイパスフィルタとしての寄与分を大きく、すなわち、係数 k を大きくすることが設計上の指針となる。係数 k を大きくするためには、

i) 式 (5) から、 C に対して C_{gs} 、 C_{gd} を大きくすること、

ii) 式 (9) から、 C_s を小さくすること、

が必要である。

【 0 0 4 3 】

k を 0.1 程度以上とすれば、応答速度向上効果が見込める。この場合、上記 i) より、第 2 のトランジスタ $T R 2$ のチャネル幅を次段のゲート回路のチャネル幅の 4 倍程度以上、上記 ii) より、 C_s を C_{gs} / C_{gd} の 2 倍未満とするとよい。すなわち、容量素子 C_s を意図的に設けないことが望ましいという結論が導出される。

【 0 0 4 4 】

しかしながら、現実の設計上は、応答速度以外に保持時間を考慮し、第 2 のトランジスタ $T R 2$ のサイズ、容量素子 C_s のサイズを設計することになる。例えば、第 2 のトランジ

10

20

30

40

50

スタTR2のゲートとソース間の容量とゲートとドレイン間の容量が 0.1 fF （オン状態においてチャンネル長 100 nm 、チャンネル幅 100 nm 、ゲート絶縁膜の厚さ 2 nm （EOT）に相当）であり、第1のトランジスタTR1のオフ抵抗が 1×10^{24} であれば、特に容量素子CSを設けなくても、1か月はノードSNの電位を実用上問題ないレベルに維持できる。ただし、チャンネル長、チャンネル面積が減少した場合には、保持時間が低下する。また、使用温度が上昇するとオフ抵抗が低下する。このような条件では、意図的に容量を設けることが望まれる。

【0045】

トンネル効果によるノードSNからの電荷の流出を防止するためには、第2のトランジスタTR2のゲート絶縁膜の物理的な厚さは 6 nm 以上、例えば、 8 nm 以上とすることが

10

【0046】

なお、実際には、意図的に容量素子を設けなくても、 100 nm 程度のデザインルールで設計された回路では、配線間の寄生容量のみにより 0.1 fF 程度の容量がノードSNに形成される。

【0047】

以上の回路解析結果から導かれる、図2に示される回路の特徴は、第2のトランジスタTR2のハイパスフィルタとしての機能であり、この場合、 C_{gs} 及び C_{gd} が寄与している。一方で、チャンネル抵抗 r_c は第2のトランジスタTR2のハイパスフィルタとしての寄与には影響しない。したがって、 C_{gs} 及び C_{gd} の形成に十分な電位、すなわち、第2のトランジスタTR2がオンとなるような電位が容量素子CSに保持されていれば、当該電位が変動しても、第2のトランジスタTR2のハイパスフィルタとしての寄与率は変わらない。

20

【0048】

この寄与率が高い場合、ノードSNの電位が変動しても、応答速度は変化しない。つまり、容量素子CSに保持される電位と第2のトランジスタTR2のソースの電位との差が時間経過と共に変化しても、第2のトランジスタTR2のしきい値以上であれば、ノードAからノードBへの信号の応答速度劣化は少ない。また、ノードSNの電位が第2のトランジスタTR2のしきい値未満になったところで、応答速度が急激に落ちる。

30

【0049】

一方、この寄与率が低い場合は、極限としてはSRAMを使用したプログラマブルスイッチに相当する。このとき、第2のトランジスタTR2はローパスフィルタとしての寄与が大きくなるため、ゲートの電位に依存して応答速度が変化する。つまり、ノードSNの電位が時間経過と共に変化すると、応答速度も漸減する。

【0050】

このように、プログラマブルスイッチの設計指針を与えることができる。なお、以上の説明では、第2のトランジスタTR2がNチャンネル型であるとして説明したが、Pチャンネル型であってもよい。

【0051】

第1のトランジスタTR1に用いることのできる酸化物半導体について説明する。

40

【0052】

酸化物半導体は、例えば、インジウムを含む。インジウムを含む酸化物半導体は、キャリア移動度（電子移動度）が高くなる。また、酸化物半導体は、元素Mを含むと好ましい。元素Mとして、例えば、アルミニウム、ガリウム、イットリウムまたはスズなどがある。元素Mは、例えば、酸素との結合エネルギーが高い元素である。元素Mは、例えば、酸化物半導体のエネルギーギャップを大きくする機能を有する元素である。また、酸化物半導体は、亜鉛を含むと好ましい。酸化物半導体が亜鉛を含むと、結晶質の酸化物半導体となりやすい。また、酸化物半導体の価電子帯上端のエネルギー（ E_v ）は、例えば、亜鉛の原子数比によって制御できる場合がある。

50

【0053】

ただし、酸化物半導体は、インジウムを含まなくてもよい。酸化物半導体は、例えば、Zn-Sn酸化物、Ga-Sn酸化物であっても構わない。

【0054】

なお、酸化物半導体は、InおよびMの和を100 atomic %としたとき、InとMの原子数比率をInが50 atomic %未満、Mが50 atomic %以上、またはInが25 atomic %未満、Mが75 atomic %以上であるIn-M-Zn酸化物としてもよい。また、酸化物半導体は、InおよびMの和を100 atomic %としたとき、InとMの原子数比率をInが25 atomic %以上、Mが75 atomic %未満、またはInが34 atomic %以上、Mが66 atomic %未満であるIn-M-Zn酸化物としてもよい。

10

【0055】

また、酸化物半導体は、エネルギーギャップが大きい。酸化物半導体のエネルギーギャップは、2.7 eV以上4.9 eV以下、好ましくは3 eV以上4.7 eV以下、さらに好ましくは3.2 eV以上4.4 eV以下とする。

【0056】

トランジスタの電気特性を安定にするためには、酸化物半導体中の不純物濃度を低減し、高純度真性化することが有効である。なお、酸化物半導体において、主成分以外(1 atomic %未満)の軽元素、半金属元素、金属元素などは不純物となる。例えば、水素、リチウム、炭素、窒素、フッ素、ナトリウム、シリコン、塩素、カリウム、カルシウム、チタン、鉄、ニッケル、銅、ゲルマニウム、ストロンチウム、ジルコニウムおよびハフニウムは酸化物中で不純物となる場合がある。従って、近接する膜中の不純物濃度も低減することが好ましい。

20

【0057】

例えば、酸化物半導体中にシリコンが含まれることで不純物準位を形成する場合がある。また、酸化物半導体の表層にシリコンがあることで不純物準位を形成する場合がある。そのため、酸化物半導体の内部、表層におけるシリコン濃度は、二次イオン質量分析法(SIMS: Secondary Ion Mass Spectrometry)において、 $1 \times 10^{19} \text{ atoms/cm}^3$ 未満、好ましくは $5 \times 10^{18} \text{ atoms/cm}^3$ 未満、さらに好ましくは $2 \times 10^{18} \text{ atoms/cm}^3$ 未満とする。

30

【0058】

また、酸化物半導体中で水素は、不純物準位を形成し、キャリア密度を増大させてしまう場合がある。そのため、酸化物半導体膜の水素濃度はSIMSにおいて、 $2 \times 10^{20} \text{ atoms/cm}^3$ 以下、好ましくは $5 \times 10^{19} \text{ atoms/cm}^3$ 以下、より好ましくは $1 \times 10^{19} \text{ atoms/cm}^3$ 以下、さらに好ましくは $5 \times 10^{18} \text{ atoms/cm}^3$ 以下とする。また、酸化物半導体中で窒素は、不純物準位を形成し、キャリア密度を増大させてしまう場合がある。そのため、酸化物半導体中の窒素濃度は、SIMSにおいて、 $5 \times 10^{19} \text{ atoms/cm}^3$ 未満、好ましくは $5 \times 10^{18} \text{ atoms/cm}^3$ 以下、より好ましくは $1 \times 10^{18} \text{ atoms/cm}^3$ 以下、さらに好ましくは $5 \times 10^{17} \text{ atoms/cm}^3$ 以下とする。

40

【0059】

酸化物半導体は、例えば非単結晶を有してもよい。非単結晶は、例えば、CAAC(C Axis Aligned Crystal)、多結晶、微結晶、非晶質部を有する。

【0060】

酸化物半導体は、例えばCAACを有してもよい。なお、CAACを有する酸化物半導体を、CAAC-OS(C Axis Aligned Crystalline Oxide Semiconductor)と呼ぶ。

【0061】

CAAC-OSは、例えば、透過型電子顕微鏡(TEM: Transmission Electron Microscope)による観察像で、結晶部を確認することができ

50

る場合がある。C A A C - O Sに含まれる結晶部は、例えば、T E Mによる観察像で、一辺100nmの立方体内に収まる大きさであることが多い。また、C A A C - O Sは、T E Mによる観察像で、結晶部と結晶部との境界を明確に確認できない場合がある。また、C A A C - O Sは、T E Mによる観察像で、粒界（グレインバウンダリーともいう。）を明確に確認できない場合がある。C A A C - O Sは、例えば、明確な粒界を有さないため、不純物が偏析することが少ない。また、C A A C - O Sは、例えば、明確な粒界を有さないため、欠陥準位密度が高くなることが少ない。また、C A A C - O Sは、例えば、明確な粒界を有さないため、電子移動度の低下が小さい。

【0062】

C A A C - O Sは、例えば、複数の結晶部を有し、当該複数の結晶部においてc軸が被形成面の法線ベクトルまたは表面の法線ベクトルに平行な方向に揃っている場合がある。また、C A A C - O Sは、例えば、X線回折（XRD：X-Ray Diffraction）装置を用い、out-of-plane法による分析を行うと、配向を示す2θが31°近傍のピークが現れる場合がある。また、C A A C - O Sは、例えば、電子線回折像で、スポット（輝点）が観測される場合がある。なお、特に、ビーム径が10nm以下、または5nm以下の電子線を用いて得られる電子線回折像を、極微電子線回折像と呼ぶ。また、C A A C - O Sは、例えば、異なる結晶部間で、それぞれa軸およびb軸の向きが揃っていない場合がある。C A A C - O Sは、例えば、c軸配向し、a軸またはb軸はマクロに揃っていない場合がある。

【0063】

C A A C - O Sに含まれる結晶部は、例えば、c軸がC A A C - O Sの被形成面の法線ベクトルまたは表面の法線ベクトルに平行な方向になるように揃い、かつa-b面に垂直な方向から見て金属原子が三角形または六角形状に配列し、c軸に垂直な方向から見て金属原子が層状または金属原子と酸素原子とが層状に配列している。なお、異なる結晶部間で、それぞれa軸およびb軸の向きが異なってもよい。本明細書において、単に垂直と記載する場合、80°以上100°以下、好ましくは85°以上95°以下の範囲も含まれることとする。また、単に平行と記載する場合、-10°以上10°以下、好ましくは-5°以上5°以下の範囲も含まれることとする。

【0064】

また、C A A C - O Sは、例えば、欠陥準位密度を低減することで形成することができる。C A A C - O Sを形成するためには、例えば、酸化物半導体に酸素欠損を生じさせないことが重要となる。従って、C A A C - O Sは、欠陥準位密度の低い酸化物半導体である。または、C A A C - O Sは、酸素欠損の少ない酸化物半導体である。

【0065】

不純物濃度が低く、欠陥準位密度の低い（酸素欠損の少ない）ことを高純度真性または実質的に高純度真性と呼ぶ。高純度真性または実質的に高純度真性である酸化物半導体は、キャリア発生源が少ないため、キャリア密度を低くすることができる場合がある。従って、当該酸化物半導体をチャネル形成領域に用いたトランジスタは、しきい値がマイナスとなる電気特性（ノーマリーオンともいう。）になることが少ない場合がある。また、高純度真性または実質的に高純度真性である酸化物半導体は、欠陥準位密度が低いため、トラップ準位密度も低くなる場合がある。従って、当該酸化物半導体をチャネル形成領域に用いたトランジスタは、電気特性の変動が小さく、信頼性の高いトランジスタとなる場合がある。なお、酸化物半導体のトラップ準位に捕獲された電荷は、消失するまでに要する時間が長く、あたかも固定電荷のように振る舞うことがある。そのため、トラップ準位密度の高い酸化物半導体をチャネル形成領域に用いたトランジスタは、電気特性が不安定となる場合がある。

【0066】

また、高純度真性または実質的に高純度真性であるC A A C - O Sを用いたトランジスタは、可視光や紫外光の照射による電気特性の変動が小さい。

【0067】

酸化物半導体は、例えば多結晶を有してもよい。なお、多結晶を有する酸化物半導体を、多結晶酸化物半導体と呼ぶ。多結晶酸化物半導体は複数の結晶粒を含む。

【0068】

酸化物半導体は、例えば微結晶を有してもよい。なお、微結晶を有する酸化物半導体を、微結晶酸化物半導体と呼ぶ。

【0069】

微結晶酸化物半導体は、例えば、TEMによる観察像では、明確に結晶部を確認することができない場合がある。微結晶酸化物半導体に含まれる結晶部は、例えば、1 nm以上100 nm以下、または1 nm以上10 nm以下の大きさであることが多い。特に、例えば、1 nm以上10 nm以下の微結晶をナノ結晶(nc:nanocrystal)と呼ぶ。ナノ結晶を有する酸化物半導体を、nc-OS(nanocrystalline Oxide Semiconductor)と呼ぶ。また、nc-OSは、例えば、TEMによる観察像では、結晶部と結晶部との境界を明確に確認できない場合がある。また、nc-OSは、例えば、TEMによる観察像では、明確な粒界を有さないため、不純物が偏析することが少ない。また、nc-OSは、例えば、明確な粒界を有さないため、欠陥準位密度が高くなることが少ない。また、nc-OSは、例えば、明確な粒界を有さないため、電子移動度の低下が小さい。

10

【0070】

nc-OSは、例えば、微小な領域(例えば、1 nm以上10 nm以下の領域)において原子配列に周期性を有する場合がある。また、nc-OSは、例えば、結晶部と結晶部との間で規則性がないため、巨視的には原子配列に周期性が見られない場合、または長距離秩序が見られない場合がある。従って、nc-OSは、例えば、分析方法によっては、非晶質酸化物半導体と区別が付かない場合がある。nc-OSは、例えば、XRD装置を用い、結晶部よりも大きいビーム径のX線でout-of-plane法による分析を行うと、配向を示すピークが検出されない場合がある。また、nc-OSは、例えば、結晶部よりも大きいビーム径(例えば、20 nm以上、または50 nm以上)の電子線を用いる電子線回折像では、ハローパターンが観測される場合がある。また、nc-OSは、例えば、結晶部と同じか結晶部より小さいビーム径(例えば、10 nm以下、または5 nm以下)の電子線を用いる極微電子線回折像では、スポットが観測される場合がある。また、nc-OSの極微電子線回折像は、例えば、円を描くように輝度の高い領域が観測される場合がある。また、nc-OSの極微電子線回折像は、例えば、当該領域内に複数のスポットが観測される場合がある。

20

30

【0071】

nc-OSは、微小な領域において原子配列に周期性を有する場合があるため、非晶質酸化物半導体よりも欠陥準位密度が低くなる。ただし、nc-OSは、結晶部と結晶部との間で規則性がないため、CAAC-OSと比べて欠陥準位密度が高くなる。

【0072】

なお、酸化物半導体が、CAAC-OS、多結晶酸化物半導体、微結晶酸化物半導体、非晶質酸化物半導体の二種以上を有する混合膜であってもよい。混合膜は、例えば、非晶質酸化物半導体の領域、微結晶酸化物半導体の領域、多結晶酸化物半導体の領域、CAAC-OSの領域、のいずれか二種以上の領域を有する場合がある。また、混合膜は、例えば、非晶質酸化物半導体の領域、微結晶酸化物半導体の領域、多結晶酸化物半導体の領域、CAAC-OSの領域、のいずれか二種以上の領域の積層構造を有する場合がある。

40

【0073】

酸化物半導体は、多層膜で構成されていてもよい。例えば、酸化物半導体層(S1)と、酸化物半導体層(S2)とが、この順番で形成された多層膜であってもよい。

【0074】

このとき、例えば、酸化物半導体層(S2)の伝導帯下端のエネルギー(E_c)を、酸化物半導体層(S1)よりも低くする。具体的には、酸化物半導体層(S2)として、酸化物半導体層(S1)よりも電子親和力の0.07 eV以上1.3 eV以下、好ましくは0

50

．1 e V以上0．7 e V以下、さらに好ましくは0．15 e V以上0．4 e V以下大きい酸化物半導体を用いる。なお、電子親和力は、真空準位と伝導帯下端のエネルギーとの差である。

【0075】

または、例えば、酸化物半導体層(S2)のエネルギーギャップを、酸化物半導体層(S1)よりも小さくする。なお、エネルギーギャップは、例えば、光学的な手法により導出することができる。具体的には、酸化物半導体層(S2)として、酸化物半導体層(S1)よりもエネルギーギャップの0．1 e V以上1．2 e V以下、好ましくは0．2 e V以上0．8 e V以下小さい酸化物半導体を用いる。

【0076】

または、酸化物半導体は、例えば、酸化物半導体層(S1)と、酸化物半導体層(S2)と、酸化物半導体層(S3)とが、この順番で形成された多層膜であってもよい。

【0077】

または、例えば、酸化物半導体層(S2)の伝導帯下端のエネルギー(E_c)を、酸化物半導体層(S1)および酸化物半導体層(S3)よりも低くする。具体的には、酸化物半導体層(S2)として、酸化物半導体層(S1)および酸化物半導体層(S3)よりも電子親和力の0．07 e V以上1．3 e V以下、好ましくは0．1 e V以上0．7 e V以下、さらに好ましくは0．15 e V以上0．4 e V以下大きい酸化物半導体を用いる。

【0078】

または、例えば、酸化物半導体層(S2)のエネルギーギャップを、酸化物半導体層(S1)および酸化物半導体層(S3)よりも小さくする。具体的には、酸化物半導体層(S2)として、酸化物半導体層(S1)および酸化物半導体層(S3)よりもエネルギーギャップの0．1 e V以上1．2 e V以下、好ましくは0．2 e V以上0．8 e V以下小さい酸化物半導体を用いる。

【0079】

または、例えば、トップゲート型のトランジスタのオン電流を高くするためには、酸化物半導体層(S3)の厚さは小さいほど好ましい。例えば、酸化物半導体層(S3)は、10 nm未満、好ましくは5 nm以下、さらに好ましくは3 nm以下とする。一方、酸化物半導体層(S3)は、電流密度の高い酸化物半導体層(S2)へ、ゲート絶縁膜を構成する元素(シリコンなど)が入り込まないようにブロックする機能も有する。そのため、酸化物半導体層(S3)は、ある程度の厚さを有することが好ましい。例えば、酸化物半導体層(S3)の厚さは、0．3 nm以上、好ましくは1 nm以上、さらに好ましくは2 nm以上とする。

【0080】

また、酸化物半導体層(S1)は厚く、酸化物半導体層(S2)は薄く、酸化物半導体層(S3)は薄く設けられることが好ましい。具体的には、酸化物半導体層(S1)の厚さは、20 nm以上、好ましくは30 nm以上、さらに好ましくは40 nm以上、より好ましくは60 nm以上とする。酸化物半導体層(S1)の厚さを、20 nm以上、好ましくは30 nm以上、さらに好ましくは40 nm以上、より好ましくは60 nm以上とすることで、絶縁膜と酸化物半導体層(S1)との界面から電流密度の高い酸化物半導体層(S2)までを20 nm以上、好ましくは30 nm以上、さらに好ましくは40 nm以上、より好ましくは60 nm以上離すことができる。ただし、信号処理装置の生産性が低下する場合があるため、酸化物半導体層(S1)の厚さは、200 nm以下、好ましくは120 nm以下、さらに好ましくは80 nm以下とする。また、酸化物半導体層(S2)の厚さは、3 nm以上100 nm以下、好ましくは3 nm以上80 nm以下、さらに好ましくは3 nm以上50 nm以下とする。

【0081】

例えば、酸化物半導体層(S1)の厚さは酸化物半導体層(S2)の厚さより厚く、酸化物半導体層(S2)の厚さは酸化物半導体層(S3)の厚さより厚くすればよい。

【0082】

10

20

30

40

50

上記のような酸化物半導体の単層または多層を第1のトランジスタTR1のチャネルに用いることができる。

【0083】

(実施の形態2)

図3(A)に、プログラマブルロジックデバイス(PLD)の構成をブロック図で示す。なお、本明細書に添付した図面では、構成要素を機能ごとに分類し、互いに独立したブロックとしてブロック図を示しているが、実際の構成要素は機能ごとに完全に切り分けることが難しく、一つの構成要素が複数の機能に係わることもあり得る。

【0084】

図3(A)に示すように、PLD10は複数のPLE(プログラマブルロジックエレメント)11を有する。そして、各PLE11は、PLE11間の信号の伝送経路等を定義するための情報を含むコンフィギュレーションデータに従って制御される。

10

【0085】

具体的に、PLE11間の信号の伝送経路等の制御は、複数の配線で構成される配線群と、配線群を構成する配線から一以上の配線の選択をコンフィギュレーションデータに従って制御するスイッチとを有する配線エレメントにより、おこなうことができる。

【0086】

また、図3(B)に、PLE11の構成をブロック図で一例として示す。PLE11は、LUT(ルックアップテーブル)12と、FF(フリップフロップ)13と、MUX(マルチプレクサ)14とを少なくとも有する。

20

【0087】

LUT12には、LUT12の論理ゲートとしての機能を定義するための情報を含んだコンフィギュレーションデータ18が入力される。すなわち、LUT12は、端子16からLUT12に入力される入力信号の論理レベル(例えば、“1”あるいは“0”)と、LUT12から出力される出力信号の論理レベルの関係が、コンフィギュレーションデータ18に従って定められる。

【0088】

FF13には、LUT12からの出力信号が入力される。さらに、一のPLE11が有するFF13に、他のPLE11が有するFF13から出力された信号が、入力されることもある。FF13は、入力されたこれらの信号を保持する機能を有する。

30

【0089】

MUX14には、MUX14の動作を制御するための情報を含んだコンフィギュレーションデータ19が入力される。MUX14は、LUT12からの出力信号と、FF13からの出力信号のいずれか一つを、コンフィギュレーションデータ19に従って選択する機能を有する。MUX14によって選択された信号は、PLE11の端子17から出力される。

【0090】

マルチプレクサの構成例

図4に、MUX14の具体的な構成を一例として示す。図4に示すMUX14は、プログラマブルスイッチ20a及びプログラマブルスイッチ20bを少なくとも有する。そして、MUX14は、CM15(コンフィギュレーションメモリ)から入力される、コンフィギュレーションデータを含む信号に従って、プログラマブルスイッチ20a及びプログラマブルスイッチ20bの動作を制御することで、複数の配線25(配線25a、配線25b等)に入力された信号のうち、いずれか一つを選択して一以上の配線26の一に供給する機能を有する。CM15は、コンフィギュレーションデータを記憶するレジスタに相当する。

40

【0091】

配線25aを複数の配線25の一つと仮定すると、プログラマブルスイッチ20aは、CM15から入力される、コンフィギュレーションデータを含む信号に従って、配線25aに入力された信号の一以上の配線26の一つである配線26aへの供給を制御する機能を

50

有する。また、配線 2 5 b を複数の配線 2 5 の別の一つと仮定すると、プログラマブルスイッチ 2 0 b は、C M 1 5 から入力される、コンフィギュレーションデータを含む信号に従って、配線 2 5 b に入力された信号の配線 2 6 a への供給を制御する機能を有する。

【 0 0 9 2 】

また、プログラマブルスイッチ 2 0 a 及びプログラマブルスイッチ 2 0 b は、それぞれトランジスタ 2 1 及びトランジスタ 2 2 を有する。トランジスタ 2 1 は、コンフィギュレーションデータを含む信号の、トランジスタ 2 2 のゲートへの入力を制御する機能を有する。トランジスタ 2 2 は、ゲートに入力された、コンフィギュレーションデータを含む信号に従って、オン状態またはオフ状態が定められる。トランジスタ 2 2 がオン状態であるとき、配線 2 5 a または配線 2 5 b に入力された信号が、トランジスタ 2 2 を介して配線 2 6 a に供給される。逆に、トランジスタ 2 2 がオフ状態であるとき、配線 2 5 a または配線 2 5 b に入力された信号は配線 2 6 a に供給されない。

10

【 0 0 9 3 】

具体的に、トランジスタ 2 1 は、ソース及びドレインの一方に、コンフィギュレーションデータを含む信号が入力され、ソース及びドレインの他方が、トランジスタ 2 2 のゲートに接続されている。トランジスタ 2 2 は、ソース及びドレインの一方が配線 2 5 a または配線 2 5 b に接続されており、ソース及びドレインの他方が、配線 2 6 a に接続されている。

【 0 0 9 4 】

そして、プログラマブルスイッチ 2 0 a とプログラマブルスイッチ 2 0 b にそれぞれ入力される、コンフィギュレーションデータを含む信号は、論理レベルが互いに異なるものとする。具体的に、図 4 では、プログラマブルスイッチ 2 0 a に入力される信号の論理レベルをインバータ 2 7 により反転させた信号が、プログラマブルスイッチ 2 0 b に入力されている場合を例示している。ただし、インバータ 2 7 を用いずに、プログラマブルスイッチ 2 0 a とプログラマブルスイッチ 2 0 b のそれぞれに、論理レベルの異なる上記信号が C M 1 5 から入力されるようにしても良い。

20

【 0 0 9 5 】

なお、図 4 では、インバータ 2 7 が M U X 1 4 に含まれないものとして、M U X 1 4 の構成を例示しているが、M U X 1 4 はインバータ 2 7 をその構成要素に含んでも良い。

【 0 0 9 6 】

上記構成により、プログラマブルスイッチ 2 0 a 及びプログラマブルスイッチ 2 0 b は、いずれか一方においてトランジスタ 2 2 がオン状態となり、他方においてトランジスタ 2 2 がオフ状態となる。すなわち、配線 2 5 a または配線 2 5 b に入力された信号のいずれか一方のみがプログラマブルスイッチ 2 0 a 及びプログラマブルスイッチ 2 0 b により選択されて、配線 2 6 a に供給されることとなる。すなわち、図 4 に示されるように、見かけ上（あるいは回路構成的に）、配線 2 5 a と配線 2 5 b 双方とも、それぞれ、プログラマブルスイッチ 2 0 a 及びプログラマブルスイッチ 2 0 b （のトランジスタ 2 2 ）を介して配線 2 6 a に接続している（あるいは配線 2 5 a と配線 2 6 a の間、及び配線 2 5 b と配線 2 6 a の間に、それぞれ、プログラマブルスイッチ 2 0 a 及びプログラマブルスイッチ 2 0 b が設けられている）が、実質的には、配線 2 5 a と配線 2 5 b のいずれか一方のみが配線 2 6 a に接続するような状態となる。

30

40

【 0 0 9 7 】

なお、複数の配線 2 5 の数によっては、M U X 1 4 にプログラマブルスイッチ 2 0 a 及びプログラマブルスイッチ 2 0 b を複数設ける場合もあり得る。その場合、M U X 1 4 には、複数のプログラマブルスイッチ 2 0 a 及びプログラマブルスイッチ 2 0 b によって選択された信号が入力される配線 2 6 a が、複数存在することとなる。そして、上記場合の M U X 1 4 は、複数の配線 2 6 a に入力される信号をさらに選択するための単数または複数のプログラマブルスイッチ 2 0 a 及びプログラマブルスイッチ 2 0 b を有する。複数のプログラマブルスイッチ 2 0 a 及びプログラマブルスイッチ 2 0 b により繰り返し信号の選択を行うことで、最終的に一あるいは複数の信号が M U X 1 4 より出力されてもよい。

50

【0098】

トランジスタ21はトランジスタ22に比べてオフ電流が著しく小さいものとする。シリコンよりもバンドギャップが広く、真性キャリア密度がシリコンよりも低い半導体膜に、チャンネル形成領域が形成されることを特徴とするトランジスタは、オフ電流が著しく小さいので、トランジスタ21として用いるのに好適である。このような半導体としては、例えば、シリコンの2倍以上の大きなバンドギャップを有する、酸化物半導体、窒化ガリウムなどが挙げられる。上記半導体を有するトランジスタは、通常のシリコンやゲルマニウムなどの半導体で形成されたトランジスタに比べて、オフ電流を極めて小さくすることができる。

【0099】

上記構成を有するトランジスタ21を用いることで、トランジスタ21がオフ状態のときに、ノードSNに保持されている電荷がリークするのを防ぐことができる。そして、ノードSNに電荷が保持されることで、トランジスタ22のオン状態またはオフ状態が保持されるので、プログラマブルスイッチ20a及びプログラマブルスイッチ20bに信号が選択された状態も、維持される。

【0100】

また、プログラマブルスイッチ20a及びプログラマブルスイッチ20bでは、トランジスタ21がオフ状態にあるときノードSNが浮遊状態になることから、実施の形態1で説明したブースティング効果が期待できる。すなわち、プログラマブルスイッチ20a及びプログラマブルスイッチ20bでは、ノードSNが浮遊状態にあると、配線25aまたは配線25bの電位がローレベルからハイレベルに変化するのに伴い、トランジスタ22のソースとゲートの間に形成される容量により、ノードSNの電位が上昇する。そして、そのノードSNの電位の上昇幅は、トランジスタ22のゲートに入力されたコンフィギュレーションデータの論理レベルによって異なる。

【0101】

そして、トランジスタ22のゲートに入力される信号の電位が小さくなっても、すなわち、当該ゲートに与えられる電位が低くなっても、上記ブースティング効果により、MUX14を正常に動作させることができる。なお、図では、ノードSNに接続する容量素子を明記していないが、他の配線との寄生容量等が存在する。もちろん、ノードSNに意図的に容量素子を接続させてもよい。なお、ブースティング効果を享受するには、実施の形態1で示した設計指針に基づいて容量等を設定するとよい。

【0102】

プログラマブルスイッチの動作例

次いで、図4に示したプログラマブルスイッチ20a及びプログラマブルスイッチ20bの動作例について説明する。図5(A)に、図4に示したプログラマブルスイッチ20a及びプログラマブルスイッチ20bと各種配線の回路構成を、一例として示す。また、図5(B)に、上記各種配線に入力される信号と、プログラマブルスイッチ20a及びプログラマブルスイッチ20bのノードSNの電位の、タイミングチャートの一例を示す。

【0103】

図5(A)に示すプログラマブルスイッチ20a及びプログラマブルスイッチ20bでは、トランジスタ21のゲートが、共に配線23に接続されている。また、プログラマブルスイッチ20aのトランジスタ21は、そのソース及びドレインの一方が配線24に接続されており、プログラマブルスイッチ20bのトランジスタ21は、そのソース及びドレインの一方がインバータ27の出力端子に接続されている。インバータ27の入力端子は、配線24に接続されている。

【0104】

図5(B)に示すように、期間T1において配線23にハイレベルの電位が与えられると、プログラマブルスイッチ20a及びプログラマブルスイッチ20bにおいてトランジスタ21がオン状態になる。また、“1”の論理レベルに対応するハイレベルの電位が配線24に与えられることで、プログラマブルスイッチ20aではノードSNに、“1”の論

10

20

30

40

50

理レベルに対応するハイレベルの電位がトランジスタ21を介して与えられる。また、プログラマブルスイッチ20bではノードSNに、“0”の論理レベルに対応するローレベルの電位がトランジスタ21を介して与えられる。なお、プログラマブルスイッチ20aにおいてノードSNに与えられる電位は、配線24の電位よりもトランジスタ21のしきい値分低下している。

【0105】

期間T1が終了すると、配線23にローレベルの電位が与えられ、それによりプログラマブルスイッチ20a及びプログラマブルスイッチ20bにおいてトランジスタ21はオフ状態となる。よって、プログラマブルスイッチ20a及びプログラマブルスイッチ20bのそれぞれにおいて、ノードSNの電位が保持される。

10

【0106】

次いで、期間T2において、配線25aの電位がローレベルからハイレベルに変化し、配線25bにはローレベルの電位が与えられる。プログラマブルスイッチ20aでは、ノードSNが浮遊状態にあり、トランジスタ22が強反転モードにあることから、ブースティング効果により、配線25aの電位がローレベルからハイレベルに変化するのに伴い、ノードSNの電位がさらに上昇する。一方、プログラマブルスイッチ20bでは、配線25bにはローレベルの電位が与えられており、なおかつ、トランジスタ22が弱反転モードにあることから、ノードSNの電位はローレベルを維持する。よって、プログラマブルスイッチ20aのトランジスタ22がオン状態、プログラマブルスイッチ20bのトランジスタ22がオフ状態にあるので、プログラマブルスイッチ20aを介して配線25aの電位が配線26aに与えられる。なお、プログラマブルスイッチ20aのノードSNの電位は、ハイレベルよりも高く、ノードSNの電位と配線25aの電位の差が、トランジスタ22のしきい値よりも大きければ、配線26aの電位は、実質的に配線25aの電位と等しくなる。

20

【0107】

次いで、期間T3において、配線25aにローレベルの電位が与えられ、配線25bの電位がローレベルからハイレベルに変化する。プログラマブルスイッチ20aでは、ノードSNが浮遊状態にあり、トランジスタ22が強反転モードにあるが、配線25aの電位がローレベルであるので、ノードSNは、期間T1において与えられた電位、すなわち、配線24の電位よりもトランジスタ21のしきい値分低下した電位が保持される。一方、プログラマブルスイッチ20bでは、ノードSNが浮遊状態にあることから、ブースティング効果により、配線25bの電位がローレベルからハイレベルに変化するのに伴い、ノードSNの電位が上昇する。ただし、プログラマブルスイッチ20bではトランジスタ22が弱反転モードにあることから、ノードSNの電位の上昇幅は、期間T2のプログラマブルスイッチ20aにおけるノードSNの電位の上昇幅よりも小さい。そのため、プログラマブルスイッチ20bではトランジスタ22がオフ状態を維持する。よって、配線25aの電位がローレベル、プログラマブルスイッチ20bのトランジスタ22が非導通状態にあるので、配線26aの電位はローレベルとなる。

30

【0108】

次いで、2ビットの信号が入力されるMUX14の構成を、図6に一例として示す。図6に示すMUX14は、プログラマブルスイッチ20a乃至プログラマブルスイッチ20fで示すプログラマブルスイッチ20を6つ有する。プログラマブルスイッチ20a乃至プログラマブルスイッチ20fは、それぞれトランジスタ21及びトランジスタ22を有しており、トランジスタ21とトランジスタ22の回路構成は、図4に示すMUX14と同じである。

40

【0109】

ただし、図6に示すMUX14では、プログラマブルスイッチ20a及びプログラマブルスイッチ20cが有するトランジスタ21は、ソース及びドレインの一方が、コンフィギュレーションデータを含む信号が入力される配線24aに接続されている。また、プログラマブルスイッチ20b及びプログラマブルスイッチ20dが有するトランジスタ21は

50

、ソース及びドレインの一方が、インバータ27aの出力端子に接続されている。インバータ27aの入力端子は、配線24aに接続されている。また、プログラマブルスイッチ20eが有するトランジスタ21は、ソース及びドレインの一方が、コンフィギュレーションデータを含む信号が入力される配線24bに接続されている。また、プログラマブルスイッチ20fが有するトランジスタ21は、ソース及びドレインの一方が、インバータ27bの出力端子に接続されている。インバータ27bの入力端子は、配線24bに接続されている。

【0110】

また、図6に示すMUX14では、プログラマブルスイッチ20a乃至プログラマブルスイッチ20dがそれぞれ有するトランジスタ22は、ソース及びドレインの一方が配線25a乃至配線25dにそれぞれ接続されている。また、プログラマブルスイッチ20a及びプログラマブルスイッチ20bがそれぞれ有するトランジスタ22は、ソース及びドレインの他方が、プログラマブルスイッチ20eが有するトランジスタ22のソース及びドレインの一方に接続されている。また、プログラマブルスイッチ20c及びプログラマブルスイッチ20dがそれぞれ有するトランジスタ22は、ソース及びドレインの他方が、プログラマブルスイッチ20fが有するトランジスタ22のソース及びドレインの一方に接続されている。プログラマブルスイッチ20e及びプログラマブルスイッチ20fが有するトランジスタ22のソース及びドレインの他方は、配線26aに接続されている。

【0111】

図6に示すMUX14では、配線24a及び配線24bから入力される、コンフィギュレーションデータを含む信号に従って、トランジスタ22のオン状態とオフ状態が定められる。そして、配線25a乃至配線25dにそれぞれ入力された信号のいずれか一つが、コンフィギュレーションデータに従い、プログラマブルスイッチ20a乃至プログラマブルスイッチ20fによって選択され、配線26aに入力される。

【0112】

P L Eの構成例

次いで、図3(B)に示したPLE11の具体的な構成を、図7(A)に一例として示す。図7(A)に示すPLE11は、LUT12と、FF13と、MUX14と、LUT12用のコンフィギュレーションデータ18が記憶されるCM18aと、MUX14用のコンフィギュレーションデータ19が記憶されるCM15とを有する。

【0113】

LUT12は、CM18aにおいて記憶されているコンフィギュレーションデータによって、実行される論理演算が異なる。そして、コンフィギュレーションデータによりLUT12にて行われる論理演算が確定すると、LUT12は、端子16に与えられた複数の入力信号に対応する出力信号を生成する。FF13は、LUT12で生成される出力信号を保持し、信号CKに同期して、LUT12の出力信号に対応した出力信号を出力する。

【0114】

MUX14には、LUT12からの出力信号と、FF13からの出力信号とが入力されている。そして、MUX14は、CM15に格納されているコンフィギュレーションデータに従って、上記2つの出力信号のいずれか一方を選択し、出力する機能を有する。MUX14からの出力信号は、端子17に与えられる。

【0115】

また、図3(B)に示したPLE11の具体的な構成の別の一例を、図7(B)に一例として示す。図7(B)に示すPLE11は、MUX80と、MUX80用のコンフィギュレーションデータが記憶されるCM81とを有している点において、図7(A)に示すPLE11と構成が異なる。

【0116】

MUX80には、LUT12からの出力信号と、端子82から入力された、他のPLE11が有するFF13からの出力信号とが入力されている。そして、MUX80は、CM81に格納されているコンフィギュレーションデータに従って、上記2つの出力信号のい

10

20

30

40

50

れか一方を選択し、出力する機能を有する。

【0117】

そして、図7(B)に示したPLE11では、FF13は、MUX80からの出力信号を保持し、信号CKに同期して、LUT12の出力信号に対応した出力信号を出力する。

【0118】

なお、図7(A)または図7(B)に示すPLE11が、コンフィギュレーションデータによって、FF13の種類を定義できる構成を有していても良い。具体的には、コンフィギュレーションデータによって、FF13がD型フリップフロップ、T型フリップフロップ、JK型フリップフロップ、またはRS型フリップフロップのいずれかの機能を有するようにしても良い。

10

【0119】

PLDの構成例

図8(A)にPLD10の構造の一部を、一例として模式的に示す。図8(A)に示すPLD10は、複数のPLE11と、複数のPLE11のいずれかに接続された配線群121と、配線群121を構成する配線どうしの接続を制御するスイッチ領域122とを有する。配線群121及びスイッチ領域122が、配線リソース123に相当する。スイッチ領域122によって制御される配線どうしの接続および切断は、コンフィギュレーションデータによって定められる。

【0120】

図8(B)に、スイッチ領域122の構成例を示す。図8(B)に示すスイッチ領域122は、配線群121に含まれる配線125と配線126の接続および切断を制御する機能を有する。具体的に、スイッチ領域122は、トランジスタ127乃至トランジスタ132を有する。トランジスタ127は、配線125におけるPoint Aと、配線126におけるPoint Cの電気的な接続を制御する機能を有する。トランジスタ128は、配線125におけるPoint Bと、配線126におけるPoint Cの電気的な接続を制御する機能を有する。トランジスタ129は、配線125におけるPoint Aと、配線126におけるPoint Dの電気的な接続を制御する機能を有する。トランジスタ130は、配線125におけるPoint Bと、配線126におけるPoint Dの電気的な接続を制御する機能を有する。トランジスタ131は、配線125におけるPoint AとPoint Bの電気的な接続を制御する機能を有する。トランジスタ132は、配線126におけるPoint CとPoint Dの電気的な接続を制御する機能を有する。

20

30

【0121】

そして、トランジスタ127乃至トランジスタ132のオン状態またはオフ状態の選択(スイッチング)は、コンフィギュレーションデータにより定まる。具体的に、PLD10の場合、トランジスタ127乃至トランジスタ132のゲートに入力される信号の電位が、コンフィギュレーションデータにより定まる。

【0122】

また、スイッチ領域122は、配線群121と、PLD10の出力端子124の、電気的な接続を制御する機能を有する。

【0123】

40

図9に、PLD10全体の構成を一例として示す。図9では、PLD10に、I/Oエレメント140、PLL(phase lock loop)141、RAM142、乗算器143が設けられている。I/Oエレメント140は、PLD10の外部回路からの信号の入力、または外部回路への信号の出力を制御する、インターフェースとしての機能を有する。PLL141は、信号CKを生成する機能を有する。RAM142は、論理演算に用いられるデータを格納する機能を有する。乗算器143は、乗算専用の論理回路に相当する。PLD10に乗算を行う機能が含まれていれば、乗算器143は必ずしも設ける必要はない。

【0124】

PLDの断面構造例

50

図10に、PLDの、断面構造の一例を示す。そして、図10では、酸化物半導体膜にチャネル形成領域を有するトランジスタ21が、単結晶のシリコン基板にチャネル形成領域を有するトランジスタ22上に形成されている場合を例示している。

【0125】

なお、トランジスタ22は、非晶質、微結晶、多結晶または単結晶である、シリコン又はゲルマニウムなどの半導体膜を活性層に用いることもできる。或いは、トランジスタ22は、酸化物半導体膜にチャネル形成領域を有していても良い。全てのトランジスタが酸化物半導体膜にチャネル形成領域を有している場合、トランジスタ21はトランジスタ22上に積層されていなくとも良く、トランジスタ21とトランジスタ22とは、同一の層に形成されていても良い。

10

【0126】

薄膜のシリコンを用いてトランジスタ22を形成する場合、プラズマCVD法などの気相成長法若しくはスパッタリング法で作製された非晶質シリコン、非晶質シリコンをレーザーアニールなどの処理により結晶化させた多結晶シリコン、単結晶シリコンウェハに水素イオン等を注入して表層部を剥離した単結晶シリコンなどを用いることができる。

【0127】

トランジスタ22が形成される半導体基板200は、例えば、n型またはp型の導電性を有するシリコン基板、ゲルマニウム基板、シリコンゲルマニウム基板、化合物半導体基板（GaAs基板、InP基板、GaN基板、SiC基板、GaP基板、GaInAsP基板、ZnSe基板等）等を用いることができる。図10では、n型の導電性を有する単結晶シリコン基板を用いた場合を例示している。

20

【0128】

また、トランジスタ22は、素子分離用絶縁膜201により、他のトランジスタと、電気的に分離されている。素子分離用絶縁膜201の形成には、選択酸化法（LOCOS（Local Oxidation of Silicon）法）またはトレンチ分離法等を用いることができる。

【0129】

具体的に、トランジスタ22は、半導体基板200に形成された、ソース領域またはドレイン領域として機能する不純物領域202及び不純物領域203と、ゲート電極204と、半導体基板200とゲート電極204の間に設けられたゲート絶縁膜205とを有する。ゲート電極204は、ゲート絶縁膜205を間に挟んで、不純物領域202と不純物領域203の間に形成されるチャネル形成領域と重なる。

30

【0130】

トランジスタ22上には、絶縁膜209が設けられている。絶縁膜209には開口部が形成されている。そして、上記開口部には、不純物領域202、不純物領域203にそれぞれ接する配線210、配線211と、ゲート電極204に電気的に接続されている配線212とが、形成されている。

【0131】

そして、配線210は、絶縁膜209上に形成された配線215に電気的に接続されており、配線211は、絶縁膜209上に形成された配線216に電気的に接続されており、配線212は、絶縁膜209上に形成された配線217に電気的に接続されている。

40

【0132】

配線215乃至配線217上には、絶縁膜220及び絶縁膜240が順に積層するように形成されている。絶縁膜220及び絶縁膜240には開口部が形成されており、上記開口部に、配線217に電気的に接続された配線221が形成されている。

【0133】

そして、図10では、絶縁膜240上にトランジスタ21が形成されている。

【0134】

トランジスタ21は、絶縁膜240上に、酸化物半導体を含む半導体膜230と、半導体膜230上の、ソース電極またはドレイン電極として機能する導電膜232及び導電膜2

50

33と、半導体膜230、導電膜232及び導電膜233上のゲート絶縁膜231と、ゲート絶縁膜231上に位置し、導電膜232と導電膜233の間において半導体膜230と重なっているゲート電極234と、を有する。なお、導電膜233は、配線221に電氣的に接続されている。

【0135】

そして、トランジスタ21上に、絶縁膜241及び絶縁膜242が順に積層するように設けられている。絶縁膜241及び絶縁膜242には開口部が設けられており、上記開口部においてゲート電極234に接する導電膜243が、絶縁膜241上に設けられている。

【0136】

なお、図10において、トランジスタ21は、ゲート電極234を半導体膜230の片側において少なくとも有していれば良いが、半導体膜230を間に挟んで存在する一対のゲート電極を有していても良い。

10

【0137】

トランジスタ21が、半導体膜230を間に挟んで存在する一対のゲート電極を有している場合、一方のゲート電極には導通状態または非導通状態を制御するための信号が与えられ、他方のゲート電極は、電位が他から与えられている状態であっても良い。この場合、一対のゲート電極に、同じ高さの電位が与えられていても良いし、他方のゲート電極にのみ接地電位などの固定の電位が与えられていても良い。他方のゲート電極に与える電位の高さを制御することで、トランジスタの閾値電圧を制御することができる。

【0138】

20

また、図10では、トランジスタ21が、一のゲート電極234に対応した一のチャネル形成領域を有する、シングルゲート構造である場合を例示している。しかし、トランジスタ21は、電氣的に接続された複数のゲート電極を有することで、一の活性層にチャネル形成領域を複数有する、マルチゲート構造であっても良い。

【0139】

図11にPLDの他の構成例を示す。

【0140】

図11において、A1 - A2に、チャネル長方向（ソースからドレインにかけての方向）におけるトランジスタ21及びトランジスタ22の断面図を示し、A3 - A4に、チャネル幅方向（チャネル長方向に直角な方向）における同断面図を示す。ただし、レイアウトにおいてトランジスタ21のチャネル長方向とトランジスタ22のチャネル長方向とが、必ずしも一致していなくともよい。また、図では、酸化物半導体膜にチャネル形成領域を有するトランジスタ21が、単結晶のシリコンにチャネル形成領域を有するトランジスタ22上に形成されている場合を例示している。図11では、単結晶シリコン基板を半導体基板300として用いる場合を例示している。

30

【0141】

また、トランジスタ22は、素子分離法により、他の半導体素子と電氣的に分離されている。素子分離法として、トレンチ分離法（STI法：Shallow Trench Isolation）等を用いることができる。図11では、トレンチ分離法を用いてトランジスタ22を電氣的に分離する場合を例示している。エッチング等により半導体基板300に形成されたトレンチに、酸化珪素などが含まれる絶縁物を埋め込んだ後、当該絶縁物をエッチング等により部分的に除去することで形成される素子分離用絶縁膜301により、トランジスタ22を素子分離させる場合を例示している。

40

【0142】

また、トレンチ以外の領域に存在する半導体基板300の凸部には、トランジスタ22の不純物領域302及び不純物領域303と、不純物領域302及び不純物領域303に挟まれたチャネル形成領域304とが設けられている。さらに、トランジスタ22は、チャネル形成領域304を覆う絶縁膜305と、絶縁膜305を間に挟んでチャネル形成領域304と重なるゲート電極306とを有する。

【0143】

50

トランジスタ 2 2 では、チャネル形成領域 3 0 4 における凸部の側部及び上部と、ゲート電極 3 0 6 とが絶縁膜 3 0 5 を間に挟んで重なることで、チャネル形成領域 3 0 4 の側部と上部を含めた広い範囲においてキャリアが流れる。そのため、トランジスタ 2 2 の基板上における専有面積を小さく抑えつつ、トランジスタ 2 2 におけるキャリアの移動量を増加させることができる。その結果、トランジスタ 2 2 は、オン電流が大きくなると共に、電界効果移動度が高められる。特に、チャネル形成領域 3 0 4 における凸部のチャネル幅方向の長さ（チャネル幅）を W、チャネル形成領域 3 0 4 における凸部の厚さを T とすると、チャネル幅 W に対する厚さ T の比に相当するアスペクト比が高い場合、キャリアが流れる範囲はより広くなるため、トランジスタ 2 2 のオン電流をより大きくすることができ、電界効果移動度もより高められる。

10

【 0 1 4 4 】

なお、バルクの半導体基板を用いたトランジスタ 2 2 の場合、アスペクト比は 0 . 5 以上であることが望ましく、1 以上であることがより望ましい。

【 0 1 4 5 】

トランジスタ 2 2 上には、絶縁膜 3 1 1 が設けられている。絶縁膜 3 1 1 には開口部が形成されている。そして、上記開口部には、不純物領域 3 0 2、不純物領域 3 0 3 にそれぞれ電氣的に接続されている導電膜 3 1 2、導電膜 3 1 3 と、ゲート電極 3 0 6 に電氣的に接続されている導電膜 3 1 4 とが、形成されている。導電膜 3 1 2 は、絶縁膜 3 1 1 上に形成された導電膜 3 1 6 に電氣的に接続されており、導電膜 3 1 3 は、絶縁膜 3 1 1 上に形成された導電膜 3 1 7 に電氣的に接続されており、導電膜 3 1 4 は、絶縁膜 3 1 1 上に形成された導電膜 3 1 8 に電氣的に接続されている。

20

【 0 1 4 6 】

導電膜 3 1 6 乃至導電膜 3 1 8 上には、絶縁膜 3 2 0 が設けられている。絶縁膜 3 2 0 上には、酸素、水素、水の拡散を防ぐブロッキング効果を有する絶縁膜 3 2 1 が設けられている。絶縁膜 3 2 1 上には絶縁膜 3 2 2 が設けられており、絶縁膜 3 2 2 上には、トランジスタ 2 1 が設けられている。

【 0 1 4 7 】

絶縁膜 3 2 1 は、密度が高くて緻密である程、また未結合手が少なく化学的に安定である程、より高いブロッキング効果を示す。酸素、水素、水の拡散を防ぐブロッキング効果を示す絶縁膜 3 2 1 として、例えば、酸化アルミニウム、酸化窒化アルミニウム、酸化ガリウム、酸化窒化ガリウム、酸化イットリウム、酸化窒化イットリウム、酸化ハフニウム、酸化窒化ハフニウム等を用いることができる。水素、水の拡散を防ぐブロッキング効果を示す絶縁膜 3 2 1 として、例えば、窒化シリコン、窒化酸化シリコン等を用いることができる。

30

【 0 1 4 8 】

トランジスタ 2 1 は、半導体膜 3 3 0、半導体膜 3 3 0 に接する導電膜 3 3 2 及び導電膜 3 3 3、半導体膜 3 3 0 を覆っている絶縁膜 3 3 1、並びに、絶縁膜 3 3 1 を間に挟んで半導体膜 3 3 0 と重なるゲート電極 3 3 4 を有する。導電膜 3 3 2 及び導電膜 3 3 3 は、ソース電極またはドレイン電極として機能する。導電膜 3 3 3 は、絶縁膜 3 2 0 乃至絶縁膜 3 2 2 に設けられた開口において導電膜 3 1 8 に接続されている。

40

【 0 1 4 9 】

なお、トランジスタ 2 1 上に、絶縁膜が設けられてもよい。絶縁膜には開口部が設けられ、上記開口部においてゲート電極 3 3 4 に接する導電体が、絶縁膜上に設けられてもよい。

【 0 1 5 0 】

なお、図 1 1 において、トランジスタ 2 1 は、ゲート電極 3 3 4 を半導体膜 3 3 0 の片側において少なくとも有していればよいが、絶縁膜 3 2 2 を間に挟んで半導体膜 3 3 0 と重なるゲート電極を、さらに有していてもよい。

【 0 1 5 1 】

トランジスタ 2 1 が、一対のゲート電極を有している場合、一方のゲート電極にはオン状

50

態またはオフ状態を制御するための信号が与えられ、他方のゲート電極は、他の電位が独立して与えられている状態であってもよい。この場合、一対のゲート電極に、同じ高さの電位が与えられていてもよいし、他方のゲート電極にのみ接地電位などの固定の電位が与えられていてもよい。他方のゲート電極に与える電位の高さを制御することで、トランジスタの閾値電圧を制御することができる。

【 0 1 5 2 】

また、図 1 1 では、トランジスタ 2 1 が、一のゲート電極 3 3 4 に対応した一のチャンネル形成領域を有する、シングルゲート構造である場合を例示している。トランジスタ 2 1 に、例えば、電気的に接続された複数のゲート電極を設けることで、一の酸化物半導体膜に複数のチャンネル形成領域を有する、マルチゲート構造とすることができる。

10

【 0 1 5 3 】

図 1 1 においては、トランジスタ 2 1 は、半導体膜 3 3 0 が、半導体膜 3 3 0 a 乃至半導体膜 3 3 0 c でなる 3 層構造で、半導体膜 3 3 0 a および半導体膜 3 3 0 b の形成後に、導電膜 3 3 2 と導電膜 3 3 3 が形成され、その後、半導体膜 3 3 0 c が形成される。しかし、半導体膜 3 3 0 a 乃至半導体膜 3 3 0 c のいずれか一つあるいは二つを有しない構造でもよい。

【 符号の説明 】

【 0 1 5 4 】

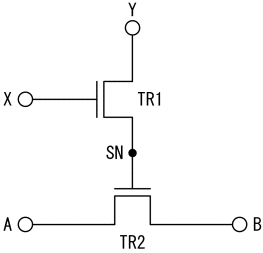
A	ノード	
B	ノード	20
C S	容量素子	
S N	ノード	
T R 1	第 1 のトランジスタ	
T R 2	第 2 のトランジスタ	
R	負荷抵抗	
C	負荷容量	
X	ノード	
Y	ノード	
Z	ノード	
1 0	P L D	30
1 1	P L E	
1 2	L U T	
1 3	F F	
1 4	M U X	
1 5	C M	
1 6	端子	
1 7	端子	
1 8	コンフィギュレーションデータ	
1 8 a	C M	
1 9	コンフィギュレーションデータ	40
2 0	プログラマブルスイッチ	
2 0 a	プログラマブルスイッチ	
2 0 b	プログラマブルスイッチ	
2 0 c	プログラマブルスイッチ	
2 0 d	プログラマブルスイッチ	
2 0 e	プログラマブルスイッチ	
2 0 f	プログラマブルスイッチ	
2 1	トランジスタ	
2 2	トランジスタ	
2 3	配線	50

2 4	配線	
2 4 a	配線	
2 4 b	配線	
2 5	配線	
2 5 a	配線	
2 5 b	配線	
2 5 c	配線	
2 5 d	配線	
2 6	配線	
2 6 a	配線	10
2 7	インバータ	
2 7 a	インバータ	
2 7 b	インバータ	
8 0	M U X	
8 1	C M	
8 2	端子	
1 2 1	配線群	
1 2 2	スイッチ領域	
1 2 3	配線リソース	
1 2 4	出力端子	20
1 2 5	配線	
1 2 6	配線	
1 2 7	トランジスタ	
1 2 8	トランジスタ	
1 2 9	トランジスタ	
1 3 0	トランジスタ	
1 3 1	トランジスタ	
1 3 2	トランジスタ	
1 4 0	I / Oエレメント	
1 4 1	P L L	30
1 4 2	R A M	
1 4 3	乗算器	
2 0 0	半導体基板	
2 0 1	素子分離用絶縁膜	
2 0 2	不純物領域	
2 0 3	不純物領域	
2 0 4	ゲート電極	
2 0 5	ゲート絶縁膜	
2 0 9	絶縁膜	
2 1 0	配線	40
2 1 1	配線	
2 1 2	配線	
2 1 5	配線	
2 1 6	配線	
2 1 7	配線	
2 2 0	絶縁膜	
2 2 1	配線	
2 3 0	半導体膜	
2 3 1	ゲート絶縁膜	
2 3 2	導電膜	50

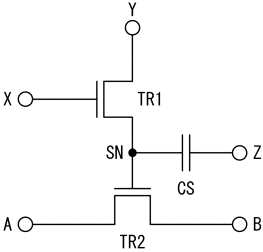
2 3 3	導電膜	
2 3 4	ゲート電極	
2 4 0	絶縁膜	
2 4 1	絶縁膜	
2 4 2	絶縁膜	
2 4 3	導電膜	
3 0 0	半導体基板	
3 0 1	素子分離用絶縁膜	
3 0 2	不純物領域	
3 0 3	不純物領域	10
3 0 4	チャネル形成領域	
3 0 5	絶縁膜	
3 0 6	ゲート電極	
3 1 1	絶縁膜	
3 1 2	導電膜	
3 1 3	導電膜	
3 1 4	導電膜	
3 1 6	導電膜	
3 1 7	導電膜	
3 1 8	導電膜	20
3 2 0	絶縁膜	
3 2 1	絶縁膜	
3 2 2	絶縁膜	
3 3 0	半導体膜	
3 3 0 a	半導体膜	
3 3 0 b	半導体膜	
3 3 0 c	半導体膜	
3 3 1	絶縁膜	
3 3 2	導電膜	
3 3 3	導電膜	30
3 3 4	ゲート電極	

【図 1】

(A)

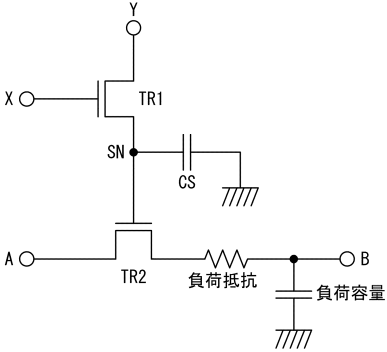


(B)

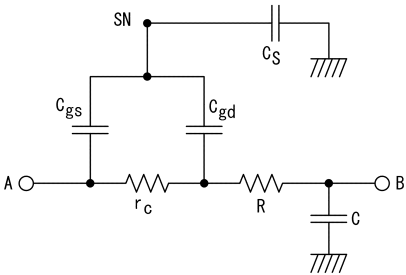


【図 2】

(A)

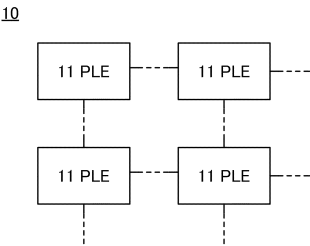


(B)

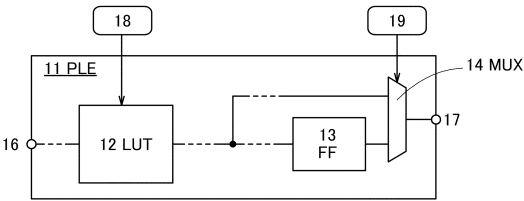


【図 3】

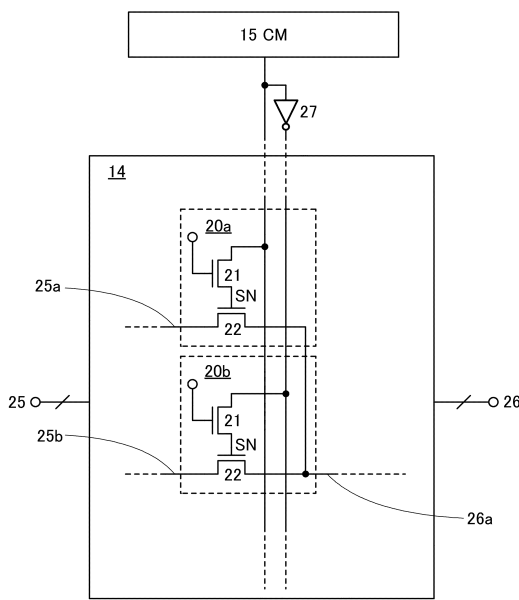
(A)



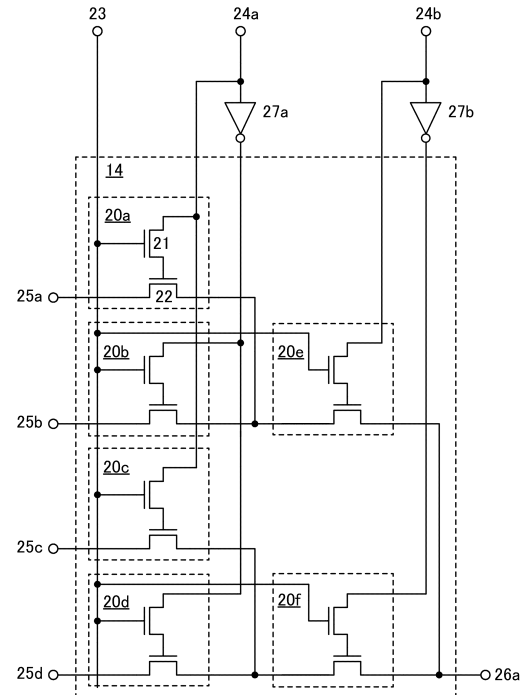
(B)



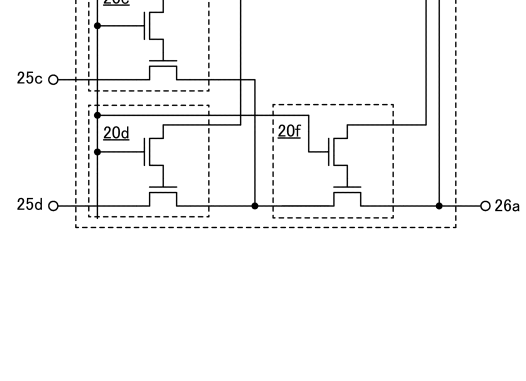
【図 4】



【 図 6 】

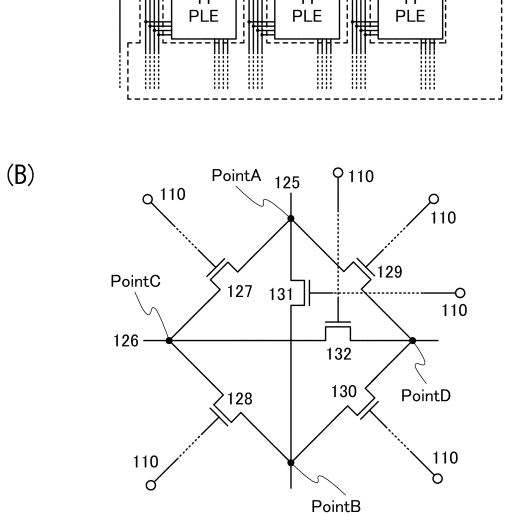
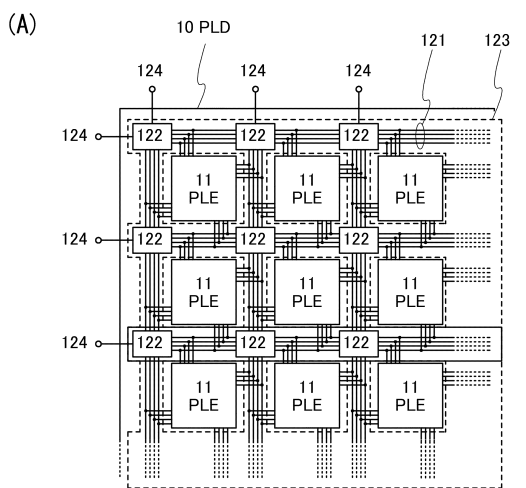


.....

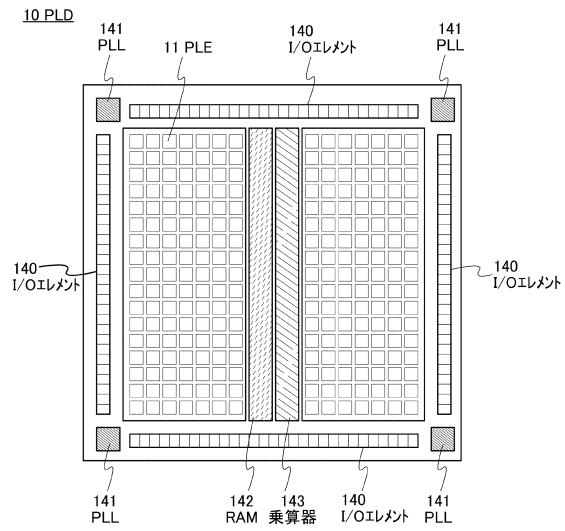


【 図 8 】

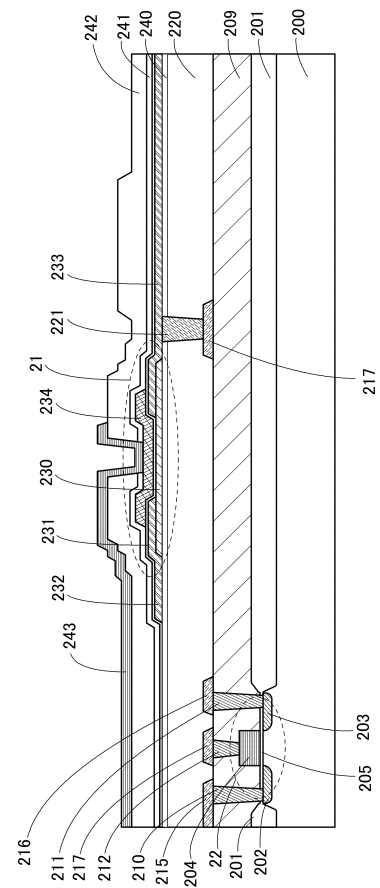
(A)



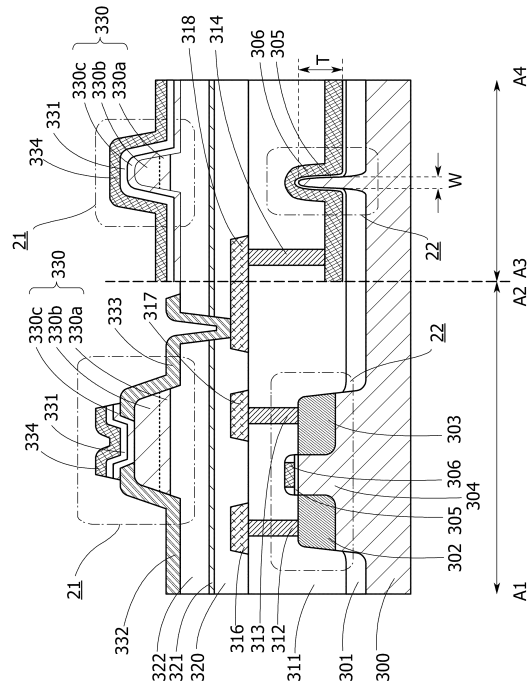
【 図 9 】



【 図 1 0 】



【 図 1 1 】



フロントページの続き

(56)参考文献 特開昭58-212226(JP,A)
特開昭61-230697(JP,A)
特開2011-172214(JP,A)
特開2012-257236(JP,A)
特開昭61-294695(JP,A)

(58)調査した分野(Int.Cl., DB名)

H03K	19/094
H01L	21/8234
H01L	27/088
H01L	29/786
H03K	3/356