



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.

H04B 1/06 (2006.01)

(45) 공고일자

2007년01월04일

(11) 등록번호

10-0664620

(24) 등록일자

2006년12월27일

(21) 출원번호 10-2000-0036305
 (22) 출원일자 2000년06월29일
 심사청구일자 2005년06월28일

(65) 공개번호 10-2001-0015088
 (43) 공개일자 2001년02월26일

(30) 우선권주장 60/141,915 1999년06월30일 미국(US)

(73) 특허권자 텍사스 인스트루먼츠 인코포레이티드
 미국 75251 텍사스주 달라스 메일 스테이션 3999 쳐칠 웨이 7839

(72) 발명자 파인로버트에프.
 미국75025텍사스주플래노케씨드라이브1101

노아캐스스콧에이치.
 독일85354프라이싱오버럴그라벤18

(74) 대리인 주성민
 장수길

심사관 : 박성호

전체 청구항 수 : 총 10 항

(54) I S I -제거 차동 수신기

(57) 요약

디지털 상태(0 또는 1)의 롱런(long runs)이 장 케이블(long cables)을 통해서 전송될 때에 차동 디지털 신호에 부과되는 심볼간 간섭(inter-symbol interference : ISI)을 제거하는 디지털 차동 수신기(2)가 개시된다. ISI 제거 차동 수신기(2)는 바이폴라 기술(n-p-n 또는 p-n-p) 또는 절연 게이트 FET 기술(p-채널 또는 n-채널)에 의해서 구현된다. 1차 트랜지스터의 차동 쌍(T_1, T_1')이 보다 약한 2차 트랜지스터의 차동 쌍(T_2, T_2')에 필터 네트워크($R'_1, C', R'_2, R'_L, R'_3$)를 통해서 접속되므로 차동 입력 신호와 출력 신호 사이에 고속 셀프(shelf) 전달 함수가 존재한다. 이러한 전달 함수는 디지털 상태의 롱런에 대한 이득을 감소시키고(저 주파수들) 상태 전이 에지들에 대한 이득을 향상시킴으로써(고 주파수들) ISI를 경감 시킨다.

대표도

도 3

특허청구의 범위

청구항 1.

차동 입력 신호들을 수신하고 적어도 제1 출력 신호(V_{oa})를 생성하기 위한 수신기에 있어서,

- a) 출력 전류 경로들의 복귀측에는 공통 전류원이 접속되어 있고 다른측에는 각 부하 저항기(R_L 및 R_L')를 통하여 공급 전원이 접속되어 있고, 이들에 흐르는 전류의 차로 상기 제1 출력 신호를 결정하도록 구성된 제1 및 제2 트랜지스터(T_1 및 T_1'),
 - b) 상기 차동 입력 신호의 크기에 대한 상기 출력 신호의 크기의 응답이 낮은 주파수 대역에서보다 높은 주파수 대역에서 크도록 상기 차동 입력 신호 및 상기 제1 및 제2 트랜지스터의 출력에 동작적으로 결합된 필터 네트워크, 및
 - c) 중계 전송 선로에 의해서 도입된 파형 왜곡에 관계없이 수신된 디지털 데이터의 전이를 서로 관련된 그들의 전송 클럭 위치에 제공하는 상기 요소들의 결합
- 을 포함하는 것을 특징으로 하는 수신기.

청구항 2.

제1항에 있어서, 상기 필터 네트워크는 트랜지스터, 저항기 및 커패시터 컴포넌트로 구성되는 것을 특징으로 하는 수신기.

청구항 3.

제1항에 있어서, 상기 필터 네트워크는

- a) 상기 제1 트랜지스터보다 약하며, 입력이 제1 커패시터(C) 및 제1 저항기(R_1)를 통해서 상기 제1 트랜지스터의 입력에 직렬로 접속되며, 또한 제2 저항기(R_2)를 통하여 상기 제2 트랜지스터의 입력에 접속되며, 출력 전류 경로가 그의 부하 저항기(R_L)가 있는 상기 제1 트랜지스터의 출력 및 제3 저항기(R_3)를 통해서 전류원에 접속된 제3 트랜지스터(T_2),
 - b) 상기 제2 트랜지스터보다 약하며, 입력이 제2 커패시터(C') 및 제4 저항기(R_1')를 통해서 상기 제2 트랜지스터의 입력에 직렬로 접속되며, 또한 제5 저항기(R_2')를 통해서 상기 제1 트랜지스터의 입력에 접속되며, 출력 전류 경로가 그의 부하 저항기(R_L')가 있는 상기 제2 트랜지스터의 출력, 및 제6 저항기(R_3')를 통해서 전류원에 접속된 제4 트랜지스터(T_2'),
 - c) 상기 차동 입력 신호의 크기에 대한 상기 수신기의 출력 신호의 크기 응답이 저 주파수 대역에서보다 고 주파수 대역에서 크도록 상기 차동 수신기내에서의 상기 필터 네트워크의 요소들의 결합(cooperation), 및
 - d) 중계 전송 선로에 의해서 도입된 파형 왜곡에 관계없이 수신된 디지털 데이터의 전이를 서로 관련된 그들의 전송 클럭 위치에 제공하는 상기 요소들의 결합
- 을 포함하는 것을 특징으로 하는 수신기.

청구항 4.

제1항에 있어서, 상기 수신기의 제1 출력의 역인 제2 출력(V_{ob})을 또한 갖는 것을 특징으로 하는 수신기.

청구항 5.

제1항에 있어서, 상기 제1 및 제2 출력 대신에 차동 출력을 갖는 것을 특징으로 하는 수신기.

청구항 6.

제3항에 있어서, 상기 제3 트랜지스터의 상호 콘덕턴스는 상기 제1 트랜지스터의 상호 콘덕턴스보다 낮고, 상기 제4 트랜지스터의 상호 콘덕턴스는 상기 제2 트랜지스터의 상호 콘덕턴스보다 낮은 것을 특징으로 하는 수신기.

청구항 7.

제3항에 있어서, 상기 모든 트랜지스터는 n-p-n 바이폴라 트랜지스터인 것을 특징으로 하는 수신기.

청구항 8.

제3항에 있어서, 상기 모든 트랜지스터는 p-n-p 바이폴라 트랜지스터인 것을 특징으로 하는 수신기.

청구항 9.

제3항에 있어서, 상기 모든 트랜지스터는 p-채널 절연 게이트 전계 효과 트랜지스터인 것을 특징으로 하는 수신기.

청구항 10.

제3항에 있어서, 상기 모든 트랜지스터는 n-채널 절연 게이트 전계 효과 트랜지스터인 것을 특징으로 하는 수신기.

명세서**발명의 상세한 설명****발명의 목적****발명이 속하는 기술 및 그 분야의 종래기술**

본 발명은 차동 수신기로 알려진 집적 회로(IC)의 분야에 적용되는 것이다. 본 발명은 장(long) 전송 선로를 통하여 전송되는 디지털 데이터를 수신하는데 사용되는 IC 디바이스에 특정된 것이다. 이 분야는 CMOS 회로를 포함하여 모든 바이폴라 차동 수신기 및 절연 게이트 전계 효과 트랜지스터(IGFET) 차동 수신기 모두를 포함한다.

1 또는 0중 어느 하나의 롱런(long runs)을 포함하는 디지털 데이터 신호들이 장 전송 선로를 통해서 송출될 때에, 데이터 전이들(0-1 또는 1-0)에 대응하는 에지들은 대역폭 제한 및 전송 선로의 주파수 분산에 의해서 심하게 왜곡된다. 심볼간 간섭(inter-symbol interference : ISI)으로서 알려진 이러한 현상은 그들의 이상적 클럭 위치로부터 이들 롱런과 관련된 전이 에지를 이동시켜 수신기에 의한 데이터의 올바른 복원에 간섭을 야기한다.

차동 수신기에서의 공지된 기술은 해당 수신기에 구현된 이러한 문제에 대한 해결책을 제시하지 못한다. 해당 수신기에서의 해결책의 결여로 인하여 데이터 전송 시스템의 설계자들은 ISI의 문제를 경감시키기 위한 시스템 접근을 시도한다. 이러한 시스템 접근으로서, 설계자들은 구동 회로에 소위 사전 강조(pre-emphasis) 기술을 사용한다. 예를 들면, 전송 선로

구동기가 유지된 1-1 데이터 레벨보다 더 강한 1-0 전이 레벨을 어서트(assert)하고, 유지된 0-0 데이터 레벨보다 더 강한 0-1 전이 레벨을 어서트한다. 이들 강조된 전이들은 긴 하이 또는 긴 로우 비트 시퀀스의 뒤를 잇는 예상된 펄스들의 왜곡을 보상하는 경향이 있다.

ISI 문제에 대한 이러한 사전 강조 시스템의 해결책은 전송 시스템의 설계의 복잡성을 초래한다. 설계자들은 구동기 선택 보다는 제어가 필요없는 시스템용 차동 수신기로 구현되는 해결책을 바라고 있다. 데이터 전송 속도가 상승함에 따라서, 고속 회로가 타이밍 에러에 대한 마진을 감소시키므로 ISI가 한층더 문제가 된다. 이들 고속 시스템에서는 구동기 및 수신기 양자가 ISI 문제를 어드레싱할 수 있어야 한다.

발명이 이루고자 하는 기술적 과제

본 발명은 수신기에서 ISI의 제거를 구현하므로 차동 수신기 접적 회로에서의 종래 기술의 향상을 제공한다. 공지된 종래 기술의 차동 수신기는 선행 데이터에 의해서 그 폭이 영향을 받는 출력 펄스를 발생시킨다. ISI-제거 차동 수신기는 입력 신호에서의 ISI의 고 레벨이 제거된다. 많은 디지털 데이터 전송 시스템의 경우에, 이러한 차동 수신기 IC의 새로운 형태는 구동기에서의 사전 강조에 대한 필요성을 제거하기 위한 충분한 ISI 제거를 제공할 수 있다. 이것은 또한 수신기에서의 ISI 제거와 구동기 사전 강조의 경감 기술을 접목시킬 수 있으므로 상당히 고속인 데이터 전송 속도를 실현할 수 있다. 본 발명은 CMOS를 포함하여 모든 바이폴라(n-p-n 또는 p-n-p) 기술 및 모든 IGFET(p-채널 또는 n-채널)기술에 적용된다.

1차 차동 트랜ジ스터 쌍은 2차(더 약한) 트랜지스터 쌍 및 한 쌍의 필터 네트워크와 변수 관계를 이룬다. 이들 부품은 차동 회로의 양 측으로부터의 신호를 결합하여 차동 입력과 출력 간에 고속 셀프 필터를 생성한다. 저 주파수에서는 이중 쌍 네트워크가 차동 증폭기의 이득을 감소시키고, 고 주파수에서는 2개의 쌍들의 이득이 가합된다. 이득 변화에 대한 차단 주파수는 네트워크의 RC 시정수로 설정된다. 네트워크에서의 입력 디바이스의 크기의 비 및 저항기 비는 최소 이득과 최대 이득간의 차를 결정한다.

발명의 구성

도 1은 20 메터의 케이블을 통해서 전송된 후의 차동 "1111101010" 비트 패턴의 오실로스코프 플롯을 나타내고 있다. 도 1은 1 또는 0의 어느 하나의 통로의 종료시에 비트들에 대한 전이 에지를 시프트시키는 펄스폭 왜곡을 야기시킴으로써 수신기에서의 데이터 에러를 발생시키는 ISI를 도시하고 있다. 공지 기술의 차동 수신기는 2개의 파형이 교차하는 지점에 출력 펄스 전이를 발생시킨다. 이상적으로는 이들 데이터 전이들은 941 피코 세컨드(ps)마다 발생되어야 한다. 그러나, ISI로 인하여, "11111" 런 패턴이 4705 ps의 이상값 대신에 4950 ps의 길이를 갖는다. 게다가, "01010" 펄스 또한 941 ps의 이상값 대신에, ~625 ps, ~1200 ps, ~750 ps, ~1150 ps, 및 ~750 ps 각각의 왜곡된 폭을 갖는다. 공지 기술의 차동 수신기는 이들 동일한 펄스 폭 왜곡을 가진 출력 펄스를 생성하게 된다.

도 2는 디지털 차동 수신기에서의 공지 기술을 나타낸 것이다. 이 회로는 그들의 에미터(또는 소스)에 공통으로 전류 소스 I_T 에 접속된 2개의 정합된 바이폴라 트랜지스터(또는 IGFET), T_1 및 T_1' 로 이루어져 있다. 각 트랜지스터의 콜렉터(또는 드레인)은 정합된 부하 저항기 R_L 및 R_L' 를 통해서 공급 전압 V_{CC} 에 접속된다. 차동 입력 V_a 및 V_b 는 각 트랜지스터의 베이스(또는 게이트)에 인가된다. 차동 출력 V_{oa} 및 V_{ob} 는 각 트랜지스터의 콜렉터(또는 드레인)으로부터 취해진다. 차동 신호가 제로에 도달할 때마다, 공급 전압에 비하여 출력 V_{oa} 및 V_{ob} 의 각각의 하이 및 로우 상태 사이에서 전이가 발생된다. 차동 입력이 제로에 접근할 때에 V_a 가 V_b 보다 크면, 전이는 한 방향이다. V_a 가 제로에 접근하는 V_b 보다 작으면 전이는 반대 방향이다. V_{oa} 의 전이의 극성은 V_{ob} 의 전이의 극성과 반대이다.

도 3은 개시된 발명의 실시예의 일반적인 분류이며, ISI 제거 차동 수신기 회로가 도 2의 기본 차동 수신기(1)상에 형성된 것을 나타낸 것이다. ISI 제거 차동 수신기 회로(2)의 각 측은 4개의 추가 회로 부품을 갖는다. 2차 트랜지스터 T_2 또는 T_2' 는 1차 트랜지스터 T_1 또는 T_1' 의 콜렉터(또는 드레인)에 직접 접속된 그의 콜렉터(또는 드레인)을 갖는다. 2차 트랜지스터의 베이스(또는 게이트)는 커패시터 C 및 저항기 R_1 또는 R_1' 에 의해서 1차 트랜지스터의 베이스(게이트)에 직렬로 접속된다. 2차 트랜지스터의 베이스(또는 게이트)는 저항기 R_2 또는 R_2' 를 통해서 회로의 반대측 상의 1차 트랜지스터의 대향 차동 입력 노드(베이스(또는 게이트))에 결합된다. 2차 트랜지스터의 에미터(또는 소스)는 정합 저항기 R_3 및 R_3' 를 통해서 1차 트랜지스터의 에미터(또는 소스)에 접속된다. 도 3의 회로(2)의 다른 부품들은 도 2의 회로(1)에 예시된 것과 같이 접속된다.

IC는 바이폴라(n-p-n 또는 p-n-p) 기술 또는 IGFET(p-채널 또는 n-채널)기술중 어느 하나로 구성될 수 있다. CMOS 공정에 있어서, 모든 저항기는 그들의 트랜지스터 등가물로서 구현될 수 있다. ISI-제거 차동 수신기의 한측의 설계는 반대측의 설계와 동일하다. 도 3에 도시한 회로(2)의 좌측을 고려한다. R_3 로 인하여 그리고 T_2 의 크기가 T_1 의 크기보다 작기 때문에 T_2 의 상호 콘덕턴스 g_2 는 T_1 의 상호 콘덕턴스 g_1 보다 작다. T_2 의 베이스(또는 게이트)로의 입력 저항이 R_1 또는 R_2 의 어느 하나보다 훨씬 크므로, T_2 의 베이스(또는 게이트)로의 전류는 불충분하다. 이것은 네트워크(3)의 동작이 거의 동등한 필터 네트워크를 고려함으로써 분석될 수 있음을 의미한다.

도 4는 T_2 , R_1 , C 및 R_2 의 실제 필터 네트워크의 동작을 거의 근사화한 간단한 네트워크를 나타낸다. 도 4의 회로(3)에서의 커패시터 C 와 저항기 R_2 간의 노드 상의 전압 V 를 고려하자. 여기서, $s = j \cdot \omega$ 는 라플라스 변환 독립변수이고, ω 는 시간 사이클 주파수이다.

수학식 1

$$v = v_b \frac{\frac{R_1 + \frac{1}{sC}}{R_1 + \frac{1}{sC} + R_2} + v_a \frac{R_2}{R_1 + \frac{1}{sC} + R_2}}{R_1 + \frac{1}{sC} + R_2}$$

차동 입력 신호의 경우에, $V_a = -V_b$ 이므로, 결국,

수학식 2

$$v = v_a \frac{sC(R_2 - R_1) - 1}{sC(R_1 + R_2) + 1}$$

도 3의 ISI 제거 차동 수신기(2)의 좌측에서의 출력 전압 $V_{oa} = V_a \cdot g_1 \cdot R_L + V \cdot g_2 \cdot R_L$ 은 수학식3에 의해서 잘 근사화된다.

수학식 3

$$V_{oa} = v_a g_1 R_L + v_a g_2 R_L \frac{sC(R_2 - R_1) - 1}{sC(R_1 + R_2) + 1}$$

수신기의 전달 함수는 다음의 수학식4로 표현된다.

수학식 4

$$\frac{V_{oa}}{V_a} = g_1 R_L - g_2 R_L \frac{1 - sC(R_2 - R_1)}{1 + sC(R_1 + R_2)}$$

도 5는 예시된 전달 함수의 크기를 점근 형태로 나타낸 것이다. 도 5는 저 주파수에서의 점근선 $R_L \cdot (g_1 - g_2)$ 을 가진 저 이득 상태로부터 고 주파수에서의 점근선 $R_L \cdot [g_1 + g_2 \cdot (R_2 - R_1)/(R_1 + R_2)]$ 을 가진 고 이득 상태로의 전이를 나타내고 있다.

이 함수는 수학식5에서 풀(pole)을 가지며,

수학식 5

$$f_p = [2\pi C(R_1 + R_2)]^{-1}$$

수학식6에서 제로를 갖는다.

수학식 6

$$f_z = [2\pi C(R_2 - R_1)]^{-1}$$

2개의 주파수 간의 중간점을 차단 또는 전이 주파수 f_T 로 정의하면,

$$\text{수학식 7}$$

$$f_T = R_2 [2\pi C(R_1 + R_2)(R_2 - R_1)]^{-1}$$

여기서, RC 는 시정수를 의미한다.

1 또는 0의 통로 길이 동안, 약한 트랜지스터의 베이스(또는 게이트) 및 강한 트랜지스터의 베이스(또는 게이트)는 이들이 서로 반대이고 이득이 감소하도록 대향 극성으로 차지된다. 입력이 상태를 스위치하면, 2개의 트랜지스터들은 반대 대신에 탄뎀(tandem)상태로 작용하므로 이득을 증가시킨다. 이것은 1 또는 0의 통로의 종료시에 보다 신속하게 출력을 스위치하고, 데이터 에지는 시프트되어 그들의 이상적인 위치에 가깝게 된다.

도 6은 도 3의 ISI 제거 회로(2)의 동작과 도 2의 회로(1)의 동작을 비교한 컴퓨터 시뮬레이션(SPICE)의 결과를 그래프로 나타낸 것이다. 이 시뮬레이션에서는 2개의 회로 각각에 대하여 동일한 입력 신호가 사용되었다. 이것은 차동 신호로 변환된 후 장 케이블 전송에 대응하는 ISI에 의해 오염되는 의사 랜덤 디지털 비트 패턴으로서 발생되었다. 회로(1)의 시뮬레이션은 주파수가 일정한 전달 함수를 생성한다. 회로(2)의 시뮬레이션은 도 5의 전달 함수를 생성한다. 공지된 차동 수신기의 시뮬레이션 출력은 출력 펄스 에지와 대응하는 이상적 클럭 에지 사이에 큰 변위가 있음을 나타낸다. ISI 제거 차동 수신기의 시뮬레이션 출력은 출력 펄스 에지와 대응하는 이상적 클럭 에지 간에 매우 적은 변위가 있음을 나타낸다.

도 7은 ISI 제거 차동 수신기의 n-p-n 바이폴라 실시예4로서, 도 3의 일반화된 트랜지스터 T_1 은 n-p-n 트랜지스터 Q_1 으로 실현된다. 일반화된 트랜지스터 T_2 는 n-p-n 트랜지스터 Q_1' 로서 실현된다. 일반화된 트랜지스터 T_2' 는 n-p-n 트랜지스터 Q_2' 로서 실현된다.

도 8은 ISI 제거 차동 수신기의 p-n-p 바이폴라 실시예5로서, 도 3의 일반화된 트랜지스터 T_1 은 p-n-p 트랜지스터 Q_1 으로서 실현된다. 일반화된 트랜지스터 T_2 는 p-n-p 트랜지스터 Q_2 로서 실현된다. 일반화된 트랜지스터 T_1' 은 p-n-p 트랜지스터 Q_1' 로서 실현된다. 일반화된 트랜지스터 T_2' 는 p-n-p 트랜지스터 Q_2' 로서 실현된다. 이 실시예에서, 전류 소스 I_T 는 포지티브 공급 전원 V_{cc} 와 R_3 와 R_3' 의 공통 노드 사이에 접속되고, R_L 과 R_L' 간의 공통 노드는 공급 전원 리턴에 접속되어 있다.

도 9는 ISI 제거 차동 수신기의 p-채널 IGFET 실시예6으로서, 도 3의 일반화된 트랜지스터 T_1 은 p-채널 IGFET(M_1)으로서 실현된다. 일반화된 트랜지스터 T_2 는 p-채널 IGFET(M_2)로서 실현된다. 일반화된 트랜지스터 T_1' 은 p-채널 IGFET(M_1')로서 실현된다. 일반화된 트랜지스터 T_2' 는 n-채널 IGFET(M_2')로서 실현된다. 이 실시예에서, 전류 소스 I_T 는 포지티브 공급 전원 V_{cc} 와 R_3 와 R_3' 의 공통 노드 사이에 접속되며, R_L 과 R_L' 간의 공통 노드는 공급 전원 리턴에 접속된다.

도 10은 ISI 제거 차동 수신기의 n-채널 IGFET 실시예7로서, 도 3의 일반화된 트랜지스터 T_1 은 n-채널 IGFET(M_1)으로서 실현된다. 일반화된 트랜지스터 T_2 는 n-채널 IGFET(M_2)로서 실현된다. 일반화된 트랜지스터 T_1' 은 n-채널 IGFET(M_1')로서 실현된다. 일반화된 트랜지스터 T_2' 는 n-채널 IGFET(M_2')로서 실현된다.

발명의 효과

본 발명에 따르면, 수신기에서 ISI의 제거를 구현하므로 차동 수신기 접적 회로에서의 종래 기술의 향상을 제공하며, 구동 기에서의 사전 강조에 대한 필요성을 제거하기 위한 충분한 ISI 제거를 제공할 수 있는 효과가 있으며, 또한 수신기에서의 ISI 제거와 구동기 사전 강조의 경감 기술을 접목시킬 수 있으므로 상당히 고속인 데이터 전송 속도를 실현할 수 있는 효과가 있다.

도면의 간단한 설명

도 1은 디지털 데이터 전송 시스템에서의 심볼간 간섭의 현상을 도시하는 도면.

도 2는 디지털 차동 수신기의 종래 기술에 대한 전형적인 회로를 예시하는 도면.

도 3은 ISI-제거 발명에 대한 차동 수신기 회로의 변형들을 예시한 도면.

도 4는 ISI-제거 차동 수신기의 각 측면에 존재하는 필터 네트워크에 대한 개략적인 등가 회로도.

도 5는 ISI-제거 차동 수신기의 전달 함수의 크기를 점근 형태(asymptotic form)로 나타낸 도면.

도 6은 ISI에 의해서 오염된 의사-랜덤 입력 신호에 대한 ISI-제거 차동 수신기와 ISI-제거 성분이 없는 것을 비교한 시뮬레이션 응답을 나타내는 도면.

도 7은 본 발명의 실시예를 n-p-n 바이폴라 IC 기술로 구현한 예를 도시한 도면.

도 8은 본 발명의 실시예를 p-n-p 바이폴라 IC 기술로 구현한 예를 도시한 도면.

도 9는 본 발명의 실시예를 p-채널 IGFET IC 기술로 구현한 예를 도시한 도면.

도 10은 본 발명의 실시예를 n-채널 IGFET IC 기술로 구현한 예를 도시한 도면.

<도면의 주요 부분에 대한 부호의 설명>

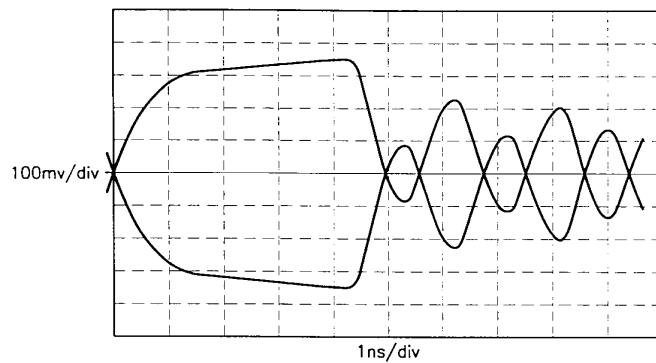
1 : 기본 차동 수신기

2 : ISI 제거 차동 수신기

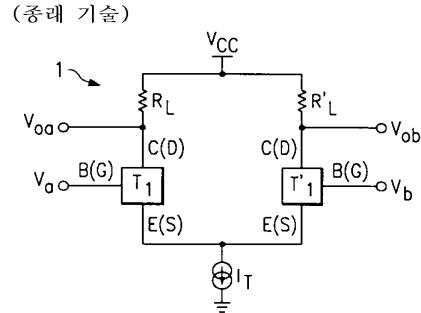
3 : 네트워크

도면

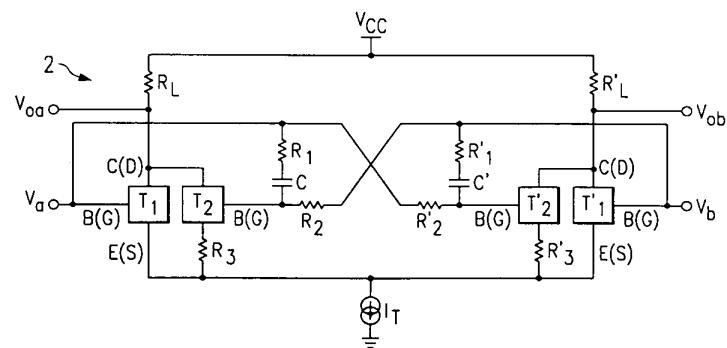
도면1



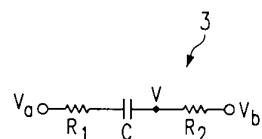
도면2



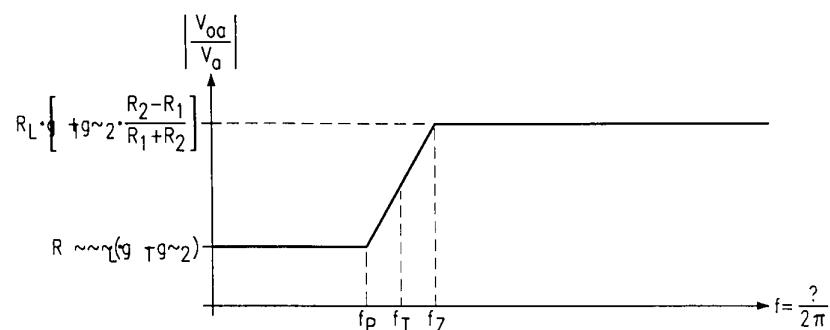
도면3



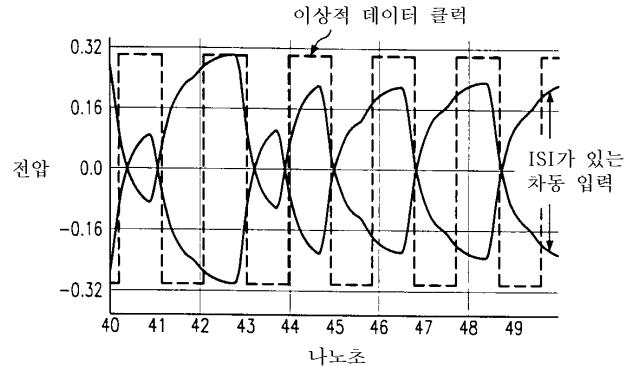
도면4



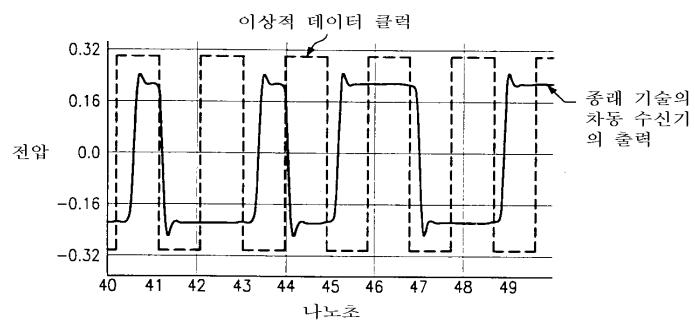
도면5



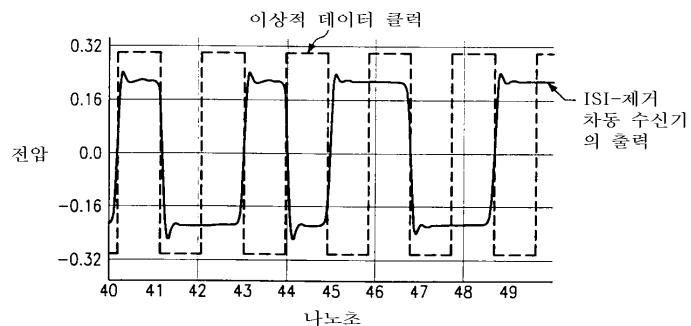
도면6a



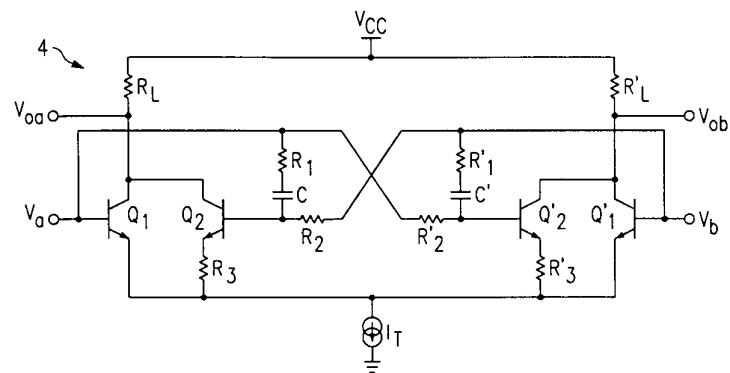
도면6b



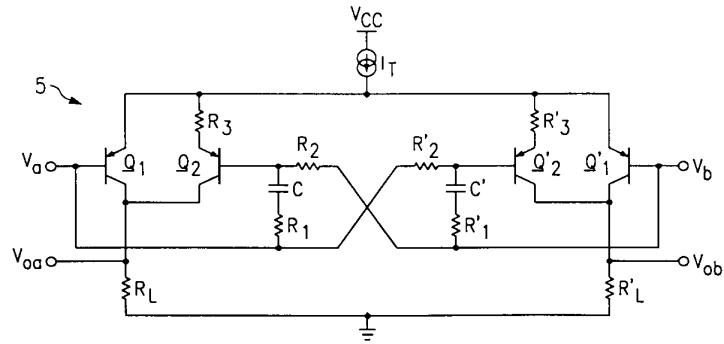
도면6c



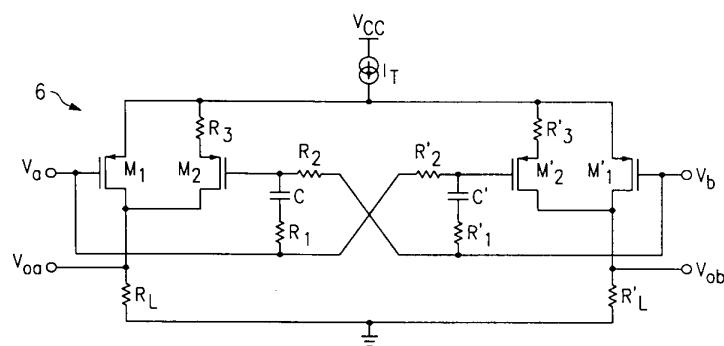
도면7



도면8



도면9



도면10

