

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2009-53477
(P2009-53477A)

(43) 公開日 平成21年3月12日(2009.3.12)

| (51) Int.Cl. | F 1 | テーマコード (参考) |
|------------------------------|-------------|-------------------|
| G09F 9/30 (2006.01) | G09F 9/30 | 3 3 8 2 H092 |
| G02F 1/1368 (2006.01) | G02F 1/1368 | 5 C094 |
| H01L 21/336 (2006.01) | H01L 29/78 | 6 1 2 D 5 F 1 1 O |
| H01L 29/786 (2006.01) | H01L 29/78 | 6 1 6 A |
| | H01L 29/78 | 6 1 9 A |

審査請求 未請求 請求項の数 13 O L (全 27 頁)

| | | | |
|-----------|------------------------------|------------|---|
| (21) 出願番号 | 特願2007-220685 (P2007-220685) | (71) 出願人 | 000002369 セイコーエプソン株式会社 東京都新宿区西新宿2丁目4番1号 |
| (22) 出願日 | 平成19年8月28日 (2007.8.28) | (74) 代理人 | 100095728 弁理士 上柳 雅善 |
| | | (74) 代理人 | 100107261 弁理士 須澤 修 |
| | | (74) 代理人 | 100127661 弁理士 宮坂 一彦 |
| | | (72) 発明者 | 石井 達也 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内 |
| | | F ターム (参考) | 2H092 GA59 JA24 JB54 JB57 JB58 KA05 KA10 KB25 MA17 NA15 NA16 NA22 NA27 NA29 |
| | | | 最終頁に続く |

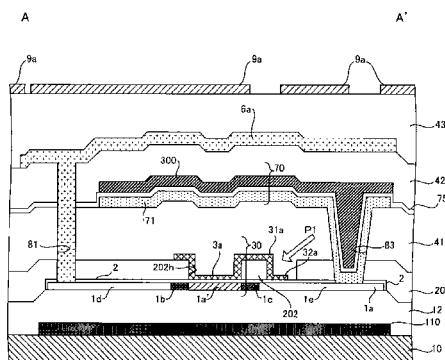
(54) 【発明の名称】電気光学装置及び電子機器

(57) 【要約】

【課題】液晶装置等の電気光学装置において、画素内の TFT における光リーク電流の発生を低減する。

【解決手段】電気光学装置は、基板(10)と、基板上に設けられるデータ線(6a)及び走査線(11a)と、画素電極(9a)と、半導体層(1a)と、ゲート電極(3a)から画素電極側ソースドレイン領域(1e)側に延設され、ゲート絶縁膜(2)より厚い第1層間絶縁膜部分(202)を介して半導体層の上又は下に積層された第1延設部分(31a)と、ゲート電極から第1延設部分を介して更に延設され、第1層間絶縁膜部分よりも薄い第2層間絶縁膜部分(205)を介して半導体層の上又は下に積層された第2延設部分(32a)とを備える。第1延設部分は、基板上で平面的に見て、走査線及びデータ線の交差する交差領域(99cr)内に少なくとも部分的に配置されている

【選択図】図6



【特許請求の範囲】**【請求項 1】**

基板と、

該基板上において、互いに交差すると共に遮光性の導電膜を夫々含んでなるデータ線及び走査線と、

前記データ線及び前記走査線の交差に対応して規定される画素毎に設けられた画素電極と、

前記データ線に電気的に接続されたデータ線側ソースドレイン領域、前記画素電極に電気的に接続された画素電極側ソースドレイン領域、及び前記走査線の一部からなる又は前記走査線に電気的に接続されたゲート電極にゲート絶縁膜を介して対向するように配置されたチャネル領域を有する半導体層と、

前記ゲート電極から前記画素電極側ソースドレイン領域側に延設され、前記ゲート絶縁膜より厚い第1層間絶縁膜部分を介して前記半導体層の上又は下に積層された第1延設部分と、

前記ゲート電極から前記第1延設部分を介して更に延設され、前記第1層間絶縁膜部分よりも薄い第2層間絶縁膜部分を介して前記半導体層の上又は下に積層された第2延設部分と

を備え、

前記第1延設部分は、前記基板上で平面的に見て、前記走査線及び前記データ線の交差する交差領域内に少なくとも部分的に配置されている

ことを特徴とする電気光学装置。

【請求項 2】

前記第1延設部分は、前記半導体層における、前記チャネル領域及び前記画素電極側ソースドレイン領域間に形成された接合領域の上又は下に積層されていることを特徴とする請求項1に記載の電気光学装置。

【請求項 3】

前記接合領域は、前記チャネル領域及び前記画素電極側ソースドレイン領域間に形成されたLDD領域であることを特徴とする請求項2に記載の電気光学装置。

【請求項 4】

前記第2層間絶縁膜は、前記ゲート絶縁膜と同一層からなり、

前記第1層間絶縁膜は、前記同一層及び前記同一層の上又は下に積層された一の絶縁膜を含む

ことを特徴とする請求項1から3のいずれか一項に記載の電気光学装置。

【請求項 5】

前記第1層間絶縁膜は、

一の絶縁膜と、

該一の絶縁膜の下層側に積層されており、該一の絶縁膜をエッティングによりパターニングする際にストップとして機能する保護膜と

を含むことを特徴とする請求項1から3のいずれか一項に記載の電気光学装置。

【請求項 6】

前記ゲート絶縁膜は、前記第1層間絶縁膜と同一層が、前記チャネル領域に対向する領域で凹状に掘られてなり、

前記第2層間絶縁膜は、前記第1層間絶縁膜と同一層が、前記第2延設部分に対向する領域で凹状に掘られてなる

ことを特徴とする請求項1から3のいずれか一項に記載の電気光学装置。

【請求項 7】

前記第2層間絶縁膜は、前記ゲート絶縁膜よりも厚く且つ前記第1層間絶縁膜部分よりも薄いことを特徴とする請求項1から3、5又は6に記載の電気光学装置。

【請求項 8】

前記走査線における前記第2延設部分から更に延設され、前記第2層間絶縁膜部分より

10

20

30

40

50

も厚い第3層間絶縁膜部分を介して前記半導体層の上又は下に積層された第3延設部分を更に備えることを特徴とする請求項1から7のいずれか一項に記載の電気光学装置。

【請求項9】

前記チャネル領域は、前記基板上で平面的に見て、前記交差領域から外れていると共に前記データ線により覆われた領域内に、少なくとも部分的に配置されていることを特徴とする請求項1から8のいずれか一項に記載の電気光学装置。

【請求項10】

前記データ線側ソースドレイン領域は、前記基板上で平面的に見て、前記交差領域から外れていると共に前記データ線により覆われた領域内に、配置されていることを特徴とする請求項1から9のいずれか一項に記載の電気光学装置。

10

【請求項11】

前記第2延設部分は、前記基板上で平面的に見て、前記交差領域から外れていると共に前記データ線により覆われた領域内に、配置されていることを特徴とする請求項1から10のいずれか一項に記載の電気光学装置。

【請求項12】

前記ゲート電極は、前記走査線の一部からなり、

前記ゲート電極、前記第1延設部及び前記第2延設部は夫々、前記走査線と同層において同一膜により一体的に形成される

ことを特徴とする請求項1から11のいずれか一項に記載の電気光学装置。

20

【請求項13】

請求項1から12のいずれか一項に記載の電気光学装置を具備してなることを特徴とする電子機器。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、例えば液晶装置等の電気光学装置、及び該電気光学装置を備えた、例えば液晶プロジェクタ等の電子機器の技術分野に関する。

【背景技術】

【0002】

この種の電気光学装置の一例である液晶装置は、直視型ディスプレイのみならず、例えば投射型表示装置の光変調手段（ライトバルブ）としても多用されている。特に投射型表示装置の場合、光源からの強い光が液晶ライトバルブに入射されるため、この光によって液晶ライトバルブ内の薄膜トランジスタ（TFT：Thin Film Transistor）がリーク電流の増大や誤動作等を生じないよう、入射光を遮る遮光手段としての遮光膜が液晶ライトバルブに内蔵されている。このような遮光手段或いは遮光膜について、例えば特許文献1は、TFTのチャネル領域において、ゲート電極として機能する走査線によって遮光する技術を開示している。特許文献2によれば、チャネル領域上に形成された複数の遮光膜と、内面反射光を吸収する層とを設けることによってTFTのチャネル領域に到達する光を低減するとされている。特許文献3は、TFTの好適な動作の確保及び走査線の狭小化を可能としつつ、TFTのチャネル領域に入射する入射光を極力低減する技術を開示している。

30

【0003】

【特許文献1】特開2004-4722号公報

【特許文献2】特許3731447号公報

【特許文献3】特開2003-262888号公報

40

【発明の開示】

【発明が解決しようとする課題】

【0004】

しかしながら、上述のような遮光膜によってTFTを遮光する場合、遮光膜とTFTを構成する半導体層との間は、3次元的に見て例えば絶縁膜等を介して離間しており、遮光

50

膜の脇から斜めに入射する入射光が TFT を構成する半導体層に到達してしまい、TFT における光リーク電流が発生してしまうおそれがある。このような TFT における光リーク電流に起因して、フリッカ、画素ムラ等の表示不良が生じ、表示画像の品質が低下してしまうおそれがあるという技術的問題点がある。

【 0 0 0 5 】

本発明は、例えば上述した問題点に鑑みなされたものであり、例えば、アクティブマトリクス方式で駆動される液晶装置等の電気光学装置であって、画素スイッチング用の TFT における光リーク電流の発生を低減でき、高品質な画像を表示可能な電気光学装置、及び該電気光学装置を具備してなる電子機器を提供することを課題とする。

【 0 0 0 6 】

本発明の電気光学装置は上記課題を解決するために、基板と、該基板上において、互いに交差して延びると共に遮光性の導電膜を夫々含んでなるデータ線及び走査線と、前記データ線及び前記走査線の交差に対応して規定される画素毎に設けられた画素電極と、前記データ線に電気的に接続されたデータ線側ソースドレイン領域、前記画素電極に電気的に接続された画素電極側ソースドレイン領域、並びに前記走査線の一部からなる若しくは前記走査線に接続されたゲート電極にゲート絶縁膜を介して対向するように配置されたチャネル領域を有する半導体層と、前記ゲート電極から前記画素電極側ソースドレイン領域側に延設され、前記ゲート絶縁膜より厚い第1層間絶縁膜部分を介して前記半導体層の上又は下に積層された第1延設部分と、前記ゲート電極から前記第1延設部分を介して更に延設され、前記第1層間絶縁膜部分よりも薄い第2層間絶縁膜部分を介して前記半導体層の上又は下に積層された第2延設部分とを備え、前記第1延設部分は、前記基板上で平面的に見て、前記走査線及び前記データ線の交差する交差領域内に少なくとも部分的に配置されている。

【 0 0 0 7 】

本発明に係る電気光学装置によれば、その動作時に、例えばデータ線から画素電極への画像信号の供給が制御されつつ走査線から走査信号が供給され、所謂アクティブマトリクス方式による画像表示が可能となる。尚、画像信号は、データ線及び画素電極間に電気的に接続されたスイッチング素子であるトランジスタが走査線から供給される走査信号に応じてオンオフされることによって、所定のタイミングでデータ線からトランジスタを介して画素電極に供給される。画素電極は、例えばITO(Indium Tin Oxide)等の透明導電材料からなる透明電極であり、データ線及び走査線の交差に対応して、基板上において表示領域となるべき領域にマトリクス状に複数設けられる。

【 0 0 0 8 】

上述したトランジスタは、チャネル領域、データ線側ソースドレイン領域及び画素電極側ソースドレイン領域を有する半導体層、チャネル領域に重なるゲート電極及びゲート絶縁膜によって構築されている。尚、半導体層が更にLDD領域（即ち、例えばイオンインプランテーション法等の不純物打ち込みによって半導体層に不純物を打ち込んでなる不純物領域）を有することで、LDD型の薄膜トランジスタとして構築されてもよい。又は、半導体層を上下から二つのゲート電極が挟持する若しくは二つの直列に接続されたチャネル領域に対して二つのゲート電極が夫々存在するダブルゲート型の薄膜トランジスタが構築されてもよい。更に、三つ以上のゲート電極があってもよい。

【 0 0 0 9 】

本発明では特に、ゲート電極から画素電極側ソースドレイン領域側に延設された第1延設部分と、ゲート電極から第1延設部分を介して更に延設された第2延設部分とが備えられており、半導体層における画素電極側ソースドレイン領域側に、第1及び第2延設部分より上層側から入射する光を遮光することが可能である。半導体層における画素電極側ソースドレイン領域側は、光リーク電流が発生し易いとされている。よって、上述したように、第1及び第2延設部分によって、画素電極に接続されている側の遮光を手厚くすることで、より効果的に光リーク電流の発生を防止することができる。

【 0 0 1 0 】

10

20

30

40

50

更に、第1延設部分は、ゲート絶縁膜より厚い第1層間絶縁膜部分を介して半導体層の上又は下に積層されている。即ち、第1延設部分は、ゲート電極と比べて、半導体層から離れた位置に設けられている。他方、第2延設部分は、第1層間絶縁膜部分よりも薄い第2層間絶縁膜部分を介して半導体層の上又は下に積層されている。即ち、第2延設部分は、第1延設部分と比べて、半導体層に近い位置に設けられている。

【0011】

仮に、ゲート電極又はこれと同一電位の電極部分若しくは配線部分である第1延設部分を、接合領域（例えば、LDD領域）に対して例えばゲート絶縁膜の膜厚程度まで近接させると、この電極部分若しくは配線部分が接合領域に対して、大なり小なりゲート電圧と同電位を印加する電極として機能してしまう。即ち、接合領域でも想定外のキャリア密度の変化が発生してしまう。このため、本来は、チャネル領域にゲート電圧が印加されてチャネルが形成されることが想定されている薄膜トランジスタにおける、リーク電流の発生、オンオフ閾値の変化などに代表される動作不良につながってしまう。他方、仮に、第1延設部分や第2延設部分から半導体層までの距離を長くすると、一の方向に沿う方向から斜めに入射し、半導体層におけるチャネル領域等に到達する光を遮る効果が低減してしまうことが判明している。

【0012】

しかるに本発明では、上述したように、第1延設部分から半導体層までの層間距離を相対的に長くとることで、動作不良を避けつつ、第2延設部分から半導体層までの層間距離を相対的に短くとることで、遮光性能を高めている。

【0013】

第1延設部分により覆われる半導体層部分（即ち、典型的には、接合領域或いはLDD領域）に対する遮光性能は、第1延設部分がゲート電極や第2延設部分と比較して半導体層から離間している分だけ、ゲート電極や第2延設部分に覆われる半導体層部分（即ち、典型的には、高濃度のソースドレイン領域）と比べて劣る。これに対し、本発明では特に、第1延設部分は、基板上で平面的に見て、走査線及びデータ線の交差する交差領域内に少なくとも部分的に配置されている。よって、上述した遮光性能の低下を、遮光性の走査線及びデータ線を交差させ、本래的に遮光性能が高い交差領域内に配置することで、補うことができる。これらの結果、総合的に、トランジスタの動作不良を避けつつ遮光性能に優れた構造が得られる。

【0014】

また、上述したような優れた遮光性能により、別途遮光膜等を設けなくとも十分な遮光を行なうことができる。よって、各画素の非開口領域（即ち、画像を表示するのに用いられる光が通過しない領域）の配置面積が広くなり、非開口領域を除いた開口領域が、より小さくなるのを防止することができる。その結果、各画素を微細化しても、比較的高い開口率を維持することが可能となる。

【0015】

以上説明したように、本発明に係る電気光学装置によれば、比較的高い開口率を維持しつつ、トランジスタにおける光リーク電流の発生に起因するフリッカ等の表示不良の発生を低減或いは防止できる。従って、本発明の電気光学装置用基板によれば、高品位な画像表示が可能となる。

【0016】

本発明の電気光学装置の一態様では、前記第1延設部分は、前記半導体層における、前記チャネル領域及び前記画素電極側ソースドレイン領域間に形成された接合領域の上又は下に積層されている。

【0017】

この態様によれば、第1延設部分が、半導体層におけるチャネル領域及び画素電極側ソースドレイン領域間に形成された接合領域の上又は下に積層されているため、接合領域に入射する光を効果的に遮光することができる。

【0018】

10

20

30

40

50

接合領域は、半導体層において特に光リーク電流が発生しやすい領域とされている。よって、接合領域に入射する光を遮光することで、より効果的に光リーク電流の発生を防止することができる。従って、高品位な画像表示が可能となる。

【0019】

上述した第1延設部分が接合領域の上又は下に積層されている様では、前記接合領域は、前記チャネル領域及び前記画素電極側ソースドレイン領域間に形成されたLDD領域であるように構成してもよい。

【0020】

このように構成すれば、トランジスタは、LDD構造を有する。仮に、チャネル領域及び画素電極側ソースドレイン領域間に形成されたLDD領域（以下、適宜「画素電極側LDD領域」と称する）に光リーク電流が発生すると、LDD構造を有するトランジスタの特性上、トランジスタがオフとされている際に、データ線側ソースドレイン領域及び画素電極側ソースドレイン領域に流れる電流（即ち、オフ電流）が増加する。

10

【0021】

しかるに本様では特に、画素電極側LDD領域に入射する光を、第1及び第2延設部分によって効果的に遮光することができる。従って、上述したような、オフ電流の増加を効果的に防止することができ、高品質な画像を表示することが可能となる。

20

【0022】

本発明の電気光学装置の他の様では、前記第2層間絶縁膜は、前記ゲート絶縁膜と同一層からなり、前記第1層間絶縁膜は、前記同一層及び前記同一層の上又は下に積層された一の絶縁膜を含む。

20

【0023】

この様によれば、第2延設部分は、ゲート絶縁膜と同一層からなる第2層間絶縁膜を介して、半導体層と対向配置されている。尚、「同一層」とは、同一の成膜工程によって形成される層を意味しており、ゲート絶縁膜及び第2層間絶縁膜の厚さ等は、互いに同一でなくともよい。

30

【0024】

他方、第1延設部分は、ゲート絶縁膜と同一層からなる層及びその層の上又は下に積層された一の絶縁膜を含む第1層間絶縁膜を介して、半導体層と対向配置されている。即ち、第1延設部分及び半導体層間の第1層間絶縁膜は、多層膜からなる。

30

【0025】

上述したように構成することで、より容易に、第1延設部分から半導体層までの層間距離を相対的に長くし、且つ第2延設部分から半導体層までの層間距離を相対的に短くとることができ。よって、例えば製造工程の長期化及び複雑高度化等を防止することができる。

【0026】

本発明の電気光学装置の他の様では、前記第1層間絶縁膜は、一の絶縁膜と、該一の絶縁膜の下層側に積層されており、該一の絶縁膜をエッチングによりパターニングする際にストップとして機能する保護膜とを含む。

40

【0027】

この様によれば、第1層間絶縁膜は、一の絶縁膜と、該一の絶縁膜の下側に積層された保護膜とを含む多層膜である。保護膜は、一の絶縁膜をエッチングによりパターニングする際にストップとして機能するため、エッチングのバラツキを抑制可能であると共に、エッチングによって保護膜の下層側にある層（典型的には、半導体層）を傷つけないようにすることができる。

【0028】

また、例えばエッチングにより一の絶縁膜が除去された部分等に、ゲート電極や第2延設部分を配置することで、より容易に、ゲート電極、第1延設部分及び第2延設部分と半導体層との層間距離が互いに異なる構成を実現する可能である。従って、製造工程の長期化及び複雑高度化等を防止することができる。

50

【0029】

本発明の電気光学装置の他の態様では、前記ゲート絶縁膜は、前記第1層間絶縁膜と同一層が、前記チャネル領域に対向する領域で凹状に掘られてなり、前記第2層間絶縁膜は、前記第1層間絶縁膜と同一層が、前記第2延設部分に対向する領域で凹状に掘られてなる。

【0030】

この態様によれば、ゲート絶縁膜は、第1層間絶縁膜と同一層が、チャネル領域に対向する領域で凹状に掘られてなる。よって、ゲート電極と半導体層との層間距離は、第1延設部分と半導体層との層間距離に比べて短くなる。同様に、第2層間絶縁膜は、第1層間絶縁膜と同一層が、第2延設部分に対向する領域で凹状に掘られてなる。よって、第2延設部分と半導体層との層間距離は、第1延設部分と半導体層との層間距離に比べて短くなる。尚、本態様における第1層間絶縁膜は、単一層膜からなってもよいし、多層膜からなってもよい。

10

【0031】

上述したように構成することで、より容易に、ゲート電極、第1延設部分及び第2延設部分と半導体層との層間距離が互いに異なる構成を実現する可能である。従って、製造工程の長期化及び複雑高度化等を防止することが可能となる。

【0032】

本発明の電気光学装置の他の態様では、前記第2層間絶縁膜は、前記ゲート絶縁膜よりも厚く且つ前記第1層間絶縁膜部分よりも薄い。

20

【0033】

この態様によれば、第2層間絶縁膜は、ゲート絶縁膜よりも厚く且つ第1層間絶縁膜部分よりも薄く形成される。尚、本態様における第2層間絶縁膜は、単一層膜からなってもよいし、多層膜からなってもよい。

【0034】

第2層間絶縁膜を上述のように構成することで、第2延設部分と半導体層との層間距離は、ゲート電極と半導体層との層間距離よりも長くなり、第1延設部分と半導体層との層間距離よりも短くなる。従って、第2延設部分による、対向配置された半導体層への電気的な影響を抑制しつつ、第2延設部分より上層側からの光を効果的に遮光することが可能である。

30

【0035】

本発明の電気光学装置の他の態様では、前記走査線における前記第2延設部分から更に延設され、前記第2層間絶縁膜部分よりも厚い第3層間絶縁膜部分を介して前記半導体層の上又は下に積層された第3延設部分を更に備える。

【0036】

この態様によれば、第2延設部分から更に延設された第3延設部分が更に備えられている。第3延設部分は、第2層間絶縁膜部分よりも厚い第3層間絶縁膜部分を介して半導体の上又は下に積層されている。尚、第3層間絶縁膜は、単一層膜からなってもよいし、多層膜からなってもよい。

【0037】

第3延設部分を備えることで、半導体層等に入射する光をより効果的に遮光することが可能となる。よって、光リーコ電流の発生を効果的に防止し、高品質な画像を表示することが可能となる。また、第3層間絶縁膜部分は2層間絶縁膜部分よりも厚いため、第3延設部分と半導体層との層間距離は、第2延設部分と半導体層との層間距離に比べて長い。このため、延設部分における画素電極との接続部分に近い端部を、第3延設部分が備えられない場合と比較して上層側にすることができる。よって、例えばエッチング等によって延設部分の端部を形成する際ににおいて、より上層側で作業が行えるため、作業がより容易となる。従って、製造工程の長期化及び複雑高度化等を防止することが可能となる。

40

【0038】

本発明の電気光学装置の他の態様では、前記チャネル領域は、前記基板上で平面的に見

50

て、前記交差領域から外れていると共に前記データ線により覆われた領域内に、少なくとも部分的に配置されている。

【0039】

この態様によれば、チャネル領域が、基板上で平面的に見て、交差領域から外れていると共にデータ線により覆われた領域内に、少なくとも部分的に配置されているため、チャネル領域と隣接する、半導体層における第1延設部分と対向配置された領域（典型的には、接合領域、或いはLDD領域）は、交差領域に配置される。交差領域は、上述したように遮光性が高いため、ゲート電極や第2延設部分と比較して遮光性が劣る、第1延設部分と対向配置された領域を効果的に遮光することができる。よって、より効果的に光リーク電流の発生を防止することができる。従って、高品質な画像を表示することが可能となる。

10

【0040】

本発明の電気光学装置の他の態様では、前記データ線側ソースドレイン領域は、前記基板上で平面的に見て、前記交差領域から外れていると共に前記データ線により覆われた領域内に、配置されている。

【0041】

この態様によれば、データ線側ソースドレイン領域が、基板上で平面的に見て、交差領域から外れていると共にデータ線により覆われた領域内に配置されているため、データ線側ソースドレイン領域にチャネル領域を介して設けられている、半導体層における第1延設部分と対向配置された領域（典型的には、接合領域、或いはLDD領域）を、交差領域に配置されるようにすることができる。交差領域は、上述したように遮光性が高いため、ゲート電極や第2延設部分と比較して遮光性が劣る、第1延設部分と対向配置された領域を効果的に遮光することができる。よって、より効果的に光リーク電流の発生を防止することができる。従って、高品質な画像を表示することが可能となる。

20

【0042】

本発明の電気光学装置の他の態様では、前記第2延設部分は、前記基板上で平面的に見て、前記交差領域から外れていると共に前記データ線により覆われた領域内に、配置されている。

【0043】

この態様によれば、第2延設部分が、基板上で平面的に見て、交差領域から外れていると共にデータ線により覆われた領域内に、少なくとも部分的に配置されているため、第2延設部分と隣接する第1延設部分に対向配置された半導体層における領域（典型的には、接合領域、或いはLDD領域）は、交差領域に配置される。交差領域は、上述したように遮光性が高いため、ゲート電極や第2延設部分と比較して遮光性が劣る、第1延設部分と対向配置された領域を効果的に遮光することができる。よって、より効果的に光リーク電流の発生を防止することができる。従って、高品質な画像を表示することが可能となる。

30

【0044】

本発明の電気光学装置の他の態様では、前記ゲート電極は、前記走査線の一部からなり、前記ゲート電極、前記第1延設部及び前記第2延設部は夫々、前記走査線と同層において同一膜により一体的に形成される。

40

【0045】

この態様によれば、ゲート電極は、走査線の一部として形成されている。また、ゲート電極、第1延設部及び第2延設部は夫々、走査線と同層において同一膜により一体的に形成される。尚、ゲート電極は、走査線とは別層又は同層において、走査線と異なる膜から形成されて、走査線に接続されていてもよいし、走査線とは別層において、走査線と同一膜から形成されて、走査線に接続されていてもよい。上述のいずれの場合にも、前記第1延設部及び前記第2延設部は夫々、ゲート電極と同層において同一膜により一体的に形成されてよい。

【0046】

上述したように構成することで、例えば走査線、ゲート電極、第1延設部及び第2延設

50

部を同一膜により同一の成膜工程で形成することが可能となる。よって、製造工程の長期化及び複雑高度化等を防止することが可能となる。

【0047】

本発明の電子機器は上記課題を解決するために、上述した本発明の電気光学装置（但し、その各種態様も含む）を具備する。

【0048】

本発明の電子機器によれば、上述した本発明に係る電気光学装置を具備してなるので、高品質な表示を行うことが可能な、投射型表示装置、テレビ、携帯電話、電子手帳、ワードプロセッサ、ビューファインダ型又はモニタ直視型のビデオテープレコーダ、ワークステーション、テレビ電話、POS端末、タッチパネルなどの各種電子機器を実現できる。また、本発明の電子機器として、例えば電子ペーパなどの電気泳動装置等も実現することも可能である。

10

【0049】

本発明の作用及び他の利得は次に説明する実施するための最良の形態から明らかにされる。

【発明を実施するための最良の形態】

【0050】

以下では、本発明の各実施形態について図を参照しつつ説明する。以下の実施形態では、それぞれ、本発明の電気光学装置の一例である駆動回路内蔵型のTFTアクティブマトリクス駆動方式の液晶装置を例にとる。

20

【0051】

<電気光学装置>

本実施形態に係る液晶装置の全体構成について、図1及び図2を参照して説明する。ここに、図1は、TFTアレイ基板をその上に形成された各構成要素と共に、対向基板の側から見た液晶装置の概略的な平面図であり、図2は、図1のH-H'断面図である。

【0052】

図1及び図2において、本実施形態に係る液晶装置は、対向配置されたTFTアレイ基板10と対向基板20とから構成されている。TFTアレイ基板10は例えば石英基板、ガラス基板、シリコン基板等の透明基板である。対向基板20も例えばTFTアレイ基板10と同様の材料からなる透明基板である。TFTアレイ基板10と対向基板20との間には液晶層50が封入されており、TFTアレイ基板10と対向基板20とは、画像表示領域10aの周囲に位置するシール領域に設けられたシール材52により相互に接着されている。

30

【0053】

シール材52は、両基板を貼り合わせるための、例えば紫外線硬化樹脂、熱硬化樹脂等からなり、製造プロセスにおいてTFTアレイ基板10上に塗布された後、紫外線照射、加熱等により硬化させられたものである。また、例えばシール材52中には、TFTアレイ基板10と対向基板20との間隔（基板間ギャップ）を所定値とするためのグラスファイバ或いはガラスピーブ等のギャップ材56が散布されている。本実施形態に係る液晶装置は、プロジェクタのライトバルブ用として小型で拡大表示を行うのに適している。

40

【0054】

シール材52が配置されたシール領域の内側に並行して、画像表示領域10aの額縁領域を規定する遮光性の額縁遮光膜53が、対向基板20側に設けられている。但し、このような額縁遮光膜53の一部又は全部は、TFTアレイ基板10側に内蔵遮光膜として設けられてもよい。

【0055】

TFTアレイ基板10上における、画像表示領域10aの周辺に位置する周辺領域には、データ線駆動回路101及びサンプリング回路7、走査線駆動回路104、外部回路接続端子102がそれぞれ形成される。

【0056】

50

TFTアレイ基板10上における周辺領域において、シール領域より外周側に、データ線駆動回路101及び外部回路接続端子102が、TFTアレイ基板10の一辺に沿って設けられている。また、TFTアレイ基板10上の周辺領域のうちシール領域より内側に位置する領域には、TFTアレイ基板10の一辺に沿う画像表示領域10aの一辺に沿って且つ額縁遮光膜53に覆われるようにしてサンプリング回路7が配置される。

【0057】

走査線駆動回路104は、TFTアレイ基板10の一辺に隣接する2辺に沿い、且つ、額縁遮光膜53に覆われるようにして設けられている。更に、このように画像表示領域10aの両側に設けられた二つの走査線駆動回路104間を電気的に接続するため、TFTアレイ基板10の残る一辺に沿い、且つ額縁遮光膜53に覆われるようにして複数の配線105が設けられている。10

【0058】

また、TFTアレイ基板10上の周辺領域において、対向基板20の4つのコーナー部に対向する領域に、上下導通端子106が配置されると共に、このTFTアレイ基板10及び対向基板20間には上下導通材が上下導通端子106に対応して該端子106に電気的に接続されて設けられる。

【0059】

図2において、TFTアレイ基板10上には、駆動素子である画素スイッチング用のTFTや走査線、データ線等の配線が作り込まれた積層構造が形成される。画像表示領域10aには、画素スイッチング用TFTや走査線、データ線等の配線の上層に画素電極9aがマトリクス状に設けられている。画素電極9a上には、配向膜16が形成されている。尚、本実施形態では、画素スイッチング素子はTFTのほか、各種トランジスタ或いはTFT等により構成されてもよい。20

【0060】

他方、対向基板20におけるTFTアレイ基板10との対向面上に、遮光膜23が形成されている。遮光膜23は、例えば遮光性金属膜等から形成されており、対向基板20上の画像表示領域10a内で、例えば格子状等にパターニングされている。そして、遮光膜23上(図2中遮光膜23より下側)に、ITO等の透明材料からなる対向電極21が複数の画素電極9aと対向して例えばベタ状に形成され、更に対向電極21上(図2中対向電極21より下側)には配向膜22が形成されている。30

【0061】

液晶層50は、例えば一種又は数種類のネマティック液晶を混合した液晶からなり、これら一対の配向膜間で、所定の配向状態をとる。そして、液晶装置の駆動時、夫々に電圧が印加されることで、画素電極9aと対向電極21との間には液晶保持容量が形成される。

【0062】

尚、ここでは図示しないが、TFTアレイ基板10上には、データ線駆動回路101、走査線駆動回路104の他に、複数のデータ線に所定電圧レベルのプリチャージ信号を画像信号に先行して各々供給するプリチャージ回路、製造途中や出荷時の当該液晶装置の品質、欠陥等を検査するための検査回路等が形成されていてもよい。40

【0063】

次に、本実施形態に係る液晶装置の画素部の電気的な構成について、図3を参照して説明する。ここに図3は、本実施形態に係る液晶装置の画像表示領域を構成するマトリクス状に形成された複数の画素における各種素子、配線等の等価回路図である。

【0064】

図3において、画像表示領域10aを構成するマトリクス状に形成された複数の画素の各々には、画素電極9a及びTFT30が形成されている。TFT30は、画素電極9aに電気的に接続されており、液晶装置の動作時に画素電極9aをスイッチング制御する。画像信号が供給されるデータ線6aは、TFT30のソースに電気的に接続されている。データ線6aに書き込む画像信号S1、S2、…、Snは、この順に線順次に供給しても50

構わないし、相隣接する複数のデータ線 6 a 同士に対して、グループ毎に供給するようにしてもよい。

【0065】

TFT30 のゲートには走査線 11 a が電気的に接続されており、本実施形態に係る液晶装置は、所定のタイミングで、走査線 11 a にパルス的に走査信号 G1、G2、…、Gm を、この順に線順次で印加するように構成されている。画素電極 9 a は、TFT30 のドレインに電気的に接続されており、スイッチング素子である TFT30 を一定期間だけそのスイッチを閉じることにより、データ線 6 a から供給される画像信号 S1、S2、…、Sn が所定のタイミングで書き込まれる。画素電極 9 a を介して電気光学物質の一例としての液晶に書き込まれた所定レベルの画像信号 S1、S2、…、Sn は、対向基板に形成された対向電極との間で一定期間保持される。10

【0066】

液晶層 50 (図 2 参照) を構成する液晶は、印加される電圧レベルにより分子集合の配向や秩序が変化することにより、光を変調し、階調表示を可能とする。ノーマリー ホワイトモードであれば、各画素の単位で印加された電圧に応じて入射光に対する透過率が減少し、ノーマリーブラックモードであれば、各画素の単位で印加された電圧に応じて入射光に対する透過率が増加され、全体として液晶装置からは画像信号に応じたコントラストをもつ光が出射される。

【0067】

ここで保持された画像信号がリークすることを防ぐために、画素電極 9 a と対向電極 21 (図 2 参照) との間に形成される液晶容量に対して電気的に並列に蓄積容量 70 が付加されている。蓄積容量 70 は、画像信号の供給に応じて各画素電極 9 a の電位を一時的に保持する保持容量として機能する容量素子である。蓄積容量 70 の一方の電極は、画素電極 9 a と電気的に並列して TFT30 のドレインに電気的に接続され、他方の電極は、定電位となるように、電位固定の容量線 300 に電気的に接続されている。蓄積容量 70 によれば、画素電極 9 a における電位保持特性が向上し、コントラスト向上やフリッカの低減といった表示特性の向上が可能となる。尚、蓄積容量 70 は、後述するように、TFT30 へ入射する光を遮る内蔵遮光膜としても機能する。20

【0068】

次に、上述の動作を実現する画素部の具体的な構成について、図 1 から図 3 に加えて図 4 から図 10 を参照して説明する。ここに図 4 は、画素部の平面図であって、図 5 は、トランジスタの構成に着目してその構成を示す平面図である。また図 6 は、図 4 の A-A' 線断面図であり、図 7 は、図 5 の C-C' 断面図である。更に図 8 及び図 9 は夫々、本実施形態に係る液晶装置の変形例を示す断面図であり、図 10 は、図 4 の B-B' 線断面図である。30

【0069】

尚、図 4 から図 10 では、各層・各部材を図面上で認識可能な程度の大きさとするため、該各層・各部材ごとに縮尺を異ならしめてある。この点については、後述の該当する各図について同様である。図 4 から図 10 では、図 1 又は図 2 を参照して説明した構成中、TFT アレイ基板側の構成のみについて説明するが、説明の便宜上、これらの図では画素電極 9 a より上側に位置する部分の図示を省略している。また、図 5 では、トランジスタに着目して、その構成をより詳細に示すと共に、非開口領域におけるトランジスタに対するデータ線や走査線、蓄積容量を構成する各種膜の配置関係についても概略的に示してある。40

【0070】

図 4において、画素電極 9 a は、TFT アレイ基板 10 上に、マトリクス状に複数設けられている。そして、画素電極 9 a の縦横の境界にそれぞれ沿ってデータ線 6 a 及び走査線 11 a が設けられている。走査線 11 a は、図 4 中 X 方向に沿って延びており、データ線 6 a は、走査線 11 a と交差するように、図 4 中 Y 方向に沿って延びている。走査線 11 a 及びデータ線 6 a が互いに交差する個所の各々には、図 5 に拡大して示すような、画

素スイッチング用の TFT30 が設けられている。

【0071】

上述した走査線 11a、データ線 6a 及び TFT30、並びに蓄積容量 70、下側遮光膜 110、中継層 93 は、TFT アレイ基板 10 上で平面的に見て、画素電極 9a に対応する各画素の開口領域 99a（即ち、各画素において、表示に実際に寄与する光が透過又は反射される領域）を囲む非開口領域 99b 内に配置されている。即ち、これらの走査線 11a、データ線 6a、TFT30、蓄積容量 70、下側遮光膜 110 及び中継層 93 は、表示の妨げとならないように、各画素の開口領域 99a ではなく、非開口領域 99b 内に配置されている。

【0072】

非開口領域 99b は、例えば、TFT アレイ基板 10 側のデータ線 6a や走査線 11a、或いは蓄積容量 70 を構成する導電膜の少なくとも一部が遮光性を有する遮光膜により規定され、このような遮光膜により各画素に入射される光を遮光可能な領域として、TFT アレイ基板 10 側において規定される。より具体的には、非開口領域 99b は、Y 方向に沿う第 1 領域 99ba 及び X 方向に沿う第 2 領域 99bb を含む。また、好ましくは、図 2 を参照して説明したように、対向基板 20 側において形成された遮光膜 23 によっても、TFT アレイ基板 10 側の遮光膜と共に非開口領域 99b が規定される。

【0073】

以下では、図 6 に示されている画素部の構成要素を、下層側から順に説明する。

【0074】

図 6において、下側遮光膜 110 は、TFT アレイ基板 10 上に配置され、例えばタンゲステン (W)、チタン (Ti)、チタンナイトライド (TiN) 等の高融点金属材料等の遮光性の導電材料からなる。また下側遮光膜 110 は、図 4 又は図 5 に示すように、例えば走査線 11a の延在方向（即ち、X 方向）に沿って形成されている、即ち、各走査線 11a に対応して画像表示領域 10a にストライプ状に形成されている。このような下側遮光膜 110 によれば、TFT アレイ基板 10 における裏面反射や、複板式のプロジェクタ等で他の液晶装置から発せられ合成光学系を突き抜けてくる光などの、戻り光のうち TFT30 に進行する光を遮光することができる。

【0075】

下地絶縁膜 12 は、例えばシリコン酸化膜等からなる。下地絶縁膜 12 は、TFT アレイ基板 10 の全面に形成されることにより、TFT アレイ基板 10 の表面研磨時における荒れや、洗浄後に残る汚れ等で画素スイッチング用の TFT30 の特性変化を防止する機能を有する。

【0076】

図 4 から図 6 において、TFT30 は、半導体層 1a、ゲート電極 3a を含んで構成されている。

【0077】

半導体層 1a は、例えばポリシリコンからなり、図 4 中 Y 方向に沿ったチャネル長を有するチャネル領域 1a'、データ線側 LDD 領域 1b 及び画素電極側 LDD 領域 1c、並びにデータ線側ソースドレイン領域 1d 及び画素電極側ソースドレイン領域 1e からなる。即ち、TFT30 は LDD 構造を有している。尚、画素電極側 LDD 領域 1c は、本発明に係る「接合領域」の一例である。

【0078】

データ線側ソースドレイン領域 1d 及び画素電極側ソースドレイン領域 1e は、チャネル領域 1a' を基準として、Y 方向に沿ってほぼミラー対称に形成されている。即ち、データ線側 LDD 領域 1b は、チャネル領域 1a' 及びデータ線側ソースドレイン領域 1d 間に形成されている。画素電極側 LDD 領域 1c は、チャネル領域 1a' 及び画素電極側ソースドレイン領域 1e 間に形成されている。データ線側 LDD 領域 1b、画素電極側 LDD 領域 1c、データ線側ソースドレイン領域 1d 及び画素電極側ソースドレイン領域 1e は、例えばイオンインプランテーション法等の不純物打ち込みによって半導体層 1a に

10

20

30

40

50

不純物を打ち込んでなる不純物領域である。データ線側 LDD 領域 1b 及び画素電極側 LDD 領域 1c はそれぞれ、データ線側ソースドレイン領域 1d 及び画素電極側ソースドレイン領域 1e よりも不純物の少ない低濃度な不純物領域として形成される。このような不純物領域によれば、TFT30 の非動作時において、ソース領域及びドレイン領域に流れるオフ電流を低減し、且つ TFT30 の動作時に流れるオン電流の低下を抑制できる。尚、TFT30 は、LDD 構造を有することが好ましいが、データ線側 LDD 領域 1b、画素電極側 LDD 領域 1c に不純物打ち込みを行わないオフセット構造であってもよいし、ゲート電極をマスクとして不純物を高濃度に打ち込んでデータ線側ソースドレイン領域及び画素電極側ソースドレイン領域を形成する自己整合型であってもよい。

【 0 0 7 9 】

10

走査線 11a は、半導体層 1a よりも上層側に、例えばシリコン酸化膜等からなる絶縁膜 202 を介して配置される。走査線 11a は、例えば導電性ポリシリコンからなり、X 方向に延在するように形成される。ここで、走査線 11a には、その一部としてゲート電極 3a が形成されている。ゲート電極 3a は、絶縁膜 202 において平面的に見てチャネル領域 1a' に重なる部分に開口された開口部 202h 内に設けられている。

【 0 0 8 0 】

図7において、図5のC-C'線に沿う断面部分について、開口部202h内に着目すると、ゲート電極3aは、開口部202h内にゲート絶縁膜2を介してチャネル領域1a'に重なるように形成されている。このように形成すれば、ゲート電極3aにゲート電圧を印加することで、チャネル領域1a'に流れる電流を制御することが可能となる。

【 0 0 8 1 】

図4から図6に戻り、ゲート電極3aには、第1延設部分31a及び第2延設部分32aが同層において同一膜により一体的に形成されている。

【 0 0 8 2 】

第1延設部分31aは、平面的に見て画素電極側LDD領域1cを覆うように形成されている。従って、画素電極側LDD領域1cに対して、それよりも上層側から入射する光を第1延設部分31aによって遮光することが可能となる。

【 0 0 8 3 】

また、第1延設部分31aは、画素電極側LDD領域1cより上層側に絶縁膜202を介して形成される。即ち、第1延設部分31aは、TFTアレイ基板10の基板面に垂直をなす上下方向で、ゲート電極3aよりも上側に配置される。このため、第1延設部分31aと画素電極側LDD領域1cとは互いに電気的に絶縁される。よって、TFT30の動作時に、ゲート電極3aと一緒に形成された第1延設部分31aに生じる電界が、画素電極側LDD領域1cに電気的な影響を与えて、TFT30に動作不良が生じるのを防止することが可能となる。

〔 0 0 8 4 〕

第2延設部分32aは、上述した第1延設部分31aに接続されており、半導体層1aに対してゲート絶縁膜2を介して上層側に形成されている。即ち、第2延設部分32aは、TFTアレイ基板10の基板面に垂直をなす上下方向で、ゲート電極3aと同じ高さに配置される。従って、例えば図6中に矢印P1で示すような光が、画素電極側LDD領域1cに入射するのを防止することができる。

〔 0 0 8 5 〕

また、第2延設部分32aは、第1延設部分31aと比べて半導体層1aに近接して配置されている。しかしながら、半導体層1aにおいて第2延設部分32aと対向する部分は、画素電極側LD領域1cのように、LD領域ではなく、高濃度にドープされた導電層である。よって、TFT30の動作時に、ゲート電極3aと一緒に形成された第2延設部分32aに生じる電界が、この高濃度にドープされた部分を介して、半導体層1aに電気的な影響を与えて、TFT30に動作不良が生じることは殆ど又は実用上全くない。尚、図4から図6に示すように、第2延設部分32aを、画素電極側LD領域1cからY方向に所定距離（即ち、第2延設部分32aに生じる電界が画素電極側LD領域1

c に影響を及ぼさないような距離) 隔てた位置に配置することで、より効果的に動作不良の発生を防止することができる。

【0086】

図5において、画素電極側LDD領域1cは、非開口領域99bにおいて第1領域99ba及び第2領域99bbが互いに交差する交差領域99crに配置されている。交差領域99crにおいては、画素電極側LDD領域1cに対してそれよりも上層側から入射する光のうち、図5において矢印Pyで示す進行方向に沿って進行する光は第1領域99baによって遮光することが可能であり、図5において矢印Pxで示す進行方向に沿って進行する光は第2領域99bbによって遮光することが可能である。尚、図5において、矢印Pyは、Y方向に沿って進行する成分を有する光の進行方向の一例を示し、矢印Pxは、X方向に沿って進行する成分を有する光の進行方向の一例を示したものである。10

【0087】

従って、交差領域99crでは、第1延設部分31a及び第2延設部分32aに加えて、第1領域99ba及び第2領域99bbによって、画素電極側LDD領域1cに対して進行する光を遮光することができる。よって、画素電極側LDD領域1cに入射される光を効果的に低減することができる。20

【0088】

ここに、その詳細については後述するが、特に画素電極側LDD領域1cに光が照射された場合には、データ線側LDD領域1bに光が照射された場合と比較して、TFT30における光リーク電流が生じやすないと本願発明者は推察している。本実施形態では、半導体層1aに形成される各種領域のうち画素電極側LDD領域1cに対する遮光性をいわばピンポイントで高めることができる。従って、各画素のTFT30の光リーク電流を効果的に低減できる。20

【0089】

また、本実施形態では、画素電極側LDD領域1cに対して交差領域99crとは別に遮光領域を設けなくても、ピンポイントで画素電極側LDD領域1cに対する遮光性を高めることができる。よって、このようなピンポイントに遮光性を高めるための領域を設けることで、各画素の非開口領域99bの配置面積が広くなり、開口領域99aがより小さくなるのを防止することができる。その結果、各画素を微細化しても、ピンポイントに遮光性を向上させ且つ開口率もより向上させることができる。30

【0090】

更に、ゲート電極3a、第1延設部分31a及び第2延設部分32aは夫々、TFTアレイ基板10の基板面に垂直をなす上下方向で互いに異なる位置に配置されるが、互いに一体的に形成される。従って、これらゲート電極3a、第1延設部分31a及び第2延設部分32aが互いに異なる高さに配置されるがために、パターン上分離した形状で夫々形成される場合と比較して、各画素が精細化されても、ゲート電極3a、第1延設部分31a及び第2延設部分32aの互いの電気的接続が分断されたり、或いは画素電極側LDD領域1cに対して第1延設部分31aが短絡したりする不具合を防止することができる。従って、このような電気的接続に係る不良により、TFT30に動作不良が生じるのを防止することができる。40

【0091】

上述した第1延設部分31a及び第2延設部分32aの構成は、あくまで一例であり、例えば以下に示すような構成をとることも可能である。

【0092】

図8において、ゲート電極3aには、上述した第1延設部分31a及び第2延設部分32aに加えて、第3延設部分33aが第2延設部分32aから延設するように設けられている。このように構成すれば、第3延設部分33aが加えられた分、より効果的に画素電極側LDD領域1cに入射得する光を遮光することができる。

【0093】

また、ゲート電極3aや各延設部分を形成する成膜工程においては、エッチング等によ50

って膜の端部を加工する。この際、画素電極側ソースドレイン領域 1 e 側の端部は第 3 延設部分 3 3 a となるが、第 3 延設部分 3 3 a は、TFT アレイ基板 1 0 の基板面に垂直をなす上下方向で、第 2 延設部分 3 2 a より高い位置に配置されている。従って、図 6 に示すように膜の端部（即ち、図 6 では第 2 延設部分 3 2 a）が低い位置にある場合と比較して、膜の加工を行い易いという利点がある。

【0094】

図 9 に示すように、第 2 延設部分 3 2 a は、ゲート電極 3 a と同じ高さとなるように配置されなくともよい。ここでは、ゲート電極 3 a 及びチャネル領域 1 a' 間に設けられるゲート絶縁膜 2 に加えて、例えばシリコン窒化膜からなる保護膜 2 0 5 が備えられており、ゲート絶縁膜 2 と保護膜 2 0 5 との厚さの差分だけ、ゲート電極 3 a と第 2 延設部分 3 2 a との高さが互いに異なっている。このように構成すれば、第 2 延設部分 3 2 a の画素電極側 LDD 領域 1 c に対する電気的影響を、図 6 及び図 8 の場合と比較してより効果的に防止することが可能となる。また、保護膜 2 0 5 は、成膜工程におけるエッチング等の際にストップとして機能する。よって、エッチングのバラツキを抑制可能であると共に、エッチングによって保護膜 2 0 5 の下層側にある層（即ち、ここでは半導体層 1 a）を傷つけないようにすることができます。

【0095】

以上説明したように、本実施形態ではゲート電極 3 a に、第 1 延設部分 3 1 a 及び第 2 延設部分 3 2 a、更には第 3 延設部分 3 3 a を加えて設けることにより、画素電極側 LDD 領域 1 c に入射する光を効果的に遮光することを可能としている。

【0096】

図 6において、TFT アレイ基板 1 0 上の TFT 3 0 よりも層間絶縁膜 4 1 を介して上層側には、蓄積容量 7 0 が設けられている。

【0097】

蓄積容量 7 0 は、下部容量電極 7 1 と上部容量電極 3 0 0 が誘電体膜 7 5 を介して対向配置されることにより形成されている。

【0098】

上部容量電極は、容量線 3 0 0 の一部として形成されている。その構成については図示を省略してあるが、容量線 3 0 0 は、画素電極 9 a が配置された画像表示領域 1 0 a からその周囲に延設され、定電位源と電気的に接続される。これにより、上部容量電極 3 0 0 は、固定電位に維持され、固定電位側容量電極として機能し得る。上部容量電極 3 0 0 は、例えば Al (アルミニウム)、Ag (銀) 等の金属又は合金を含んだ非透明な金属膜から形成されており、TFT 3 0 を遮光する上側遮光膜（内蔵遮光膜）としても機能する。尚、上部容量電極 3 0 0 は、例えば、Ti (チタン)、Cr (クロム)、W (タングステン)、Ta (タンタル)、Mo (モリブデン)、Pd (パラジウム) 等の高融点金属のうちの少なくとも一つを含む、金属単体、合金、金属シリサイド、ポリシリサイド、これらを積層したもの等から構成されていてもよい。

【0099】

図 4 又は図 6において、下部容量電極 7 1 は、TFT 3 0 の画素電極側ソースドレイン領域 1 e 及び画素電極 9 a に電気的に接続された画素電位側容量電極である。より具体的には、下部容量電極 7 1 は、コンタクトホール 8 3 (図 4 及び図 6 参照) を介して画素電極側ソースドレイン領域 1 e と電気的に接続されると共に、コンタクトホール 8 4 (図 4 及び図 10 参照) を介して中継層 9 3 に電気的に接続されている。更に、中継層 9 3 は、コンタクトホール 8 5 (図 4 及び図 10 参照) を介して画素電極 9 a に電気的に接続されている。即ち、下部容量電極 7 1 は、中継層 9 3 と共に画素電極側ソースドレイン領域 1 e 及び画素電極 9 a 間の電気的な接続を中継する。下部容量電極 7 1 は、例えば導電性のポリシリコン、或いは例えば Al (アルミニウム) 等の金属又は合金を含んだ非透明な金属膜から形成されている。

【0100】

ここに、下部容量電極 7 1 は、好ましくは画素電位側容量電極としての機能の他、上側

10

20

30

40

50

遮光膜としての上部容量電極 300 と TFT30 との間に配置される、光吸収層或いは遮光膜としての機能も有する。従って、交差領域 99crにおいて、画素電極側 LDD 領域 1c に対してそれよりも上層側から入射する光について、上部容量電極 300 及び下部容量電極 71 の各々によつても、遮光することが可能である。

【0101】

誘電体膜 75 は、例えばHTO (High Temperature Oxide) 膜、LTO (Low Temperature Oxide) 膜等の酸化シリコン膜、或いは窒化シリコン膜等から構成された単層構造、或いは多層構造を有している。

【0102】

図6及び図10において、TFTアレイ基板 10 上の蓄積容量 70 よりも層間絶縁膜 42 を介して上層側には、データ線 6a 及び中継層 93 が設けられている。

【0103】

データ線 6a は、半導体層 1a のデータ線側ソースドレイン領域 1d に、絶縁膜 202、層間絶縁膜 41、誘電体膜 75 及び層間絶縁膜 42 を貫通するコンタクトホール 81 を介して電気的に接続されている。データ線 6a 及びコンタクトホール 81 内部は、例えば、Al-Si-Cu、Al-Cu 等の Al (アルミニウム) 含有材料、又は Al 単体、若しくは Al 層と TiN 層等との多層膜からなる。データ線 6a は、TFT30 を遮光する機能も有している。

【0104】

図4又は図5に示すように、データ線 6a は、交差領域 99cr において、ゲート電極 3a の延設部 32a と重なるように形成される。よつて、交差領域 99cr において、画素電極側 LDD 領域 1c に対してそれよりも上層側から入射する光について、データ線 6a によつても遮光することが可能となる。

【0105】

図4及び図10において、中継層 93 は、層間絶縁膜 42 上においてデータ線 6a (図6参照) と同層に形成されている。データ線 6a 及び中継層 93 は、例えば金属膜等の導電材料で構成される薄膜を層間絶縁膜 42 上に薄膜形成法を用いて形成しておき、当該薄膜を部分的に除去、即ちパターニングすることによって相互に離間させた状態で形成される。従つて、データ線 6a 及び中継層 93 を同一工程で形成できるため、装置の製造プロセスを簡便にできる。

【0106】

図6及び図10において、画素電極 9a は、データ線 6a よりも層間絶縁膜 43 を介して上層側に形成されている。画素電極 9a は、下部容量電極 71、コンタクトホール 83、84 及び 85、並びに中継層 93 を介して半導体層 1a の画素電極側ソースドレイン領域 1e に電気的に接続されている。コンタクトホール 85 は、層間絶縁層 43 を貫通するように形成された孔部の内壁にITO等の画素電極 9a を構成する導電材料が成膜されることによって形成されている。画素電極 9a の上側表面には、ラビング処理等の所定の配向処理が施された配向膜 16 が設けられている。

【0107】

以上に説明した画素部の構成は、各画素部に共通である。画像表示領域 10a (図1参照) には、かかる画素部が周期的に形成されている。

【0108】

よつて、以上説明したような本実施形態の液晶装置では、その動作時において、TFT30 の光リーク電流の発生に起因する、表示不良の発生を防止、或いは発生しても表示上、表示不良と視認されない程度に低減することが可能となる。また、TFT30 の動作不良や開口率の低下を防止しつつ容易に各画素を精細化することもできる。その結果、本実施形態では、液晶装置において高品質な画像を表示することができる。

【0109】

ここで、上述した TFT30 の動作時に、画素電極側 LDD 領域 1c において、データ線側 LDD 領域 1b に比べて光リーク電流が相対的に発生しやすい理由について、図11

10

20

30

40

50

から図16を参照して、詳細に説明する。

【0110】

先ず、テスト用のTFTに光を照射した場合における、ドレイン電流の大きさを測定した測定結果について、図11を参照して説明する。ここに図11は、テスト用のTFTにおける光照射位置とドレイン電流との関係を示すグラフである。

【0111】

図11において、データE1は、テスト用の単体のTFT、即ちTEG (Test Element Group) に対して、光スポット(約2.4 μmの可視光レーザ)をドレイン領域側からソース領域側へ順に走査しつつ照射した場合におけるドレイン電流の大きさを測定した結果を示している。TEGは、チャネル領域、ソース領域及びドレイン領域に加え、チャネル領域とソース領域との接合部に形成されたソース側接合領域、及びチャネル領域とドレイン領域との接合部に形成されたドレイン側接合領域を有している。

10

【0112】

尚、図11の横軸は、光スポットが照射された光照射位置を示しており、チャネル領域とドレイン側接合領域との境界及びチャネル領域とソース側接合領域との境界、更にチャネル領域をゼロとしている。図11の縦軸は、ドレイン電流の大きさ(但し、所定の値で規格化された相対値)を示しており、ドレイン電流がドレイン領域からソース領域へ向かって流れている場合には、正の値(即ち、プラスの値)を示し、ドレイン電流がソース領域からドレイン領域へ向かって流れている場合には、負の値(即ち、マイナスの値)を示す。

20

【0113】

図11において、データE1は、いずれの光照射位置でもプラスの値を示している。即ち、ドレイン電流が、ドレイン領域からソース領域へ向かって流れていることを示している。また、データE1は、ドレイン側接合領域内において、ソース側接合領域内におけるよりも大きな値を示している。即ち、ドレイン側接合領域内に光スポットが照射された場合には、ソース側接合領域内に光スポットが照射された場合よりも、ドレイン電流が大きくなることを示している。つまり、ドレイン側接合領域内に光スポットが照射された場合には、ソース側接合領域内に光スポットが照射された場合よりも、光リーク電流が大きくなることを示している。尚、ドレイン電流は、暗電流(或いはサブスレッショルドリーク、即ち、光を照射しない状態でも、TEGのオフ状態においてソース領域及びドレイン領域間に流れる漏れ電流)と光リーク電流(或いは光励起電流、即ち、光が照射されることによる電子の励起に起因して生じる電流)とから構成されている。

30

【0114】

次に、ドレイン側接合領域内に光スポットが照射された場合の方が、ソース側接合領域内に光スポットが照射された場合よりも、光リーク電流が大きくなるメカニズムについて、図12及び図13を参照して説明する。ここに図12は、ドレイン側接合領域において光励起が発生した場合におけるキャリアの振る舞いを示す概念図である。図13は、ソース側接合領域において光励起が発生した場合におけるキャリアの振る舞いを示す概念図である。尚、図12及び図13では、上述したTFT30が電気的に接続された画素電極9aにおける中間階調の表示を想定して、ソース電位(即ち、ソース領域の電位)を4.5V、ゲート電位(即ち、チャネル領域の電位)を0V、ドレイン電位(即ち、ドレイン領域の電位)を9.5Vとしている。図12及び図13の横軸は、TEGを構成する半導体層における各領域を示している。図12及び図13の縦軸は、電子のポテンシャル(フェルミレベル)を示している。電子は負の電荷を有するため、各領域における電位が高いほど、電子のポテンシャルは低くなり、各領域における電位が低いほど、電子のポテンシャルは高くなる。

40

【0115】

図12は、チャネル領域及びドレイン領域間に形成されたドレイン側接合領域に光スポットが照射され、ドレイン側接合領域において光励起が生じる場合におけるキャリアの振る舞いを示している。

50

【0116】

図12において、光リーク電流は、2つの電流成分からなると推定できる。

【0117】

即ち、第1の電流成分として、光励起によって生じた電子の移動による電流成分がある。より具体的には、ドレイン側接合領域における光励起によって生じた電子（図中、「e」参照）が、ドレイン側接合領域からポテンシャルのより低いドレイン領域へ移動することにより生じる電流成分（この電流成分は、ドレイン領域からソース領域へ流れる）である。

【0118】

第2の電流成分として、光励起によって生じたホール（即ち、正孔、図中、「h」参照）の移動による電流成分がある。より具体的には、ドレイン側接合領域における光励起によって生じたホールが、ドレイン側接合領域からポテンシャルのより低い（即ち、電子のポテンシャルとしてはより高い）チャネル領域へ移動することによって発生するバイポーラ効果に起因する電流成分である。つまり、チャネル領域へ移動したホールの正電荷によって、チャネル領域のポテンシャル（即ち、いわゆるベースポテンシャル）がポテンシャル L_{c1} からポテンシャル L_{c2} へと引き下げられるため、ソース領域からドレイン領域へと向かう電子が増大するという効果による電流成分（この電流成分は、ドレイン領域からソース領域へ流れる）である。よって、ドレイン側接合領域において光励起が生じる場合において、第1及び第2の電流成分はいずれもドレイン電流（言い換えれば、コレクタ電流）を増大させる方向（即ち、ドレイン領域からソース領域へ流れる方向）に発生する。

10

20

【0119】

図13は、チャネル領域及びソース領域間に形成されたソース側接合領域に光スポットが照射され、ソース側接合領域において光励起が生じる場合にキャリアの振舞いを示している。

【0120】

図13において、光リーク電流は、図12を参照して上述したドレイン側接合領域において光励起が生じる場合とは異なり、ホールがソース側接合領域からポテンシャルのより低い（即ち、電子のポテンシャルとしてはより高い）チャネル領域へ移動するバイポーラ効果に起因した第2の電流成分が支配的であると推定できる。即ち、ソース側接合領域における光励起によって生じた電子（図中、「e」参照）が、ソース側接合領域からポテンシャルのより低いソース領域へ移動することにより生じる第1の電流成分（この電流成分は、ソース領域からドレイン領域へ流れる）は、バイポーラ効果に起因した第2の電流成分（この電流成分は、ドレイン領域からソース領域へ流れる）よりも少ないと推定できる。

30

【0121】

図13において、バイポーラ効果に起因した第2の電流成分（即ち、チャネル領域へ移動したホールの正電荷によって、ベースポテンシャルがポテンシャル L_{c1} からポテンシャル L_{c3} へと引き下げられるため、ソース領域からドレイン領域へと向かう電子が増大するという効果による電流成分）は、ドレイン領域からソース領域へと流れる。一方、上述した第1の電流成分は、ソース領域からドレイン領域へと流れる。即ち、第1の電流成分と第2の電流成分とは互いに反対方向に流れる。ここで、再び図11において、ソース側接合領域に光スポットを照射した場合には、ドレイン電流（データE1参照）は正の値を示している。即ち、この場合には、ドレイン電流はドレイン領域からソース領域へ向かって流れている。よって、第1の電流成分は、暗電流や第2の電流成分であるバイポーラ効果による電流成分を抑制するのみで、ドレイン電流の流れをソース領域からドレイン領域へ向かわせる程度までは大きくないといえる。

40

【0122】

更に、チャネル領域及びソース領域間の電位差は、チャネル領域及びドレイン領域間の電位差よりも小さいため、ソース領域側の空乏化領域（即ち、ソース側接合領域）は、ドレイン領域側の空乏化領域（即ち、ドレイン側接合領域）よりも狭い。このため、ソース

50

側接合領域に光スポットを照射した場合には、ドレイン側接合領域に光スポットを照射した場合と比較して、光励起の絶対量が少ない。

【0123】

以上、図12及び図13を参照して説明したように、ドレイン側接合領域において光励起が生じる場合、第1及び第2の電流成分はいずれもドレイン電流を増大させる方向に発生する。一方、ソース側接合領域において光励起が生じる場合、第1の電流成分が第2の電流成分を抑制する。よって、ドレイン側接合領域内に光スポットが照射された場合の方が、ソース側接合領域内に光スポットが照射された場合よりも、ドレイン電流が大きくなる（即ち、光リーク電流が大きくなる）。

【0124】

次に、画素電極側ソースドレイン領域がドレイン電位とされると共に画素電極側接合領域内に光スポットが照射された場合の方が、データ線側ソースドレイン領域がドレイン電位とされると共にデータ線側接合領域内に光スポットが照射された場合よりも、光リーク電流が大きくなるメカニズムについて、図14及び図15を参照して説明する。ここに図14は、データ線側ソースドレイン領域がドレイン電位とされる場合において、データ線側接合領域（言い換れば、ドレイン側接合領域）において光励起が発生したときにおけるキャリアの振る舞いを示す概念図である。図15は、画素電極側ソースドレイン領域がドレイン電位とされる場合において、画素電極側接合領域（言い換れば、ドレイン側接合領域）において光励起が発生したときにおけるキャリアの振る舞いを示す概念図である。

10

20

【0125】

以下では、画素スイッチング用のTFTを含む画素部に電荷が保持され、光励起が生じた場合を考える。上述したようなTEGを想定した場合と異なる点は、画素スイッチング用のTFTの画素電極側は、フローティング状態になり得る点である。画素スイッチング用のTFTの画素電極側には、蓄積容量70の如き保持容量が接続される場合もあり、容量値が十分に大きければ、上述したTEGを用いた場合と同様に固定電極に近い状態となるが、容量が十分に大きくななければ、フローティング状態或いはこれに近い状態になる。尚、ここでは、容量値は十分には大きくないものと仮定する。

【0126】

図14及び図15において、液晶装置では、いわゆる焼き付きを防止するために交流駆動が採用される。ここでは、中間階調の表示を想定して、画素電極に、7Vを基準電位として、4.5Vのマイナスフィールドの電荷と9.5Vのプラスフィールドの電荷とが交互に保持される場合を想定する。このため画素スイッチング用のTFTのソース及びドレインは、画素電極側ソースドレイン領域とデータ線側ソースドレイン領域との間で、固定ではなく変化する。即ち、図14に示すように、画素電極にマイナスフィールドの電荷が保持される場合（即ち、画素電極側ソースドレイン領域の電位がデータ線側ソースドレイン領域の電位よりも低くなる場合）には、画素電極側ソースドレイン領域は、ソースとなるのに対し、図15に示すように、画素電極にプラスフィールドの電荷が保持される場合（即ち、画素電極側ソースドレイン領域の電位がデータ線側ソースドレイン領域の電位よりも高くなる場合）には、画素電極側ソースドレイン領域は、ドレインとなる。

30

40

【0127】

図14において、画素電極にマイナスフィールドの電荷が保持される場合には、画素電極側ソースドレイン領域が、ソース（或いはエミッタ）となり、データ線側ソースドレイン領域が、ドレイン（或いはコレクタ）となる。ドレイン側接合領域であるデータ線側接合領域において光励起が生じた場合、上述したように、光励起によって生じた電子の移動による第1の電流成分とバイポーラ効果に起因する第2の電流成分が発生する。ここで、バイポーラ効果に起因する第2の電流成分が生じると（即ち、ベースポテンシャルがポテンシャルLc1からポテンシャルLc2へと引き下げられ、ソースである画素電極側ソースドレイン領域からドレインであるデータ線側ソースドレイン領域へ電子が移動すると）、フローティング状態である画素電極側ソースドレイン領域から電子が抜き取られること

50

になり、エミッタとしての画素電極側ソースドレイン領域のポテンシャルが、ポテンシャル $L_s 1$ からポテンシャル $L_s 2$ へと低下する（電位は、上昇する）。即ち、ドレン側接合領域であるデータ線側接合領域において光励起が生じた場合、ベースポテンシャルが低下すると共にエミッタとしての画素電極側ソースドレイン領域のポテンシャルも低下する。言い換えれば、ドレン側接合領域であるデータ線側接合領域において光励起が生じた場合、ベース電位の上昇に伴ってエミッタ電位も上昇する。このため、ドレン電流（即ち、コレクタ電流）が、抑制されることになる。

【0128】

一方、図15において、画素電極にプラスフィールドの電荷が保持される場合には、データ電極側ソースドレイン領域が、ソース（或いはエミッタ）となり、画素電極側ソースドレイン領域が、ドレン（或いはコレクタ）となる。ドレン側接合領域である画素電極側接合領域において光励起が生じた場合、上述したように、光励起によって生じた電子の移動による第1の電流成分とバイポーラ効果に起因する第2の電流成分が発生する。ここで、ソースとなるデータ線側ソースドレイン領域は、データ線と接続されているため、画素電極とは異なりフローティング状態ではなく、電位に変化は生じない。バイポーラ効果に起因する第2の電流成分が生じると（即ち、ベースポテンシャルがポテンシャル $L_c 1$ からポテンシャル $L_c 2$ へと引き下げられ、ソースであるデータ線側ソースドレイン領域からドレンである画素電極ソースドレイン領域へ電子が移動すると）、フローティング状態である画素電極側ソースドレイン領域へ電子が流れ込むことになり、コレクタとしての画素電極側ソースドレイン領域のポテンシャルが、ポテンシャル $L_d 1$ からポテンシャル $L_d 2$ へと上昇する（電位は、低下する）。しかし、コレクタとしての画素電極側ソースドレイン領域のポテンシャルの上昇は、上述したソースとしての画素電極側ソースドレイン領域のポテンシャルの低下とは異なり、ドレン電流を抑制する働きは殆どない。ドレン電流（即ち、コレクタ電流）は、エミッタ電位に対するベース電位の大きさよって殆ど決まるため、コレクタ電位が低下してもドレン電流を抑制する働きは殆ど生じない、言い換えれば、バイポーラトランジスタの飽和領域に入った状態である。

【0129】

以上、図14及び図15を参照して説明したように、画素電極にプラスフィールドの電荷が保持される場合（即ち、画素電極側ソースドレイン領域が、ドレンとなる場合）には、バイポーラ効果に起因した第2の電流成分は殆ど抑制されないのでに対し、画素電極にマイナスフィールドの電荷が保持される場合（即ち、データ側ソースドレイン領域が、ドレンとなる場合）には、バイポーラ効果に起因した第2の電流成分は、フローティング状態である画素電極側ソースドレイン領域の電位の上昇に起因して抑制される。つまり、画素電極側ソースドレイン領域がドレンとなる場合の方が、データ側ソースドレイン領域がドレンとなる場合よりも、光リーク電流に起因してドレン電流が増加する。

【0130】

ここで、図16は、画素スイッチング用のTFT全体に、比較的強い光を照射した際の画素電極電位の波形を示している。

【0131】

図16において、データE2は、画素電極にプラスフィールドの電荷が保持される場合（画素電極電位が電位V1とされる場合）における画素電極電位の変動、1は、画素電極にマイナスフィールドの電荷が保持される場合（画素電極電位が電位V2とされる場合）における画素電極電位の変動、2よりも大きいことを示している。即ち、画素電極において、プラスフィールドの電荷は、マイナスフィールドの電荷よりも保持されにくく（つまり、光リークが発生しやすい）ことを示している。これは、画素電極にプラスフィールドの電荷が保持される場合（即ち、画素電極側ソースドレイン領域が、ドレンとなる場合）の方が、画素電極にマイナスフィールドの電荷が保持される場合（即ち、データ線側ソースドレイン領域が、ドレンとなる場合）よりも光リーク電流が生じやすいという上述したメカニズムと一致している。

【0132】

10

20

30

40

50

以上、図11から図16を参照して詳細に説明したように、画素スイッチング用のTFTにおけるドレイン側接合領域において光励起が生じる場合にドレイン電流が増加しやすい。更に、画素電極側ソースドレイン領域がドレインとなる場合においてドレイン電流が増加しやすい（逆に言えば、データ線側ソースドレイン領域がドレインとなる場合には、バイポーラ効果に起因した電流成分が抑制されている）。よって、本実施形態に係る液晶装置のように、画素電極側接合領域である画素電極側LDD領域1cに対する遮光性を、データ線側接合領域であるデータ線側LDD領域1bに対する遮光性よりも高めることで、高い開口率を維持しつつ TFT30における光リーク電流を極めて効果的に低減できる。

【0133】

<電子機器>

次に、上述した電気光学装置である液晶装置を各種の電子機器に適用する場合について説明する。ここに図17は、プロジェクタの構成例を示す平面図である。以下では、この液晶装置をライトバルブとして用いたプロジェクタについて説明する。

【0134】

図17に示されるように、プロジェクタ1100内部には、ハロゲンランプ等の白色光源からなるランプユニット1102が設けられている。このランプユニット1102から射出された投射光は、ライトガイド1104内に配置された4枚のミラー1106及び2枚のダイクロイックミラー1108によってRGBの3原色に分離され、各原色に対応するライトバルブとしての液晶パネル1110R、1110B及び1110Gに入射される。

【0135】

液晶パネル1110R、1110B及び1110Gの構成は、上述した液晶装置と同等であり、画像信号処理回路から供給されるR、G、Bの原色信号でそれぞれ駆動されるものである。そして、これらの液晶パネルによって変調された光は、ダイクロイックプリズム1112に3方向から入射される。このダイクロイックプリズム1112においては、R及びBの光が90度に屈折する一方、Gの光が直進する。従って、各色の画像が合成される結果、投射レンズ1114を介して、スクリーン等にカラー画像が投写されることとなる。

【0136】

ここで、各液晶パネル1110R、1110B及び1110Gによる表示像について着目すると、液晶パネル1110Gによる表示像は、液晶パネル1110R、1110Bによる表示像に対して左右反転することが必要となる。

【0137】

尚、液晶パネル1110R、1110B及び1110Gには、ダイクロイックミラー1108によって、R、G、Bの各原色に対応する光が入射するので、カラーフィルタを設ける必要はない。

【0138】

尚、図17を参照して説明した電子機器の他にも、モバイル型のパーソナルコンピュータや、携帯電話、液晶テレビや、ビューファインダ型、モニタ直視型のビデオテープレコーダ、カーナビゲーション装置、ページャ、電子手帳、電卓、ワードプロセッサ、ワークステーション、テレビ電話、POS端末、タッチパネルを備えた装置等が挙げられる。そして、これらの各種電子機器に適用可能なのは言うまでもない。

【0139】

また、本発明は上述の各実施形態で説明した液晶装置以外にも反射型液晶装置（LCD）、プラズマディスプレイ（PDP）、電界放出型ディスプレイ（FED、SED）、有機ELディスプレイ、デジタルマイクロミラーデバイス（DMD）、電気泳動装置等にも適用可能である。

【0140】

本発明は、上述した実施形態に限られるものではなく、請求の範囲及び明細書全体から

10

20

30

40

50

読み取れる発明の要旨或いは思想に反しない範囲で適宜変更可能であり、そのような変更を伴う電気光学装置、及び該電気光学装置を備えた電子機器もまた本発明の技術的範囲に含まれるものである。

【図面の簡単な説明】

【0 1 4 1】

【図 1】本実施形態に係る液晶装置の概略的な平面図である。

【図 2】図 1 の H - H' 断面図である。

【図 3】本実施形態に係る液晶装置の画像表示領域を構成するマトリクス状に形成された複数の画素における各種素子、配線等の等価回路図である。

【図 4】本実施形態に係る液晶装置の画素部の平面図である。 10

【図 5】トランジスタの構成に着目して、画素部の構成を示す平面図である。

【図 6】図 4 の A - A' 断面図である。

【図 7】図 5 の C - C' 断面図である。

【図 8】本実施形態に係る液晶装置の変形例を示す断面図（その 1）である。

【図 9】本実施形態に係る液晶装置の変形例を示す断面図（その 2）である。

【図 10】図 4 の B - B' 断面図である。

【図 11】テスト用の TFT における光照射位置とドレイン電流との関係を示すグラフである。

【図 12】ドレイン側接合領域において光励起が発生した場合におけるキャリアの振る舞いを示す概念図である。 20

【図 13】ソース側接合領域において光励起が発生した場合におけるキャリアの振る舞いを示す概念図である。

【図 14】データ線側ソースドレイン領域がドレイン電位とされる場合において、データ線側接合領域（言い換えれば、ドレイン側接合領域）において光励起が発生したときにおけるキャリアの振る舞いを示す概念図である。

【図 15】画素電極側ソースドレイン領域がドレイン電位とされる場合において、画素電極側接合領域（言い換えれば、ドレイン側接合領域）において光励起が発生したときにおけるキャリアの振る舞いを示す概念図である。

【図 16】画素スイッチング用の TFT 全体に、比較的強い光を照射した際の画素電極電位の波形を示している。 30

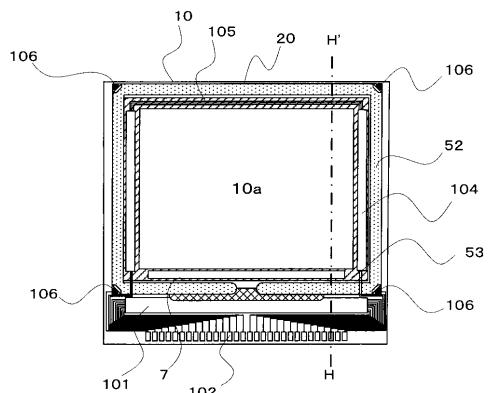
【図 17】電気光学装置を適用した電子機器の一例たるプロジェクタの構成を示す平面図である。

【符号の説明】

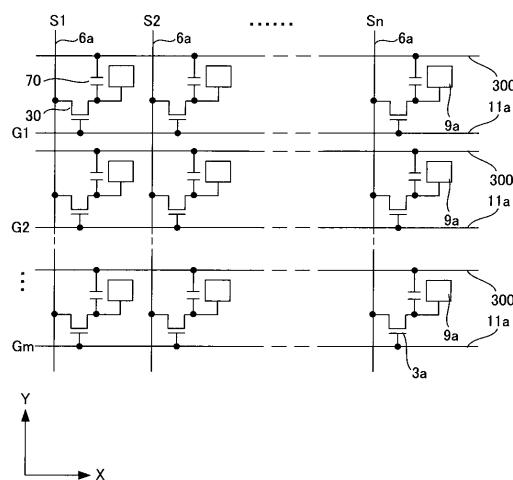
【0 1 4 2】

1 a ... 半導体層、 1 a' ... チャネル領域、 1 b ... データ線側 LDD 領域、 1 c ... 画素電極側 LDD 領域、 1 d ... データ線側ソースドレイン領域、 1 e ... 画素電極側ソースドレイン領域、 2 ... ゲート絶縁膜、 3 a ... ゲート電極、 6 a ... データ線、 9 a ... 画素電極、 10 ... TFT アレイ基板、 10 a ... 画像表示領域、 11 a ... 走査線、 30 ... TFT、 31 a ... 第 1 延設部分、 32 a ... 第 2 延設部分、 33 a ... 第 3 延設部分、 99 a ... 開口領域、 99 b ... 非開口領域、 99 b a ... 第 1 領域、 99 b b ... 第 2 領域、 99 c r ... 交差領域、 202 ... 絶縁膜、 202 h ... 開口部 40

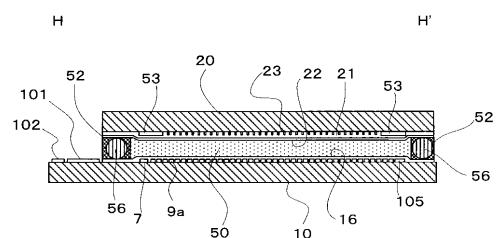
【図1】



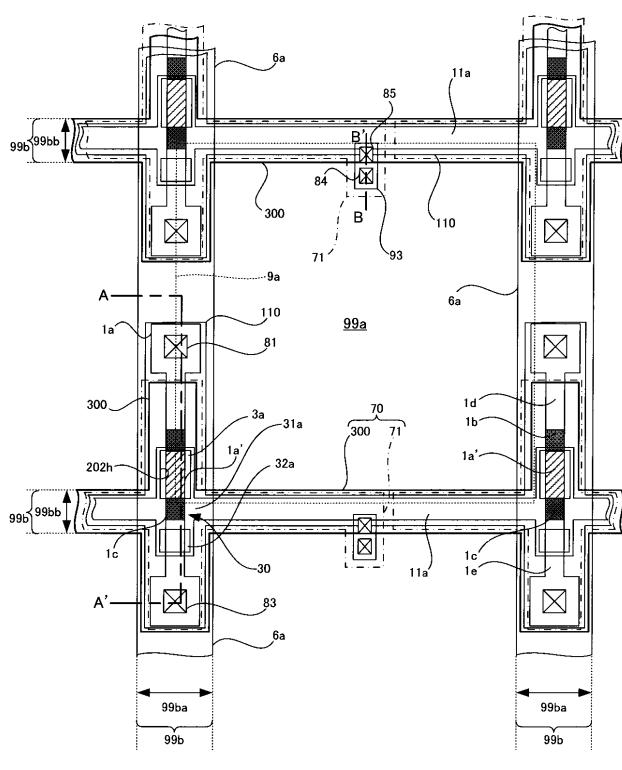
【図3】



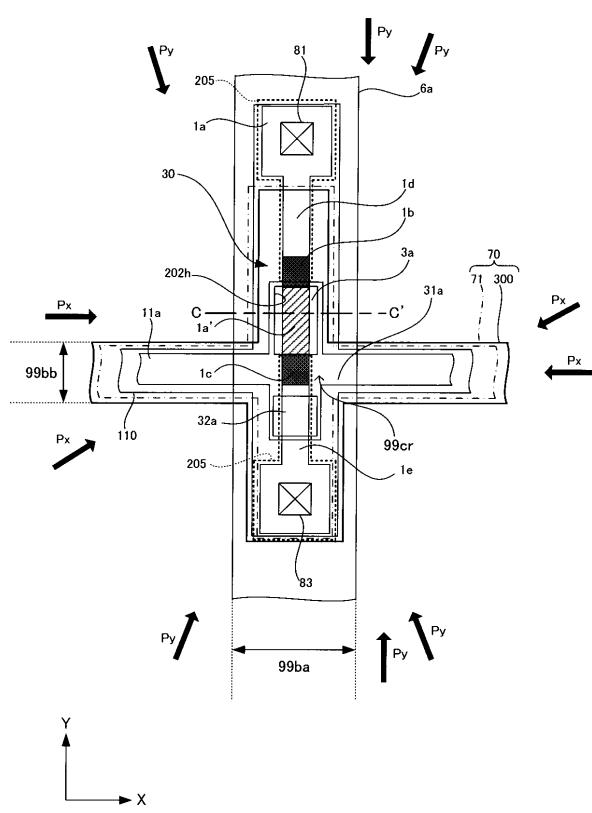
【図2】



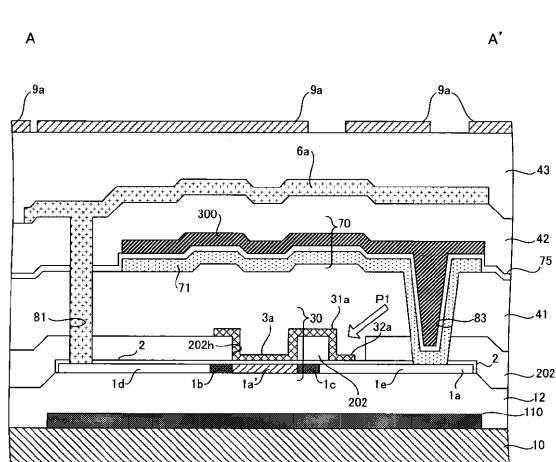
【図4】



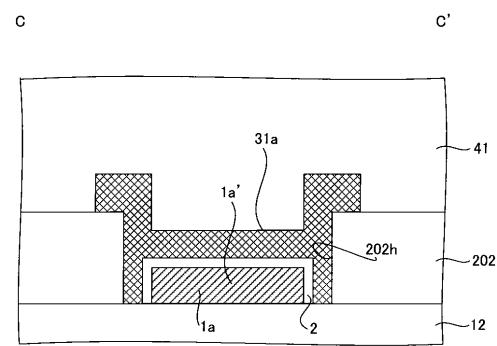
【図5】



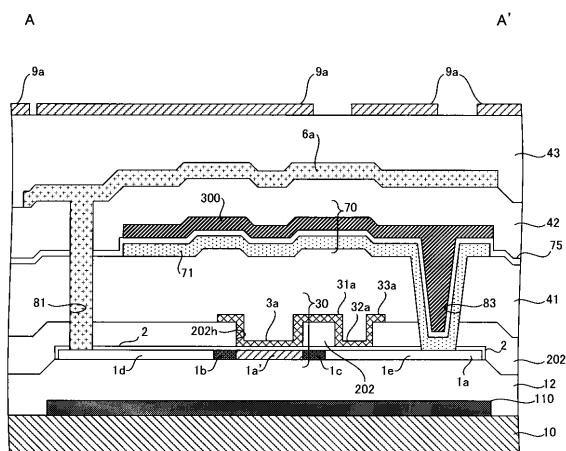
【図6】



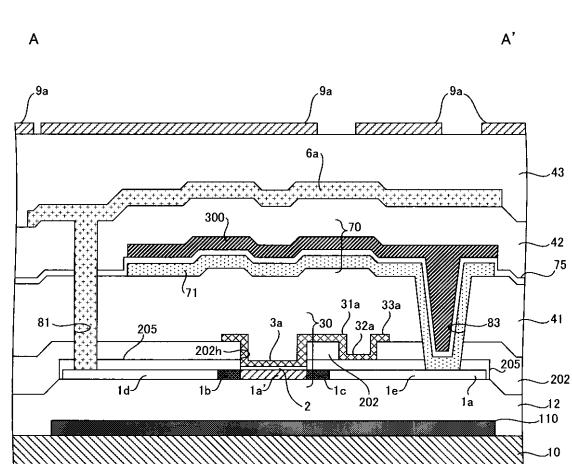
【図7】



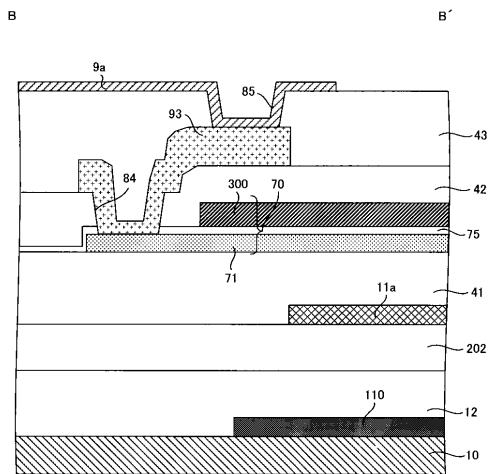
【図8】



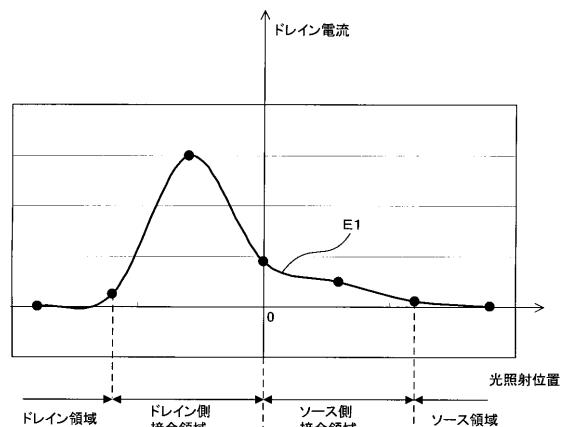
【図9】



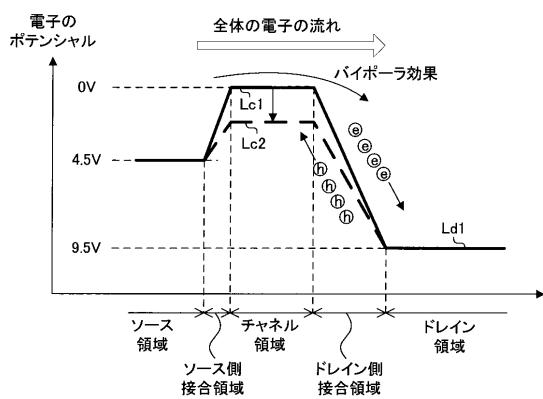
【図 1 0】



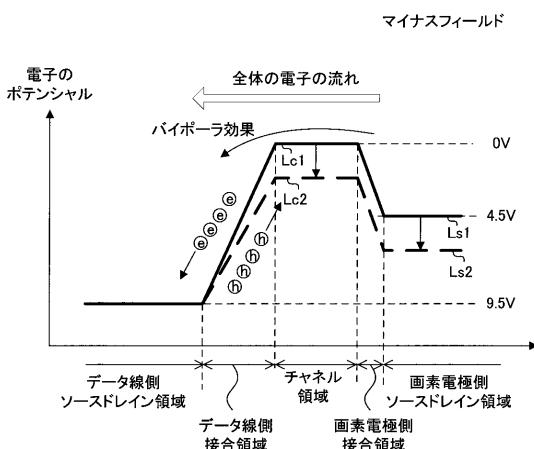
【図 1 1】



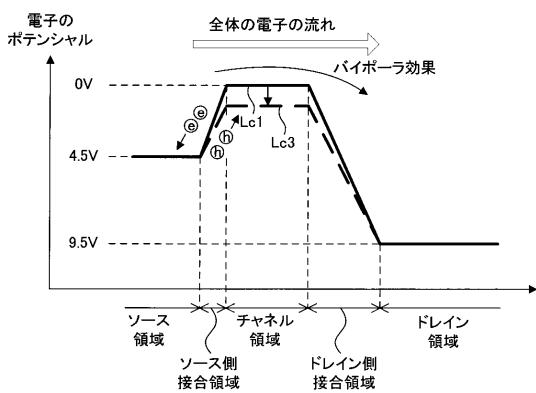
【図 1 2】



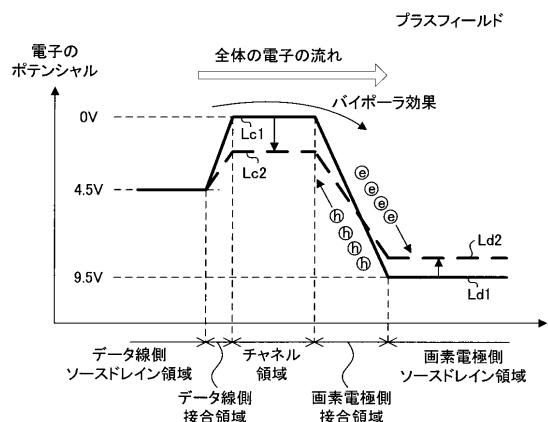
【図 1 4】



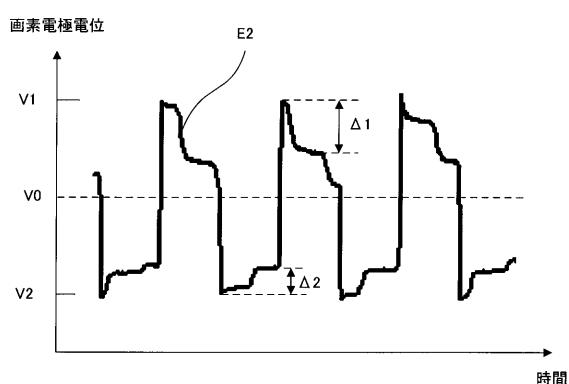
【図 1 3】



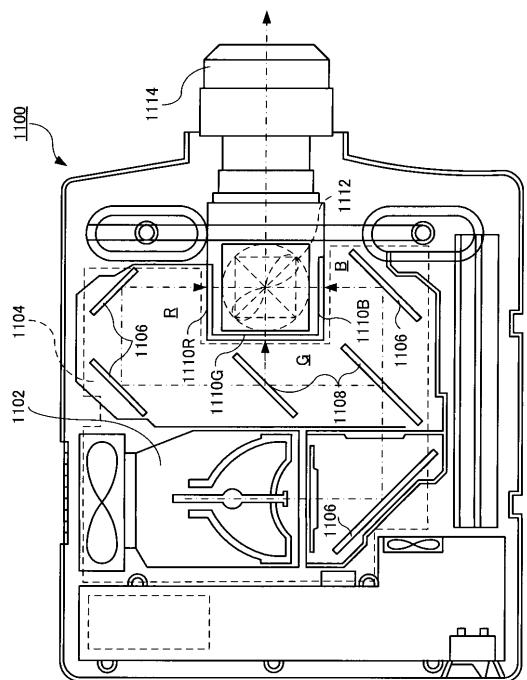
【図 15】



【図 16】



【図 17】



フロントページの続き

F ターム(参考) 5C094 AA02 AA16 AA21 BA03 BA43 DA13 DA15 DB04 ED15 FA04
GB10
5F110 AA06 AA21 BB02 CC02 DD02 DD03 DD05 DD13 EE09 FF02
GG02 GG13 HJ13 HL01 HL03 HL06 HL08 HL11 HM14 HM15
NN03 NN23 NN24 NN44 NN46 NN72 NN73 QQ11