

四、聲明事項：

☐ 主張專利法第二十二條第二項 ☐ 第一款或 ☐ 第二款規定之事實，其事實發生日期為： 年 月 日。

☐ 申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

☒ 有主張專利法第二十七條第一項國際優先權：

1. 美國；2004 年 01 月 12 日；10/755,763（主張優先權）

☐ 無主張專利法第二十七條第一項國際優先權：

☐ 主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

☐ 主張專利法第三十條生物材料：

☐ 須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

☐ 不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

子移動率，尤其是電洞型(hole-type)載子。譬如含有銻之矽通道之張力應變矽通道區域(tensile strained silicon channel region)，由於減少了載子散射和由於減少了於含銻材料中電動之質量，而能具有較習知 Si 通道區域大 2 至 5 倍之載子移動率。依照用於整塊型式裝置之習知 Si-Ge 形成技術，摻雜物植入分子束磊晶(MBE)技術形成 Si-Ge 磊晶層。然而，MBE 技術需要非常複雜和昂貴之裝備，而不適宜用於大量生產 IC。

譬如垂直雙閘極絕緣層上覆矽(SOI)電晶體或 FinFET 之雙閘極電晶體相對於高驅動電流和高度的免除短通道效應而具有顯著之優點。

由黃(Huang)等人所提出之一篇論文，題目是“次 50 奈米(nm)FinFET: PMOS” (1999 年 IEDM)討論矽電晶體，其中主動層由二側之閘極所圍繞。然而，使用習知之 IC 製造工具和技術可能很難製造雙閘極架構。再者，因為相對於矽鰭之外形構造，則可能很困難圖案化。於小的關鍵尺寸，也許不可能圖案化。

舉例來說，鰭架構能位於矽二極體層之上，由此達成 SOI 架構。已發現習知之 FinFET SOI 裝置經由使用半導體基板架構形成裝置而具有許多之優點，包括裝置之間較佳之絕緣、減少漏電流、減少 CMOS 元件之間之鎖住(latch-up)、減少晶片電容、以及減少或消除源極和汲極區域之間耦接之短通道。雖然習知之 FinFET SOI 裝置由於 SOI 架構，比在整塊半導體基板上形成之 MOSFET 而具有優

點，但是 FinFET 之一些基本特性，譬如載子移動率，係與其他 MOSFET 之那些基本特性相同，因為該 FinFET 源極、汲極和通道區域一般係由習知之整塊 MOSFET 半導體材料（例如，矽）製成。

FinFET SOI 裝置之鰭架構能夠位於數個不同層之下，該數個不同層包括光阻層、底部抗反射層 (BARC)、和多晶矽層。以此種配置模式會存在各種問題。光阻層也許要薄於整個鰭架構。反之，多晶矽層也許於該鰭架構之邊緣非常的薄。BARC 也許於該鰭架構之邊緣很厚。此種配置導致對於 BARC 層和多晶矽層需要大的過度蝕刻。此等需求增加電晶體之尺寸。

當製造 FinFET 結構時，希望具有高縱橫比 (aspect ratio) 之鰭通道架構。對於鰭通道架構之較高縱橫比，允許將提供較大量之電流，流經相同數量之構形區域。迄今，對於大尺寸製造，尚不可實施製造高縱橫比 FinFET。

因此，需要一種積體電路或電子裝置，其包括具有較高通道移動率、較高之免除短通道效應、以及較高驅動電流之通道區域。再者，需要一種圖案化具有小關鍵尺寸之 FinFET 裝置之方法。更再者，需要一種用於 FinFET 裝置製造應變矽鰭狀通道之方法。又再者，需要一種高縱橫比之 FinFET 裝置。又再者，需要一種製造高縱橫比鰭結構之有效方法。又再者，需要一種具有應變半導體鰭狀通道區域之 FinFET 裝置。又再者，需要一種製造具有應變半導體鰭狀通道之 FinFET 裝置之製程。

【發明內容】

一個實施範例係關於一種形成鰭狀通道區域之方法。該方法包括在絕緣層上設化合物半導體層，並在化合物半導體層中設溝渠。本方法亦包括在化合物半導體層之上和溝渠之內設應變半導體層。該溝渠係關聯於鰭狀通道區域。該方法復包括從化合物半導體層之上去除應變半導體層，並去除化合物半導體層而留下應變半導體層，形成鰭狀通道區域。當去除該應變半導體層時，該應變半導體層留在溝渠內。

另一個實施範例係關於 FinFET 通道結構形成方法。該方法包括在基板之上之絕緣層之上設第一層，並於該第一層中設開口(aperture)。該第一層包括矽和鍍而該開口延伸至絕緣層。該方法亦包括提供應變材料於開口內，並去除該第一層而留下應變材料。

又另一個實施範例係關於製造包括以鰭為基礎之電晶體之積體電路之方法。該方法包括下列步驟：提供絕緣材料；在該絕緣材料之上設置應變引起層；以及在該應變引起層中設開口。該方法復包括下列步驟：藉由選擇磊晶生長而形成應變材料於該開口中；去除該應變引起層之至少一部分，由此留下該應變材料作為鰭結構；以及設置用於該鰭結構之閘極結構。

【實施方式】

第 1 圖為描繪圖案化以鰭為基礎電晶體或場效電晶體 (FinFET) 之方法或製程 10 之範例操作之流程圖。該流程圖

以例示之方式顯示一些可以施行之操作。可使用附加之操作、較少之操作、或各操作之組合於各種不同之實施例中。流程圖 110(第 12 圖)顯示於選用(替代)之實施例，其中於蝕刻期間使用遮罩步驟以保護源極和汲極位置。流程圖 210(第 15 圖)顯示另一選用(替代)之實施例，其中使用間隔件以增加該鰭結構之縱橫比。

於第 1 圖中，於步驟 15 設有於絕源層之上包含有化合物半導體層之晶圓。該晶圓可購得或使用 SIMOX(氧植入矽中以及退火或晶圓黏結)而製得。於步驟 25，圖案化化合物半導體層以形成通道溝渠。於步驟 45，半導體層形成於化合物半導體層之上和溝渠之中。於化合物半導體層中之溝渠最好是具有底部，該底部抵達絕源層之上表面。

於製程 10 之步驟 55，半導體層於化合物半導體層之上平面化，由此而從該化合物半導體層之上表面去除該半導體層，並將該半導體層留於溝渠中。於步驟 65，去除化合物半導體層，由此留下鰭狀通道結構或區域於該絕源層之上。於步驟 75，設置閘極結構完成以鰭為基礎之電晶體。

參照第 2 至 4 圖，使用製程 10 以形成包含有以鰭為基礎電晶體或 FinFET 之積體電路 100 之部分，該部分於第 2 至 11、13、14 和 16 至 17 圖中未按照實際比例繪示。繪示第 3 和 4 圖以顯示關聯於鰭狀通道區域 152 之高縱橫比。然而，其餘之圖式為了方便繪示之效果，並未繪出強調高縱橫比。應值得注意的是，第 1 至 10 圖提供以示意方式顯示該等圖式，而並不是成比例之工程繪圖。於第 2 圖中，

之間高度(例如厚度)，和約 5 nm 至 20 nm 之間寬度。鰭寬度係由最小轉變閘極長度(minimum transition gate length)($1/3$ 至 $1/2$ 閘極長度)所決定。於一個實施例中，縱橫比是在約 4 至 6 之間。相關於區域 152 之高縱橫比，經過相對小之區域設有高電流電晶體。

較好是，鰭狀通道區域 152 是依照製程 10、製程 110、或製程 120 所製造之張力應變矽材料。導體 166 能夠具有約 500 埃($\text{\AA}$)至 100 埃之間之厚度，而閘極電介質層 160 能夠具有約 10 埃($\text{\AA}$)至 50 埃之間之厚度。雖然於第 2 至 4 圖中顯示了通道區域 152，但是通道區域 152 能夠使用具有各種不同型式之閘極結構。閘極導體 166 和電介質層 160 並未以限定之方式顯示。

較佳之情況是，從源極區域 22 之末端至汲極區域 24 之末端之長度(第 2 圖中上端至底端)為 0.5 至 1 微米之間，而源極與汲極區域 24 之寬度(從第 2 圖中通道區域 152 之左邊至右邊)為約 0.2 至 0.4 微米之間。源極區域 22 與汲極區域 24 包括應變之矽材料、單一結晶材料、或化合物半導體材料。於一個實施例中，區域 22 與 24 係用與區域 152 相同之材料製成。區域 22 與 24 最好是摻雜了 N 型或 P 型摻雜物達每立方公分 10^{14} 至 10^{20} 濃度(10^{14} 至 $10^{20}/\text{cm}^3$)。

鰭狀通道區域 152 設在絕緣層 130 之上。絕緣層 130 最好是埋置之氧化物結構(buried oxide structure)，譬如，二氧化矽層。於一個實施例中，層 130 具有約 2000 埃至 2000 埃之間之厚度。層 130 能夠設在任何型式之基板

圖之剖面圖顯示如第 4 至 9 圖之相同配置。

應瞭解到雖然所給予之詳細圖式、特定範例、材料型式、厚度、尺寸、和特定值提供了本發明之較佳實施範例，但是該較佳實施範例僅是為了說明之目的。本發明之方法和裝置並不限於所揭示之精確詳細說明和狀況。對於所揭示之詳細說明能夠作各種改變而不會偏離由下列申請專利範圍所界定之本發明之範圍。

【圖式簡單說明】

上文中將參照所附圖式而說明實施範例，各圖中相同之號碼係表示相同之元件，以及：

第 1 圖為描繪於一製程之範例操作之流程圖，用來形成依照實施範例用於積體電路之以鰭為基礎之電晶體；

第 2 圖為根據實施範例依照第 1 圖中所示製程製造之積體電路之部分之一般示意平面上視圖圖形；

第 3 圖為根據實施範例沿著第 2 圖中剖線 3-3 所示積體電路部分之示意剖面圖圖形；

第 4 圖為根據實施範例沿著第 2 圖中剖線 4-4 所示積體電路部分之示意剖面圖圖形；

第 5 圖為第 3 圖中所示積體電路之部分之示意剖面圖圖形，顯示用於第 1 圖中製程之於基板之上之絕緣層；

第 6 圖為第 5 圖中所示積體電路之部分之示意剖面圖圖形，顯示化合物半導體沉積操作；

第 7 圖為第 6 圖中所示積體電路之部分之示意剖面圖圖形，顯示溝渠形成操作；

第 8 圖為第 7 圖中所示積體電路之部分之示意剖面圖圖形，顯示磊晶生長操作；

第 9 圖為第 8 圖中所示積體電路之部分之示意剖面圖圖形，顯示化學機械研磨操作；

第 10 圖為第 9 圖中所示積體電路之部分之示意剖面圖圖形，顯示選擇之蝕刻操作；

第 11 圖為第 5 圖中所示積體電路之部分之示意剖面圖圖形，顯示閘極氧化物形成操作；

第 12 圖為描繪於另一製程之範例操作之流程圖，用來形成依照實施範例用於積體電路之以鰭為基礎之電晶體；

第 13 圖為根據另一實施範例依照第 12 圖中所示製程製造之積體電路之部分之一般示意平面上視圖圖形；

第 14 圖為根據實施範例沿著第 13 圖中剖線 14-14 所示積體電路之部分之示意剖面圖圖形，並顯示第 12 圖中所示製程之遮罩操作；

第 15 圖為描繪於又另一製程之範例操作之流程圖，用來形成依照實施範例用於積體電路之以鰭為基礎之電晶體；

第 16 圖為根據第 15 圖中所示製程製造之積體電路之部分之示意剖面圖圖形，顯示間隔件材料供應操作；以及

第 17 圖為第 16 圖中所示之部分之示意剖面圖圖形，顯示間隔件材料去除操作以留間隔件於開口中。

【主要元件符號說明】

3-3

剖線

4-4

剖線

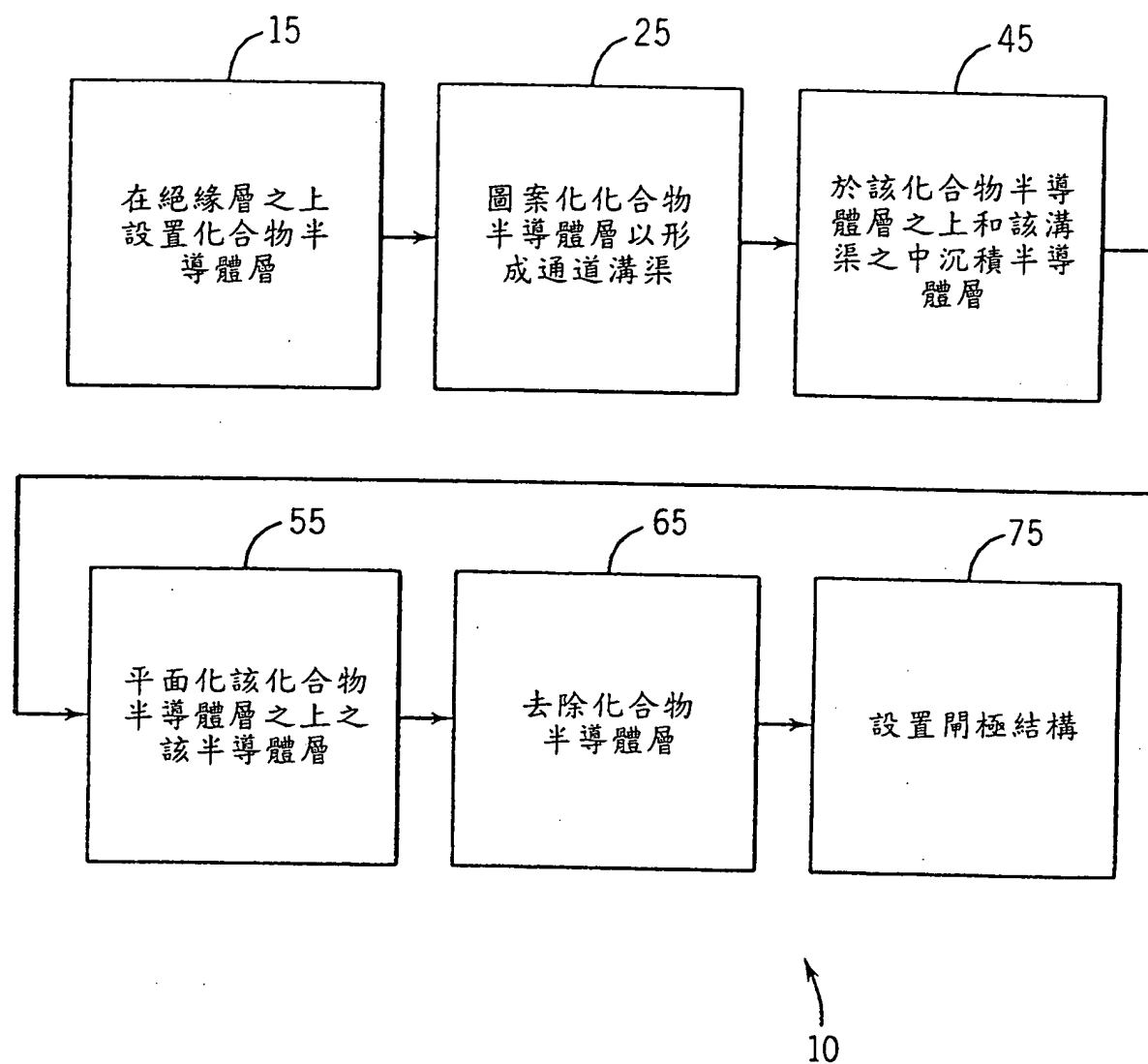
10	方法(製程)	14-14	剖線
15、25、45、55、65、75			步驟
22	源極區域	24	汲極區域
32、34	邊界	100	積體電路
110、120	製程(流程圖)	130	絕緣層
134	遮罩	140、144、150、151	層
142	開口或溝渠	143	上平面
152	鰭狀通道區域(通道區域)		
153	上表面	160	閘極電介質層
163	橫向側	165	步驟
166	閘極導體	167	上表面
210	製程(流程圖)	225、227	步驟

五、中文發明摘要：

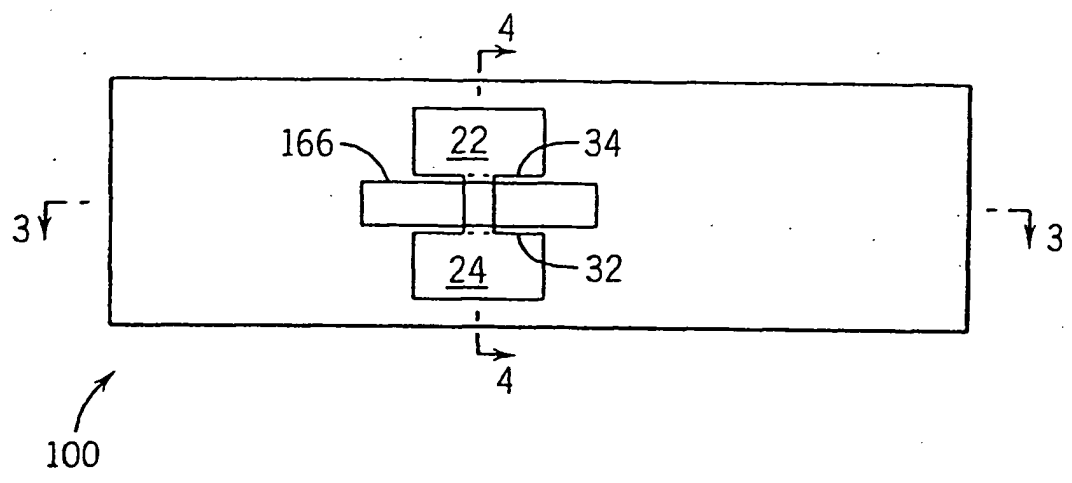
實施範例係關於一種 FinFET 通道結構形成方法。本方法能包括在絕緣層(130)之上設有化合物半導體層(140)，並在該化合物半導體層(140)中設有溝渠(142)，以及在該化合物半導體層(140)之上和溝渠(142)內設有應變半導體層(144)。該方法亦能包括從該化合物半導體層(140)之上去除應變半導體層(144)，由此留下應變半導體層(144)於溝渠(142)內，並去除該化合物半導體層(140)以留下應變半導體層(144)，並形成鰭狀通道區域(152)。

六、英文發明摘要：

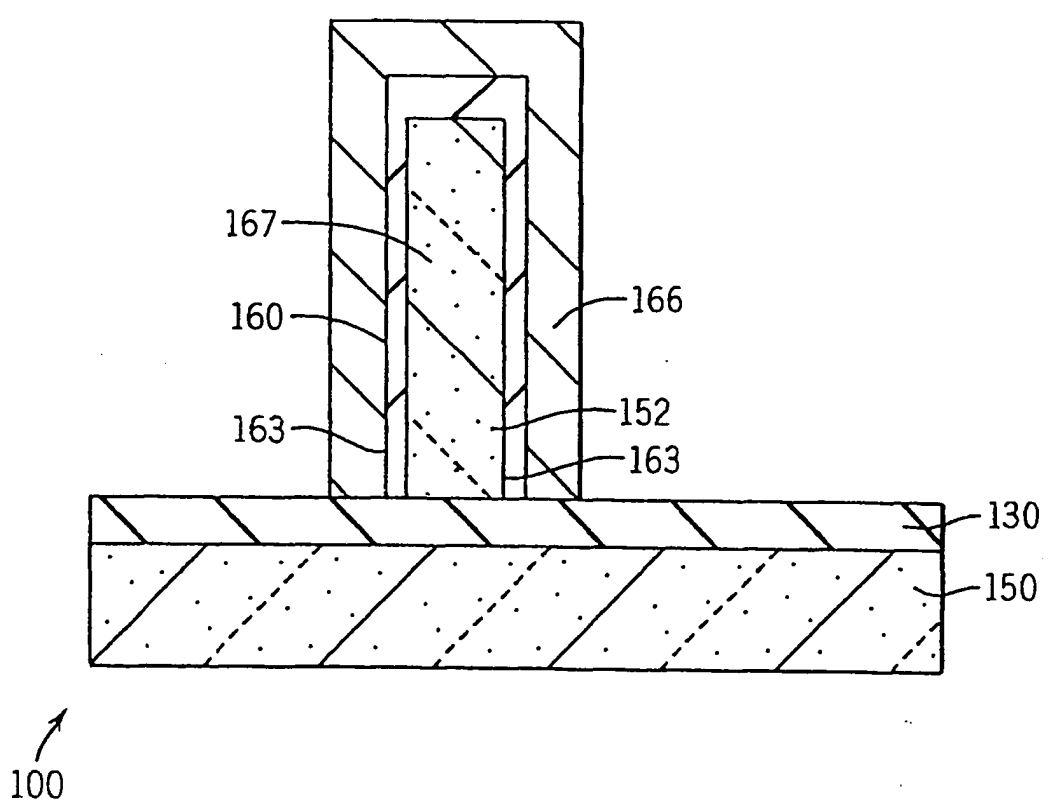
An exemplary embodiment relates to a method of FinFET channel structure formation. The method can include providing a compound semiconductor layer (140) above an insulating layer (130), providing a trench (142) in the compound semiconductor layer (140), and providing a strained semiconductor layer (144) above the compound semiconductor layer (140) and within the trench (142). The method can also include removing the strained semiconductor layer (144) from above the compound semiconductor layer (140), thereby leaving the strained semiconductor layer (144) within the trench (142) and removing the compound semiconductor layer (140) to leave the strained semiconductor layer (144) and form the fin-shaped channel region (152).



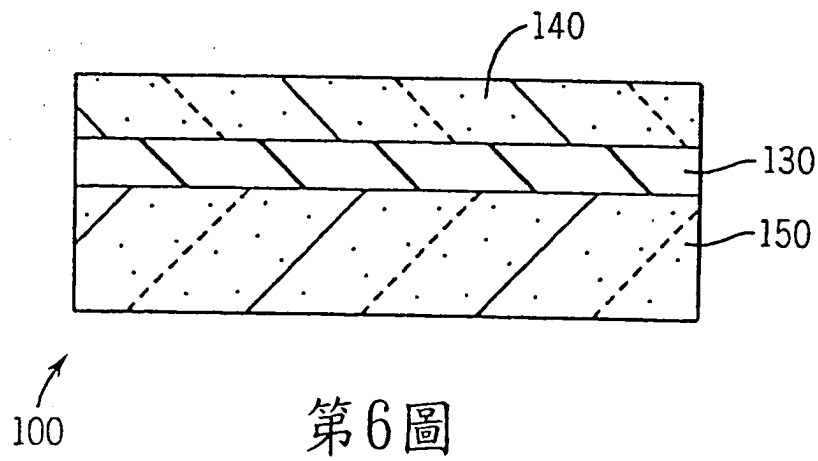
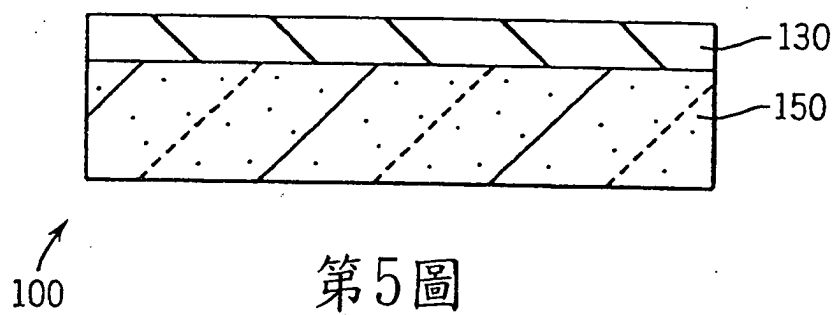
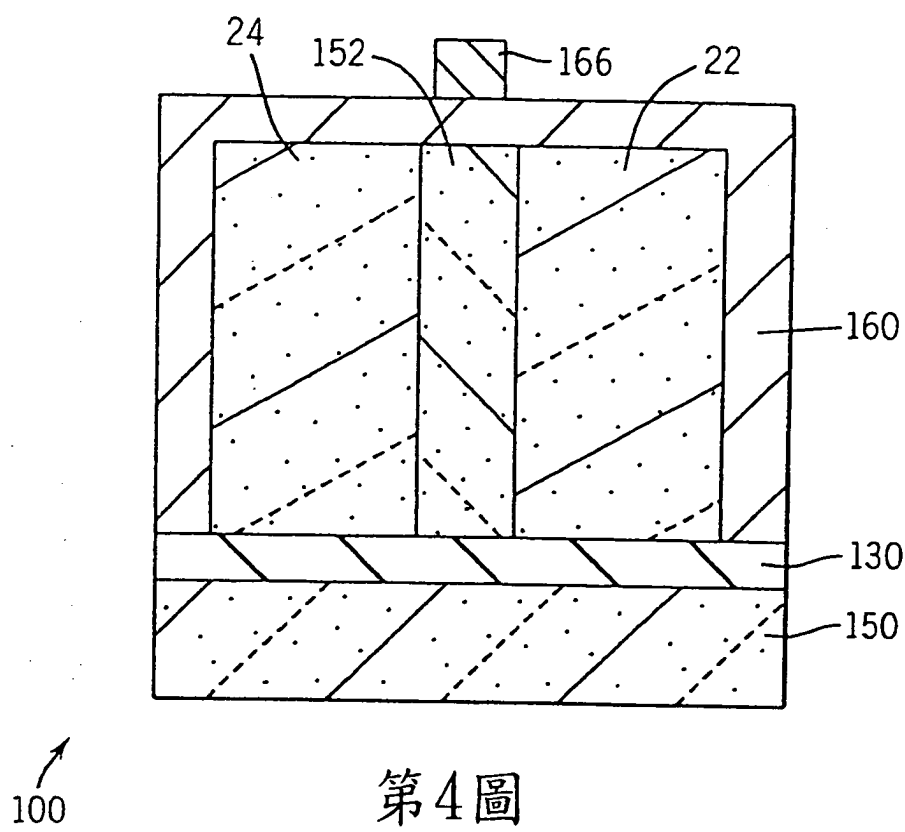
第1圖

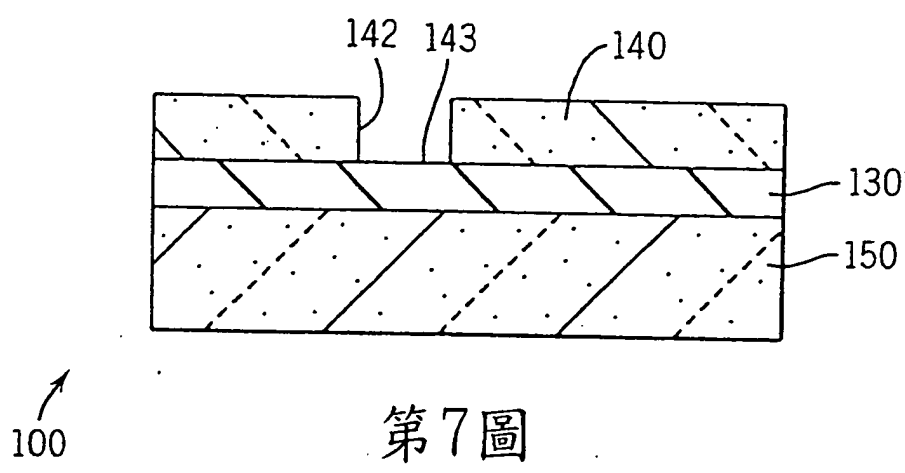


第2圖

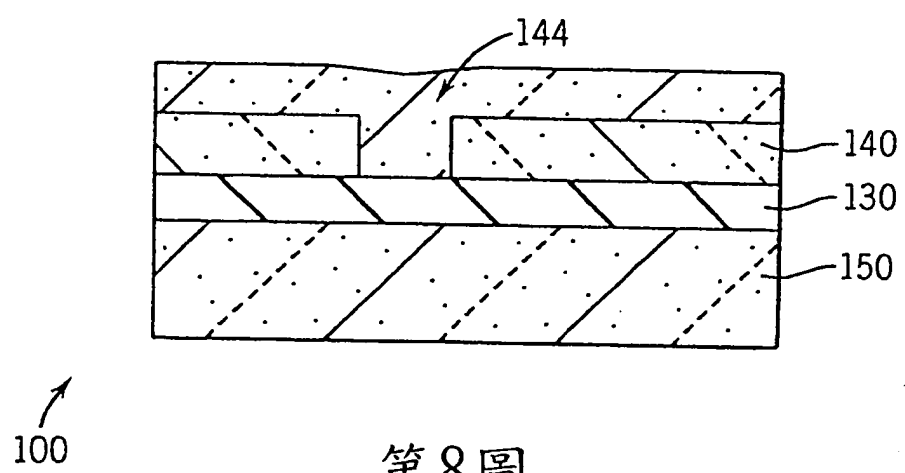


第3圖

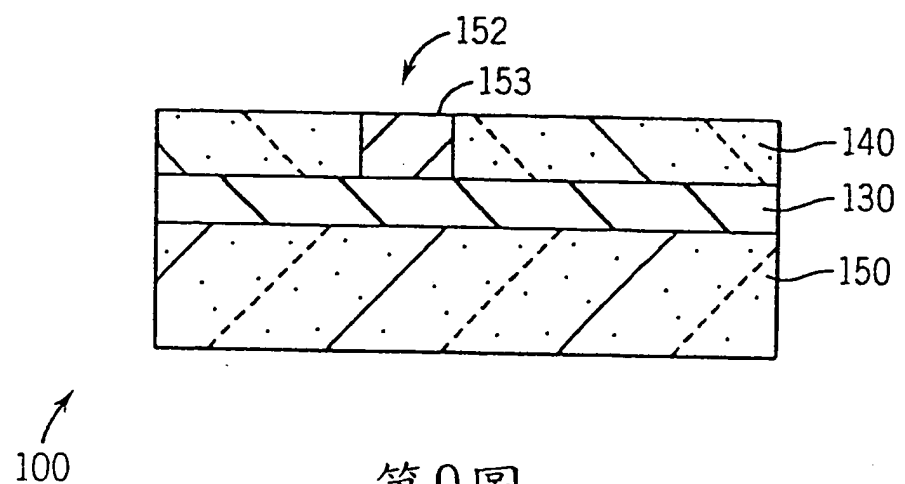




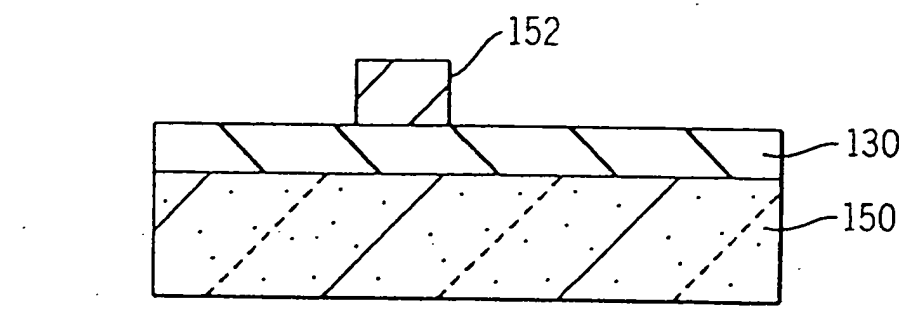
第7圖



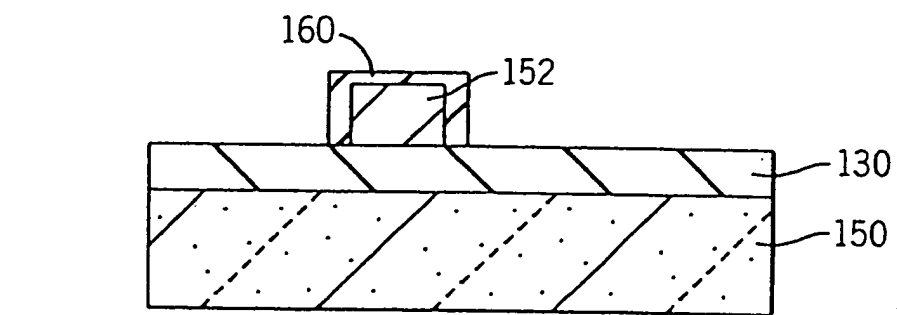
第8圖



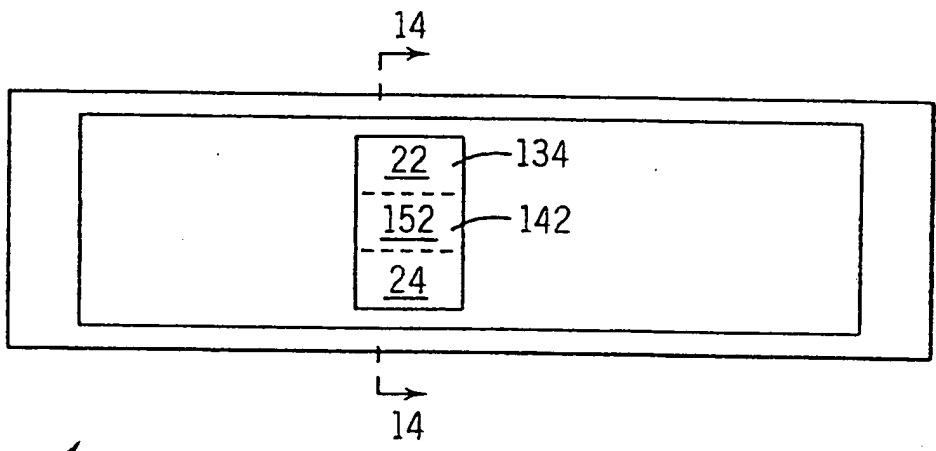
第9圖



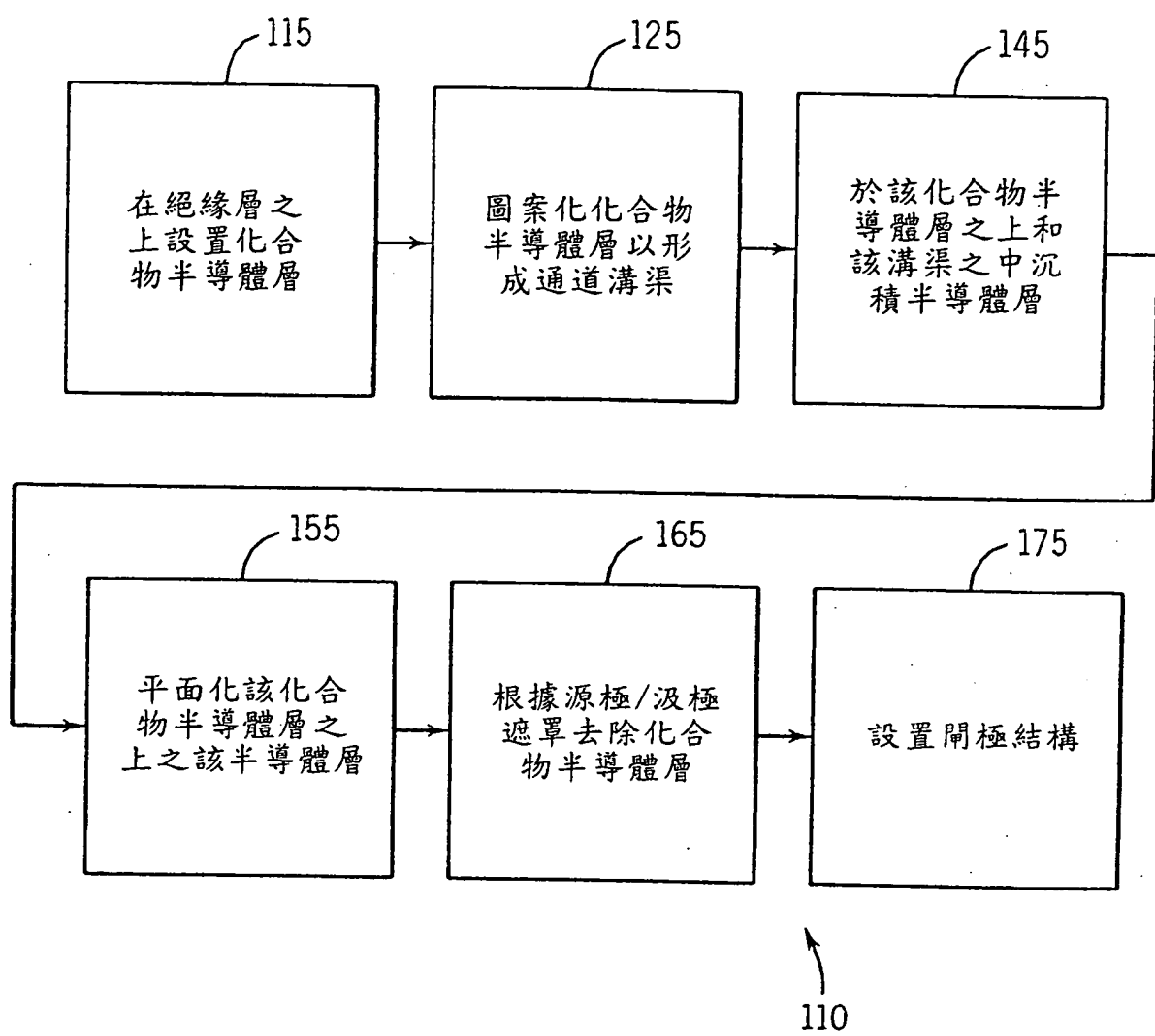
100
第10圖



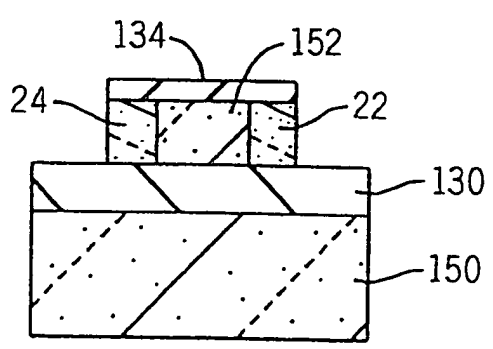
100
第11圖



100
第13圖

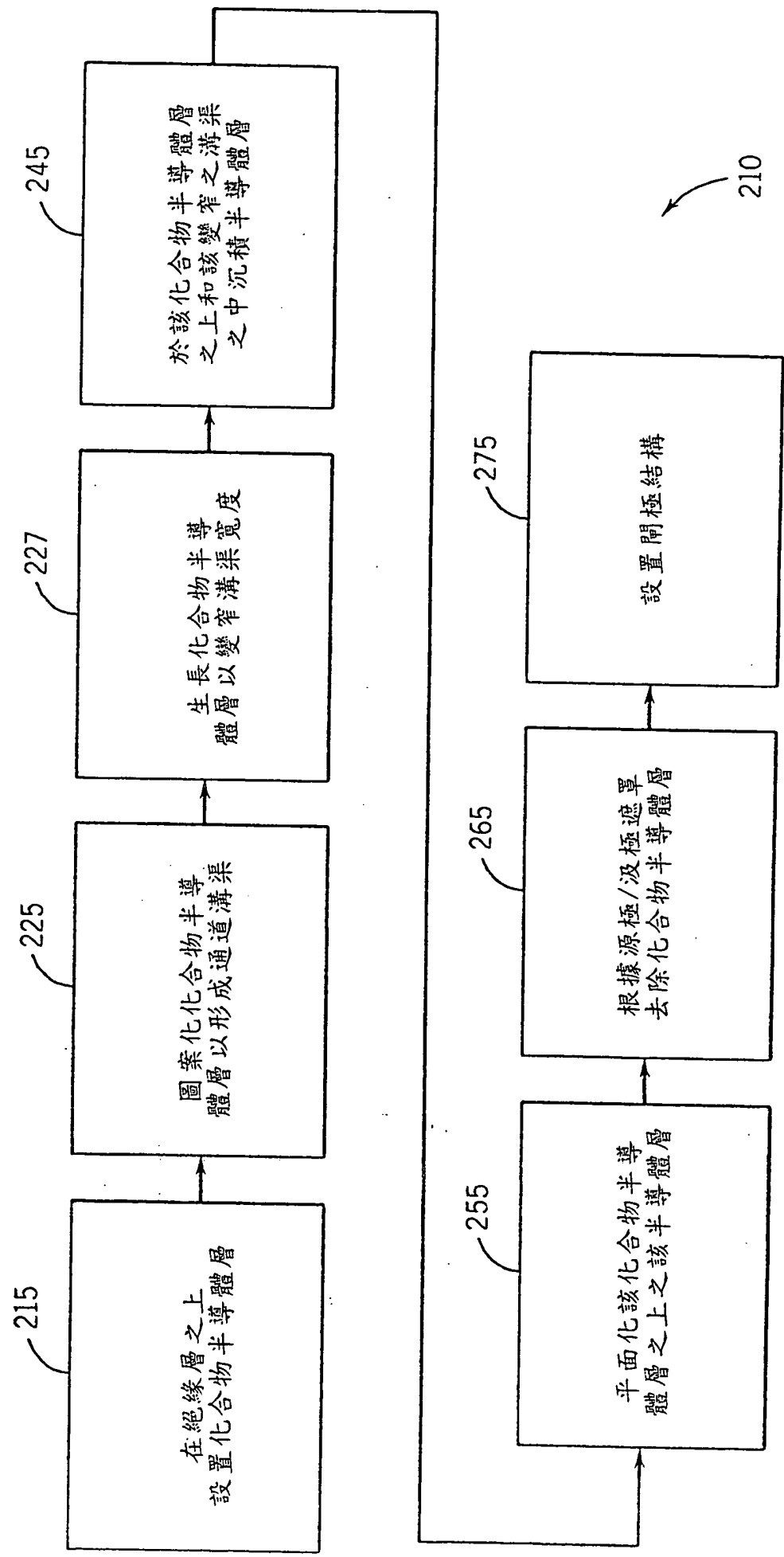


第12圖

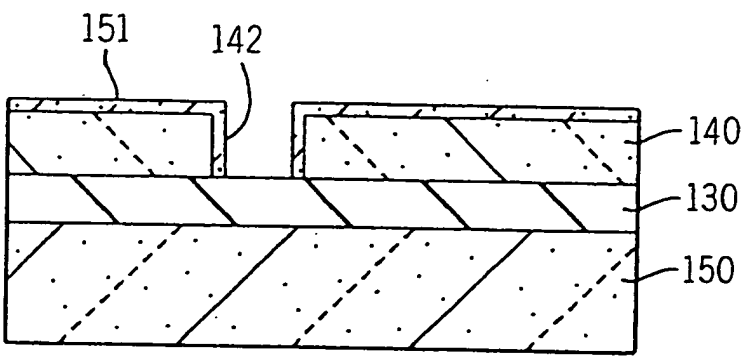


第14圖

100

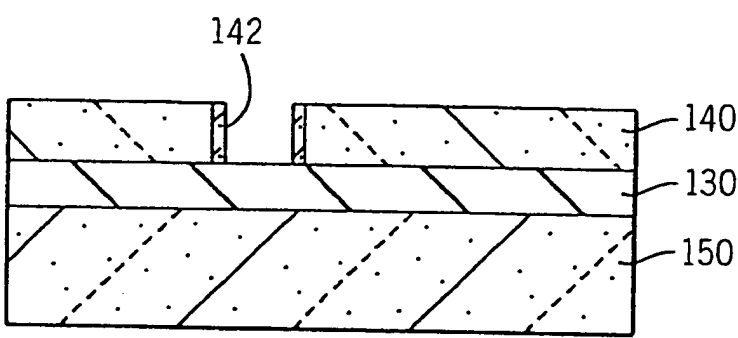


第15圖



100 ↗

第16圖



100 ↗

第17圖

七、指定代表圖：

(一)本案指定代表圖為：第 (1) 圖。

(二)本代表圖之元件符號簡單說明：

10

方法(製程)

15、25、45、55、65、75

步驟

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

公告本

發明專利說明書

99年10月8日修正替換頁

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：94100446

※ 申請日期：94.1.11

※IPC 分類：H01L 21/768

(2006.01)

一、發明名稱：(中文/英文)

製造積體電路通道區域之方法

METHOD OF FABRICATING AN INTEGRATED CIRCUIT CHANNEL REGION

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

美商格羅方德半導體公司

GLOBALFOUNDRIES US INC.

代表人：(中文/英文) 阿柏格 傑西 / ABZUG, JESSE

住居所或營業所地址：(中文/英文)

美國·加州 95305·密爾皮塔斯·100 室·麥卡錫大道·北 880 號

880 N. McCarthy Blvd., Suite 100, Milpitas, California

95305, U. S. A.

國 籍：(中文/英文) 美國 / U. S. A.

三、發明人：(共 3 人)

姓 名：(中文/英文)

1. 相奇 / XIANG, QI

2. 潘南西 / PAN, JAMES N.

3. 丘政錫 / GOO, JUNG-SUK

國 籍：(中文/英文)

1. 中國大陸 / CHINA 2. 中華民國 / TAIWAN 3. 韓國 / KOREA

九、發明說明：

【發明所屬之技術領域】

本發明大體上係關於積體電路(IC)裝置，以及關於製造此積體電路裝置之方法。詳言之，本發明系關於製造具有含鰭狀通道區域(fin-shaped channel region)之電晶體或 FinFET 之積體電路之方法。

【先前技術】

譬如超大型積體電路(ULSI)之積體電路(IC)，能包括多達一百萬個電晶體或更多。ULSI 電路能包括互補金屬氧化物半導體(CMOS)場效電晶體(FET)。此等半導體能包括設置在通道區域上方和源極與汲極區域之間之半導體閘極。源極與汲極區域一般用 P 型摻雜物(例如，硼)或 N 型摻雜物(例如，磷)來高濃度摻雜(heavily doped)。

當電晶體變得較小時，則希望能增加於通道區域中電荷載子之移動率(mobility)。增加電荷載子之移動率會增加電晶體之切換速度。已提出由非矽之材料所形成之通道區域，以增加電荷載子之移動率。例如，一般使用多晶矽通道區域之習知薄膜電晶體形成於玻璃(例如， SiO_2)基板上之矽鍺(Si-Ge)磊晶層(epitaxial layer)上。能藉由使用輻射脈波雷射束以熔化和結晶譬如無定形矽氫化物(a-Si:H)、無定形鍺氫化物(a-Ge:H)、或類似物之半導體薄膜之技術，而形成 Si-Ge 磊晶層。

於譬如金屬氧化物半導體場效電晶體(MOSFET)之整塊型式(bulk-type)裝置，使用 Si-Ge 材料能用來增加電荷載

上視圖顯示了於鰭狀通道區域 152 之相對側之源極區域 22 和汲極區域 24。閘極導體 166 設於通道區域 152 和閘極電介質層 160 之上，該閘極電介質層 160 設於通道區域 152 之三側。如第 3 圖中所示，閘極導體 166 具有 U 形剖面形狀，並能夠圍繞鰭狀通道區域 152 之三側。閘極導體 166 可以是金屬層或能夠是多金矽層（例如，摻雜之多金矽層）。或可選擇使用，導體 166 能僅設置鄰接通道區域 152 之橫向側。

電介質層 160 可用任何適用於閘極結構之材料製成。電介質層 160 能夠具有 U 形剖面形狀，並能夠在導體 166 之下。於一個實施例中，電介質層 160 為熱生長之二氧化矽。於另一個實施例中，電介質層 160 為高 K 閘極電介質層、氮化矽層、或其他的絕緣體。層 160 和閘極導體 166 於鰭狀通道區域 152 之橫向側 163 上和上表面 167 之上形成閘極結構。通道區域 152 能夠經由從譬如矽鍺層 (silicon germanium layer) 之化合物半導體層長晶之磊晶生長而受到張力應變。

於第 4 圖中，由電介質層 160 覆蓋於源極區域 22 和汲極區域 24 之所有側。於另一實施例中，層 160 僅覆蓋通道區域 152 並僅設於閘極導體 166 之下。如第 2 圖中所示，閘極導體 166 並不重疊於源極和汲極區域 22 和 24。然而，閘極導體 166 能設至邊界 32 和 34，甚至若設置適當的隔離的話，則可與邊界 32 和 34 重疊。

所具有之優點是，鰭狀通道區域 152 具有相對高之縱橫比。較佳之情況是，區域 152 具有約 20 nm 至 120 nm

之上，或其本身可以是基板。

於一個實施例中，絕緣層 130 設在譬如矽基底層(base layer)150 之半導體基底層之上。層 130 和 150 能夠包括矽或絕緣體上半導體(SOI)基板。或可選擇使用，鰭狀通道區域 152 能夠設在其他型式之基板或層之上。然而，較佳實施例在矽基板之上之譬如埋置之氧化物層(BOX)之絕緣層之上設有通道區域 152。

關聯於區域 22 與 24 之電晶體能具有槓鈴(barbell)形狀，即具有用於汲極區域 22 與源極區域 24 之大的墊區域(pad region)。或可選擇使用，電晶體能夠是簡單的桿形(bar shaped)。第 2 圖中所示之方向並非揭示成限定之樣式。

於第 5 圖中，基板設置包括有層 150 和 130。於第 5 至 11 圖中，各種層和結構並未依照比例尺寸繪示，並且並不包括關聯於第 3 至 4 圖之大高度。於第 6 圖中，依照製程 10 (第 1 圖)之步驟 15，層 140 而設於層 130 之上。於一個實施例中，可藉由化學氣相沉積(CVD)而將層 140 沉積在絕緣層 130 之上。或可選擇使用，將層 130、140 和 150 作為 SOI 基板，其中層 140 包括矽鍺。

層 140 最好是化合物半導體層或者是譬如矽鍺層之應變引起半導體層。層 140 最好是如 $\text{Si}_{1-x}\text{Ge}_x$ 之組成物，其中 x 為約 0.2，而更一般是在 0.1 至 0.3 之範圍。可使用各種方法來產生層 140、130、和 150。層 140 較好設為 20 nm 至 120 nm 厚度，並引起應變於後續形成區域 152。

於第 7 圖中，依照製程 10（第 1 圖）之步驟 25，開口或溝渠 142 設於層 140 之上。較好，溝渠 142 具有而與層 130 之上平面 143 共平面之底部。或可選擇使用，溝渠 142 之底部可於層 130 之前終止。依於用於以鰭為基礎電晶體之設計標準和系統參數，對於溝渠 142 能使用各種尺寸。

於一個實施例中，溝渠 142 具有 20 至 120 nm 之高度，和大約 5 至 20 nm 之寬度。溝渠 142 通常關聯於鰭狀通道區域 152 之尺寸。再者，溝渠 142 能具有大約 1.0 至 1.5 微米間之長度，以及 1.0 微米長度（進入及出來相關於第 7 圖之頁）。

於一個實施例中，溝渠 142 於光學微影術中製成。於一個此種製程中，使用抗反射塗層、硬遮罩、和光阻材料來圖案化一層或數層於層 140 之上。使用圖案化之層或數層以選擇地蝕刻層 140 而創造溝渠 142。

於第 8 圖中，於製程 10（第 1 圖）之步驟 45，層 144 形成於層 140 之上。較好是，層 144 填滿整個溝渠 142。較佳之情況是，層 144 為由生長製程所形成之 40 至 240 nm 之厚層。於一個較佳實施例中，層 144 為藉由使用矽烷、乙矽烷、和/或二氯甲矽烷（使用 CVD 或 MBE）之選擇之矽磊晶生長所形成。

由於層 140 之化合物半導體層（矽鍺性質），層 144 為應變層。溝渠 142 之側壁用作為用於層 144 之結晶生長之晶種（seed）。關聯於層 140 之矽鍺晶格得到更廣間隔開之於層 144 中之空隙矽晶格，由此於層 144 中造成張力應變。

結果，關聯於層 144 之磊晶矽受到張力應變。

應用張力應變於層 144 引起關連於矽晶格之 6 個矽價帶(valance bands)中之 4 個增加能量，而其價帶之 2 個減少能量。量子效應之結果，當電子通過層 144 中該應變矽之較低能帶時，電子有效地減少約 30 重量%。結果，載子移動率於層 144 中戲劇性地增加，提供了對於電子可能的增加移動率 80%或更多，對電動洞可能的增加移動率 20%或更多。已發現增加移動率可維持電流場達 1.5 百萬伏特/公分。這些因素相信使得裝置速度能夠增加 35%，而不須更減小體積，或減少功率消耗而不會降低性能。

於第 9 圖中，於製程 10 (第 1 圖)之步驟 55，層 144 經由去除步驟。於一個實施例中，可使用化學機械研磨(CMP)而直接從層 130 之上去除所有之層 144。CMP 操作之性質允許層 144 保留在開口或溝渠 142 中，以形成通道區域 152。或可選擇使用蝕刻制程以去除層 144。

較佳情況是，停止 CMP 製程以便層 144 從溝渠 142 之底部至上表面 153 具有約 20 至 120 nm 之間之高度。

於第 10 圖中，依照製程 10(第 1 圖)之步驟 165，去除層 140。較佳情況是，用乾蝕刻技術選擇於層 140 之材料，而去除層 140。於一個實施例中，乾蝕刻技術相關於矽而選擇用於矽鍺。能藉由濕或等向性蝕刻而去除層 140。蝕刻技術對層 144 並不是選擇性，由此而留下鰭狀通道區域 152。或可選擇使用，用蝕刻技術來去除層 140。

於第 11 圖中，依照製程 10(第 1 圖)之步驟 175，形成

閘電極層 160。層 160 能夠熱生長或沉積於通道區域 152 之三個曝露側，達約 10 至 50 埃間之厚度。於第 3 和 4 圖中，設置層 166 而完成閘極結構。層 166 可由 CVD 法所沉積之達 500 至 1000 埃之厚多晶矽層。

參照第 12 圖，製程 110 相似於製程 10，其中具有相同最後二個數位之步驟本質上是相同的。然而，製程 110 包括根據源極/汲極遮罩去除化合物層 140 之步驟 165。步驟 165 能施行而替代製程 10(第 1 圖)中步驟 65。

參照第 13 和 14 圖，於製程 110 之步驟 165，遮罩 134 於步驟 165 期間保護源極和汲極區域 22 和 24。於一個實施例中，源極 22 和汲極區域 24 由層 140 製成，由此而提供用來維持於通道區域 152 上之張應力之矽鍺材料。於此方式中，遮罩 134 防止層 140 移離端點(鰭狀電晶體之區域 22 和 24)。或可選擇使用，區域 22 和 24 能夠是關聯於由遮罩 134 所保護之層 144 之材料。遮罩 134 可為光學微影術遮罩、硬遮罩、或其他適當的材料。於一個實施例中，遮罩 134 為二氧化矽或氮化矽材料。

於第 14 圖中，各種之層和結構並未按照比例尺寸繪製，亦未包括關聯於第 3 至 4 圖之大高度。此外，於第 13 至 14 圖中所示的是桿形狀而非槓鈴(bar-bell)形狀。

參照第 15 圖，製程 210 相似於製程 10 和 110，其中具有相同最後二個數位之步驟本質上是相同的。然而，製程 210 包括步驟 227，其中間隔件材料生長在於步驟 225 中之變形內，以窄化溝渠之寬度。此一步驟允許對於將要

建立之鰭狀通道區域 152 有較高之縱橫比。分別於製程 10 和 110 於步驟 25 和 125 後和於步驟 45 和 145 之前，可施行步驟 227。

間隔件材料能夠是化合物半導體層，並能夠是與用於層 140 相同的材料。間隔件材料能夠選擇性地生長在溝渠 142 內，或生長橫過層 140 之上表面以及在溝渠 142 之內，然後選擇性地去除。

參照第 16 與 17 圖，以下將討論製程 210 之步驟 227。第 16 與 17 圖並未按照尺寸比例繪製，亦未包括關聯於第 3 至 4 圖之大高度。於此實施例中，步驟 227 形成譬如具有與層 140 相同鰭比例之矽鍺之化合物半導體材料之層 151。層 151 最好生長在溝渠 142 之橫向側壁上，由此窄化溝渠 142 之寬度。層 151 最好是超薄層。

較佳之情況是，溝渠 142 具有約 5 至 100 nm 間之原有寬度。能夠藉由使用層 151 而減少該原有之寬度達約 10 至 30 百分比或更多。

於第 17 圖中，從層 140 之上表面去除層 151。或可選擇使用，相似於製程 10 和 110 之步驟 65 和 165，於步驟 265 中保留或去除層 151。於一個實施例中，能藉由化學機械研磨而去除層 151，該化學機械研磨可去除所有之層 151 和 140 部分。於步驟 227 後，繼續相似於製程 10 和製程 110 之製程 210。

能藉由化學氣相沉積生長、ALD、或其他如保形層 (conformal layer) 之其他技術而沉積層 151。第 16 和 17

101 年 1 月 6 日修正本

十、申請專利範圍：

1. 一種形成鰭狀通道區域(152)之方法，該方法包括：
 - 在絕緣層(130)上設化合物半導體層(140)；
 - 在該化合物半導體層(140)中設溝渠(142)；
 - 在該化合物半導體層(140)之上和該溝渠(142)之內設應變半導體層(144)，該溝渠(142)係關聯於該鰭狀通道區域(152)；
 - 從該化合物半導體層(140)之上去除該應變半導體層(144)，由此留該應變半導體層(144)在該溝渠(142)之內；以及
 - 去除該化合物半導體層(140)，留下該應變半導體層(144)，並形成該鰭狀通道區域(152)。
2. 如申請專利範圍第 1 項之方法，復包括：在鄰近該鰭狀通道區域(152)之橫向側壁處設氧化物材料(160)，並在該氧化物材料(160)之上設閘極導體(166)。
3. 如申請專利範圍第 1 項之方法，其中，該鰭狀通道區域(152)包括矽，而該化合物半導體層(140)為矽鍍層。
4. 如申請專利範圍第 1 項之方法，其中，該第二去除步驟係利用遮罩(134)，該遮罩(134)保護用為源極區域(22)和汲極區域(24)之該化合物半導體層(140)之部分。
5. 一種 FinFET 通道結構形成之方法，該方法包括：
 - 在基板之上之絕緣層(130)之上設第一層(140)，該第一層(140)包括矽和鍍；
 - 於該第一層(140)中設開口(142)，該開口(142)延

伸至該絕緣層(130)；

提供應變材料(144)於該開口(142)內；以及

去除該第一層(140)而留下該應變材料(144)。

6. 如申請專利範圍第 5 項之方法，復包括沿著該應變材料(144)之側壁和頂面形成閘極電介質層(160)。
7. 如申請專利範圍第 6 項之方法，其中，該應變材料(144)藉由選擇性磊晶而設於該第一層(140)之上。
8. 一種製造積體電路之方法，該積體電路包括以鰭為基礎之電晶體，該方法包括下列步驟：

提供絕緣材料(130)；

在該絕緣材料(130)之上設應變引起層(140)；

在該應變引起層(140)中設開口(142)；

藉由選擇磊晶生長而形成應變材料(144)於該開口(142)中；

去除該應變引起層(140)之至少一部分，由此留下該應變材料作為鰭結構(152)；以及

設置用於該鰭結構(152)之閘極結構(166)。

9. 如申請專利範圍第 8 項之方法，其中，該開口(142)係介於約 20 至 120 nm 之間之寬度。
10. 如申請專利範圍第 5 或 8 項之方法，其中，該去除步驟為選擇用於矽鍺之蝕刻步驟。