

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 2 区分

【発行日】平成 29 年 8 月 17 日 (2017.8.17)

【公表番号】特表 2016-528730 (P2016-528730A)

【公表日】平成 28 年 9 月 15 日 (2016.9.15)

【年通号数】公開・登録公報 2016-055

【出願番号】特願 2016-527088 (P2016-527088)

【国際特許分類】

H 0 1 L 21/76 (2006.01)

H 0 1 L 29/78 (2006.01)

H 0 1 L 21/336 (2006.01)

H 0 1 L 27/08 (2006.01)

【F I】

H 0 1 L 21/76 L

H 0 1 L 29/78 3 0 1 D

H 0 1 L 27/08 3 3 1 A

H 0 1 L 29/78 3 0 1 R

【手続補正書】

【提出日】平成 29 年 7 月 5 日 (2017.7.5)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

半導体構造であって、

第 1 の導電型を有し、頂部表面を有する基板と、

前記第 1 の導電型を有し、前記基板の前記頂部表面に接する底部表面と、頂部表面とを有する、エピタキシャル層と、

第 2 の導電型を有する埋め込み領域であって、前記エピタキシャル層の一部に接してその下に位置する、前記埋め込み領域と、

前記エピタキシャル層の中へ下方に延在するように前記エピタキシャル層の前記頂部表面に形成される浅いトレンチ隔離構造と、

前記エピタキシャル層の中へ下方に延在するように前記エピタキシャル層の前記頂部表面に形成される内側の深いトレンチ隔離構造であって、前記浅いトレンチ隔離構造を横方向に囲む、前記内側の深いトレンチ隔離構造と、

前記エピタキシャル層の中へ下方に延在するように前記エピタキシャル層の前記頂部表面に形成される外側の深いトレンチ隔離構造であって、前記内側の深いトレンチ隔離構造を横方向に囲む、前記外側の深いトレンチ隔離構造と、

前記埋め込み領域に接するために前記エピタキシャル層の中へ下方に前記内側及び外側の深いトレンチ隔離構造の下に延在するように、前記エピタキシャル層の前記頂部表面に形成されるドーパされた領域であって、前記第 2 の導電型を有し、前記内側及び外側の深いトレンチ隔離構造に接し、前記エピタキシャル層の前記一部を横方向に囲む、前記ドーパされた領域と、

を含む、半導体構造。

【請求項 2】

請求項 1 に記載の半導体構造であって、

前記内側の深いトレンチ隔離構造に接する前記第 2 の導電型のインターフェース領域を更に含み、前記内側の深いトレンチ隔離構造が前記インターフェース領域を横方向に囲み、前記インターフェース領域が前記ドーパされた領域のドーパント濃度より低いドーパント濃度を有する、半導体構造。

【請求項 3】

請求項 1 に記載の半導体構造であって、

前記浅いトレンチ隔離構造に接する前記第 1 の導電型のチャンネルストップ領域を更に含み、前記内側の深いトレンチ隔離構造が前記チャンネルストップ領域を横方向に囲む、半導体構造。

【請求項 4】

請求項 1 に記載の半導体構造であって、

前記エピタキシャル層の中へ下方に延在するように前記エピタキシャル層の前記頂部表面に形成される、絶縁の深いトレンチ構造を更に含み、前記絶縁の深いトレンチ構造が前記外側の深いトレンチ隔離構造を横方向に囲み、前記絶縁の深いトレンチ構造と前記外側の深いトレンチ隔離構造とが実質的に等しい深さを有する、半導体構造。

【請求項 5】

請求項 1 に記載の半導体構造であって、

前記エピタキシャル層の中へ下方に延在するように前記エピタキシャル層の前記頂部表面に形成される、絶縁の深いトレンチ構造を更に含み、前記内側の深いトレンチ隔離構造が前記絶縁の深いトレンチ構造を横方向に囲み、前記絶縁の深いトレンチ構造と前記内側の深いトレンチ隔離構造とが実質的に等しい深さを有する、半導体構造。

【請求項 6】

請求項 1 に記載の半導体構造であって、

前記エピタキシャル層の前記一部に形成され、前記第 2 の導電型を有するソースと、
前記エピタキシャル層の前記一部に形成され、前記ソースから横方向に離間され、前記第 2 の導電型を有するドレインと、
を更に含み、
前記浅いトレンチ隔離構造が前記ソースと前記ドレインとの間に横方向に位置する、半導体構造。

【請求項 7】

請求項 1 に記載の半導体構造であって、

前記外側の深いトレンチ隔離構造に接し、前記外側の深いトレンチ隔離構造を横方向に囲む、第 2 の導電型のインターフェース領域を更に含み、前記インターフェース領域が前記ドーパされた領域のドーパント濃度より低いドーパント濃度を有する、半導体構造。

【請求項 8】

半導体構造を形成する方法であって、

基板に埋め込み領域を形成することであって、前記基板が第 1 の導電型を有し、前記埋め込み領域が第 2 の導電型を有する、前記埋め込み領域を形成することと、

前記基板上にエピタキシャル層を成長させることであって、前記エピタキシャル層が頂部表面を有して前記第 1 の導電型を有し、前記埋め込み領域が前記エピタキシャル層の一部に接してその下に位置する、前記エピタキシャル層を成長させることと、

前記エピタキシャル層の中へ下方に延在するように前記エピタキシャル層の前記頂部表面に浅いトレンチ隔離構造を形成することと、

前記エピタキシャル層の中へ下方に延在するように前記エピタキシャル層の前記頂部表面に内側の深いトレンチ隔離構造を形成することであって、前記内側の深いトレンチ隔離構造が前記浅いトレンチ隔離構造を横方向に囲む、前記内側の深いトレンチ隔離構造を形成することと、

前記エピタキシャル層の中へ下方に延在するように前記エピタキシャル層の前記頂部表面に外側の深いトレンチ隔離構造を形成することであって、前記外側の深いトレンチ隔離構造が前記内側の深いトレンチ隔離構造を横方向に囲む、前記外側の深いトレンチ隔離構造

造を形成することと、

前記埋め込み領域に接するために前記エピタキシャル層の中へ下方に前記内側及び外側の深いトレンチ隔離構造の下に延在するように、前記エピタキシャル層の前記頂部表面にドーパされた領域を形成することであって、前記ドーパされた領域が、前記第2の導電型を有し、前記内側及び外側の深いトレンチ隔離構造に接し、前記エピタキシャル層の前記一部を横方向に囲む、前記ドーパされた領域を形成することと、

を含む、方法。

【請求項9】

請求項8に記載の方法であって、

前記ドーパされた領域が前記第2の導電型の複数の離間した領域を含み、前記第2の導電型の前記複数の離間した領域が、前記内側及び外側の深いトレンチ隔離構造に接し、前記内側及び外側の深いトレンチ隔離構造の間に位置する、方法。

【請求項10】

請求項8に記載の方法であって、

前記第2の導電型の領域が前記ドーパされた領域を含み、前記埋め込み領域が前記エピタキシャル層の前記部分と前記エピタキシャル層の残りの部分との間に完全に位置する、方法。

【請求項11】

請求項8に記載の方法であって、

前記ドーパされた領域が、或るドーパント濃度を有する第1の部分と、前記第1の部分の前記ドーパント濃度より実質的に低いドーパント濃度を有する第2の部分とを有する、方法。

【請求項12】

請求項8に記載の方法であって、

前記エピタキシャル層の中へ下方に延在するように、前記エピタキシャル層の前記頂部表面に絶縁の深いトレンチ構造を形成することを更に含み、前記絶縁の深いトレンチ構造が前記外側の深いトレンチ隔離構造を横方向に囲み、前記絶縁の深いトレンチ構造と前記外側の深いトレンチ隔離構造とが実質的に等しい深さを有する、方法。

【請求項13】

請求項8に記載の方法であって、

前記エピタキシャル層の中へ下方に延在するように、前記エピタキシャル層の前記頂部表面に絶縁の深いトレンチ構造を形成することを更に含み、前記内側の深いトレンチ隔離構造が前記絶縁の深いトレンチ構造を横方向に囲み、前記絶縁の深いトレンチ構造と前記内側の深いトレンチ隔離構造とが実質的に等しい深さを有する、方法。

【請求項14】

トランジスタアレイであって、

第1の導電型を有する半導体材料と、

第1及び第2のトランジスタ構造であって、各々が、前記半導体材料に形成されて第2の導電型を有するソースと、前記半導体材料内に形成され、前記ソースから横方向に離間され、前記第2の導電型を有するドレインと、前記半導体材料に形成され、前記ドレインに接し、前記第1及び第2のトランジスタ構造の各々の内部で前記ソースと前記ドレインとの間に横方向に位置する浅いトレンチ隔離構造とを有する、前記第1及び第2のトランジスタ構造と、

前記半導体材料に形成され、前記第1及び第2のトランジスタ構造の各々の前記ソースと前記ドレインとを横方向に囲む、深い隔離構造と、

前記半導体材料に形成されるトレンチ隔離構造であって、前記深い隔離構造の深さに実質的に等しい深さを有し、前記深い隔離構造を横方向に囲む、前記トレンチ隔離構造と、

前記深い隔離構造と前記トレンチ隔離構造とに接してそれらの間に位置する前記第2の導電型の領域と、

前記半導体材料に接し、前記第1及び第2のトランジスタ構造の下に位置する2つ又は

それ以上の第 1 の埋め込み領域であって、各々が前記第 2 の導電型を有する、前記 2 つ又はそれ以上の第 1 の埋め込み領域と、

前記半導体材料と前記第 1 の埋め込み領域とに接し、前記第 1 の埋め込み領域の間に横方向に位置する第 2 の埋め込み領域であって、前記第 1 の導電型を有し、前記半導体材料のドーパント濃度より高いドーパント濃度を有する、前記第 2 の埋め込み領域と、

を含む、トランジスタアレイ。

【請求項 15】

請求項 14 に記載のトランジスタアレイであって、

前記深いトレンチ隔離構造が、前記アレイにおける各トランジスタ構造の前記ソースと前記ドレインとを横方向に囲む、トランジスタアレイ。

【請求項 16】

請求項 15 に記載のトランジスタアレイであって、

各トランジスタ構造が前記半導体材料に形成されるドレインドリフト領域を有し、前記ドレインドリフト領域が前記ドレインと前記深い隔離構造とに接する、トランジスタアレイ。

【請求項 17】

請求項 16 に記載のトランジスタアレイであって、

前記深い隔離構造の底部表面が前記第 1 の導電型を有する領域に接する、トランジスタアレイ。

【請求項 18】

請求項 17 に記載のトランジスタアレイであって、

前記第 1 及び第 2 のトランジスタ構造の各々が、前記第 1 及び第 2 のトランジスタ構造の各々の内部で前記ソースと前記ドレインとの間に位置する前記半導体材料に形成される二重拡散ウェルを更に有する、トランジスタアレイ。