



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2022년02월08일
(11) 등록번호 10-2355552
(24) 등록일자 2022년01월21일

- (51) 국제특허분류(Int. Cl.)
HO4L 25/02 (2006.01)
- (52) CPC특허분류
HO4L 25/0278 (2013.01)
HO4L 25/028 (2013.01)
- (21) 출원번호 10-2021-7030399(분할)
- (22) 출원일자(국제) 2015년03월04일
심사청구일자 2021년10월15일
- (85) 번역문제출일자 2021년09월23일
- (65) 공개번호 10-2021-0118974
- (43) 공개일자 2021년10월01일
- (62) 원출원 특허 10-2021-7014400
원출원일자(국제) 2015년03월04일
심사청구일자 2021년06월03일
- (86) 국제출원번호 PCT/JP2015/056304
- (87) 국제공개번호 WO 2015/146510
국제공개일자 2015년10월01일
- (30) 우선권주장
JP-P-2014-062571 2014년03월25일 일본(JP)
- (56) 선행기술조사문헌
KR1020050055595 A
US09621380 B2
- (73) 특허권자
소니그룹주식회사
일본국 도쿄도 미나토쿠 코난 1-7-1
- (72) 발명자
사에키 타카노리
일본국 카나가와켄 요코하마시 호도가야쿠 고오도
쵸 134 소니 엘에스아이 디자인 가부시카가이샤
내
- (74) 대리인
최달용

전체 청구항 수 : 총 3 항

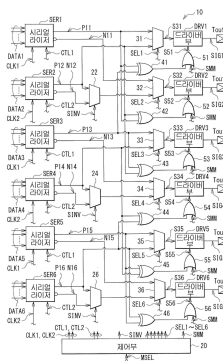
심사관 : 황철규

(54) 발명의 명칭 수신 장치, 송 수신 장치를 포함하는 통신 시스템

(57) 요약

본 개시의 송신 장치는, 제1의 신호 및 제2의 신호 중의 일방을 선택하여 출력하는 제1의 셀렉터와, 제1의 신호의 반전 신호, 제2의 신호, 및 제2의 신호의 반전 신호 중의 어느 하나를 선택하여 출력하는 제2의 셀렉터와, 제1의 신호, 제2의 신호, 및 제3의 신호에 의거하여, 제1의 제어 신호, 제2의 제어 신호, 및 제3의 제어 신호를 생성하는 제1의 제어 신호 생성부와, 제1의 셀렉터의 출력 신호 및 제1의 제어 신호에 의거하여 제1의 출력 단자의 전압을 설정하는 제1의 드라이버부와, 제2의 셀렉터의 출력 신호 및 제2의 제어 신호에 의거하여 제2의 출력 단자의 전압을 설정하는 제2의 드라이버부를 구비한다.

대표도 - 도2



명세서

청구범위

청구항 1

송신 장치와 수신 장치를 구비하고,

상기 송신 장치는,

제1의 신호 및 제2의 신호 중의 일방을 선택하여 출력하는 제1의 셀렉터와,

상기 제1의 신호의 반전 신호, 상기 제2의 신호 및 상기 제2의 신호의 반전 신호 중의 어느 하나를 선택하여 출력하는 제2의 셀렉터와,

상기 제1의 신호, 상기 제2의 신호 및 제3의 신호에 의거하여, 제1의 제어 신호, 제2의 제어 신호, 및 제3의 제어 신호를 생성하는 제1의 제어 신호 생성부와,

상기 제1의 셀렉터의 출력 신호 및 상기 제1의 제어 신호에 의거하여 제1의 출력 단자의 전압을 설정하는 제1의 드라이버부와,

상기 제2의 셀렉터의 출력 신호 및 상기 제2의 제어 신호에 의거하여 제2의 출력 단자의 전압을 설정하는 제2의 드라이버부를 갖는 것을 특징으로 하는 통신 시스템.

청구항 2

송신 장치와 수신 장치를 구비하고,

상기 송신 장치는,

제1의 셀렉터와, 제2의 셀렉터와, 제1의 제어 신호 생성부와, 제1의 드라이버부와, 제2의 드라이버부를 구비하며,

상기 제1의 셀렉터는, 제1의 신호 및 제2의 신호 중의 일방을 선택하여 출력하며,

상기 제2의 셀렉터는, 제1의 신호의 반전 신호, 제2의 신호 및 제2의 신호의 반전 신호 중의 어느 하나를 선택하여 출력하며,

상기 제1의 제어 신호 생성부는, 제1의 신호, 제2의 신호 및 제3의 신호에 의거하여, 상기 제1의 제어 신호, 제2의 제어 신호 및 제3의 제어 신호를 생성하며,

상기 제1의 드라이버부는, 상기 제1의 셀렉터의 출력 신호 및 상기 제1의 제어 신호에 의거하여 제1의 출력 단자의 전압을 설정하고,

상기 제2의 드라이버부는, 상기 제2의 셀렉터의 출력 신호 및 상기 제2의 제어 신호에 의거하여 제2의 출력 단자의 전압을 설정하는 것을 특징으로 하는 통신 시스템.

청구항 3

제1항 또는 제2항에 있어서,

상기 제1의 셀렉터의 출력 신호 및 상기 제1의 제어 신호에 의거하여 상기 제1의 출력 단자의 전압이 설정되며,

상기 제2의 셀렉터의 출력 신호 및 상기 제2의 제어 신호에 의거하여 상기 제2의 출력 단자의 전압이 설정되며,

상기 제1의 셀렉터에서는, 상기 제1의 신호 및 상기 제2의 신호 중의 일방이 선택되어 출력되고,

상기 제2의 셀렉터에서는, 상기 제1의 신호의 반전 신호, 상기 제2의 신호, 및 상기 제2의 신호의 반전 신호 중의 어느 하나가 선택되어 출력되는 것을 특징으로 하는 통신 시스템.

발명의 설명

기술분야

[0001] 본 개시는, 신호를 송신하는 송신 장치, 및 그와 같은 송신 장치를 구비한 통신 시스템에 관한 것이다.

배경기술

[0003] 근래의 전자 기기의 고기능화 및 다기능화에 수반하여, 전자 기기에는, 반도체 칩, 센서, 표시 디바이스 등이 다양한 디바이스가 탑재된다. 이들의 디바이스 사이에서는, 많은 데이터의 교환이 행하여지고, 그 데이터량은, 전자 기기의 고기능화 및 다기능화에 응하여 많아지고 있다.

[0004] 보다 많은 데이터의 교환을 행하는 방법에 관해, 다양한 기술이 개시되어 있다. 예를 들면, 특허 문헌 1, 2에는, 3개의 전압 레벨을 이용하여 데이터의 교환을 행하는 통신 시스템이 개시되어 있다.

선행기술문헌

특허문헌

[0005] (특허문헌 0001) 특허 문헌 1 : 일본 특표2011-517159호 공보
 (특허문헌 0002) 특허 문헌 2 : 일본 특표2010-520715호 공보

발명의 내용

해결하려는 과제

[0006] 그런데, 전자 기기에는, 종종, 다양한 벤더로부터 공급된 디바이스가 탑재된다. 그와 같은 디바이스는, 서로 다른 인터페이스를 갖는 일 있다. 따라서, 이와 같은 디바이스와 데이터의 교환을 행하는 디바이스는, 다양한 인터페이스를 실현할 수 있을 것이 요망된다.

[0007] 따라서 다양한 인터페이스를 실현할 수 있는 송신 장치 및 통신 시스템을 제공하는 것이 바람직하다.

과제의 해결 수단

[0009] 본 개시의 한 실시 형태에서의 송신 장치는, 제1의 셀렉터와, 제2의 셀렉터와, 제1의 제어 신호 생성부와, 제1의 드라이버부와, 제2의 드라이버부를 구비하고 있다. 제1의 셀렉터는, 제1의 신호 및 제2의 신호 중의 일방을 선택하여 출력하는 것이다. 제2의 셀렉터는, 제1의 신호의 반전 신호, 제2의 신호, 및 제2의 신호의 반전 신호 중의 어느 하나를 선택하여 출력하는 것이다. 제1의 제어 신호 생성부는, 제1의 신호, 제2의 신호, 및 제3의 신호에 의거하여, 제1의 제어 신호, 제2의 제어 신호, 및 제3의 제어 신호를 생성하는 것이다. 제1의 드라이버부는, 제1의 셀렉터의 출력 신호 및 제1의 제어 신호에 의거하여 제1의 출력 단자의 전압을 설정하는 것이다. 제2의 드라이버부는, 제2의 셀렉터의 출력 신호 및 제2의 제어 신호에 의거하여 제2의 출력 단자의 전압을 설정하는 것이다.

[0010] 본 개시의 다른 한 실시 형태에서의 송신 장치는, 제어부와, 제1의 셀렉터와, 제2의 셀렉터와, 제1의 드라이버부와, 제2의 드라이버부를 구비하고 있다. 제어부는, 제1의 동작 모드를 포함하는 복수의 동작 모드 중의 하나를 선택하는 것이다. 제1의 셀렉터는, 제1의 동작 모드에서, 제1의 신호 및 제2의 신호를 교대로 선택하는 것이다. 제2의 셀렉터는, 제1의 동작 모드에서, 제1의 신호의 반전 신호 및 제2의 신호의 반전 신호를 교대로 선택하는 것이다. 제1의 드라이버부는, 제1의 동작 모드에서, 제1의 셀렉터의 출력 신호에 의거하여, 제1의 출력 단자의 전압을 제1의 전압 또는 제2의 전압으로 설정하는 것이다. 제2의 드라이버부는, 제1의 동작 모드에서, 제2의 셀렉터의 출력 신호에 의거하여, 제2의 출력 단자의 전압을 제1의 전압 또는 제2의 전압으로 설정하는 것이다.

[0011] 본 개시의 한 실시 형태에서의 통신 시스템은, 송신 장치와, 수신 장치를 구비하고 있다. 송신 장치는, 제1의 셀렉터와, 제2의 셀렉터와, 제1의 제어 신호 생성부와, 제1의 드라이버부와, 제2의 드라이버부를 구비하고 있다. 제1의 셀렉터는, 제1의 신호 및 제2의 신호 중의 일방을 선택하여 출력하는 것이다. 제2의 셀렉터는, 제1의 신호의 반전 신호, 제2의 신호, 및 제2의 신호의 반전 신호 중의 어느 하나를 선택하여 출력하는 것이다. 제1의 제어 신호 생성부는, 제1의 신호, 제2의 신호, 및 제3의 신호에 의거하여, 제1의 제어 신호, 제2의 제어 신호

호, 및 제3의 제어 신호를 생성하는 것이다. 제1의 드라이버부는, 제1의 셀렉터의 출력 신호 및 제1의 제어 신호에 의거하여 제1의 출력 단자의 전압을 설정하는 것이다. 제2의 드라이버부는, 제2의 셀렉터의 출력 신호 및 제2의 제어 신호에 의거하여 제2의 출력 단자의 전압을 설정하는 것이다.

[0012] 본 개시의 한 실시 형태에서의 송신 장치 및 통신 시스템에서는, 제1의 셀렉터의 출력 신호 및 제1의 제어 신호에 의거하여 제1의 출력 단자의 전압이 설정됨과 함께, 제2의 셀렉터의 출력 신호 및 제2의 제어 신호에 의거하여 제2의 출력 단자의 전압이 설정된다. 이 제1의 셀렉터에서는, 제1의 신호 및 제2의 신호 중의 일방이 선택되어 출력되고, 제2의 셀렉터에서는, 제1의 신호의 반전 신호, 제2의 신호, 및 제2의 신호의 반전 신호 중의 어느 하나가 선택되어 출력된다.

[0013] 본 개시의 다른 한 실시 형태에서의 송신 장치에서는, 제1의 동작 모드에서, 제1의 셀렉터의 출력 신호에 의거하여 제1의 출력 단자의 전압이 설정됨과 함께, 제2의 셀렉터의 출력 신호에 의거하여 제2의 출력 단자의 전압이 설정된다. 그 때, 제1의 셀렉터에서는, 제1의 신호 및 제2의 신호가 교대로 선택되고, 제2의 셀렉터에서는, 제1의 신호의 반전 신호 및 제2의 신호의 반전 신호가 교대로 선택된다.

발명의 효과

[0015] 본 개시의 한 실시 형태에서의 송신 장치 및 통신 시스템에 의하면, 제1의 셀렉터의 출력 신호 및 제1의 제어 신호에 의거하여 제1의 출력 단자의 전압을 설정하고, 제2의 셀렉터의 출력 신호 및 제2의 제어 신호에 의거하여 제2의 출력 단자의 전압을 설정하도록 하였기 때문에, 다양한 인터페이스를 실현할 수 있다.

[0016] 본 개시의 다른 한 실시 형태에서의 송신 장치에 의하면, 제1의 동작 모드를 포함하는 복수의 동작 모드를 마련하고, 제1의 동작 모드에서, 제1의 셀렉터가 제1의 신호 및 제2의 신호를 교대로 선택하고, 제2의 셀렉터가, 제1의 신호의 반전 신호 및 제2의 신호의 반전 신호를 교대로 선택하도록 하였기 때문에, 다양한 인터페이스를 실현할 수 있다.

[0017] 또한, 여기에 기재된 효과는 반드시 한정되는 것이 아니고, 본 개시 중에 기재된 어느 하나의 효과가 있어도 좋다.

도면의 간단한 설명

- [0019] 도 1은 본 개시의 한 실시의 형태에 관한 송신 장치의 한 구성례를 도시하는 블록도.
- 도 2는 도 1에 도시한 송신부의 한 구성례를 도시하는 블록도.
- 도 3은 도 2에 도시한 시리얼라이저의 한 구성례를 도시하는 블록도.
- 도 4는 도 2에 도시한 드라이버부의 한 구성례를 도시하는 블록도.
- 도 5는 도 4에 도시한 드라이버 회로의 한 구성례를 도시하는 회로도.
- 도 6은 도 1에 도시한 송신 장치가 적용되는 통신 시스템의 한 구성례를 도시하는 블록도.
- 도 7은 도 6에 도시한 레시버부의 한 구성례를 도시하는 회로도.
- 도 8은 도 1에 도시한 송신 장치가 적용되는 통신 시스템의 다른 구성례를 도시하는 블록도.
- 도 9는 도 8에 도시한 레시버부의 한 구성례를 도시하는 회로도.
- 도 10은 도 8에 도시한 레시버부의 한 동작례를 도시하는 설명도.
- 도 11은 도 1에 도시한 송신 장치가 적용되는 통신 시스템의 다른 구성례를 도시하는 블록도.
- 도 12는 도 11에 도시한 레시버부의 한 구성례를 도시하는 회로도.
- 도 13은 도 2에 도시한 송신부의 각 블록의 한 배치례를 도시하는 설명도.
- 도 14A는 도 2에 도시한 송신부의 일 동작 모드에서의 한 동작 상태를 도시하는 설명도.
- 도 14B는 도 2에 도시한 송신부의 일 동작 모드에서의 다른 동작 상태를 도시하는 설명도.
- 도 15는 도 2에 도시한 송신부의 한 동작례를 도시하는 타이밍 파형도.
- 도 16은 도 2에 도시한 송신부의 다른 동작 모드에서의 한 동작례를 도시하는 설명도.

- 도 17은 도 2에 도시한 송신부의 다른 동작 모드에서의 한 동작례를 도시하는 표.
- 도 18은 도 2에 도시한 송신부의 다른 동작 모드에서의 한 동작례를 도시하는 설명도.
- 도 19는 변형례에 관한 송신부의 각 블록의 한 배치례를 도시하는 설명도.
- 도 20은 다른 변형례에 관한 송신부의 한 구성례를 도시하는 블록도.
- 도 21은 다른 변형례에 관한 송신부의 한 구성례를 도시하는 블록도.
- 도 22는 다른 변형례에 관한 송신부의 한 동작례를 도시하는 타이밍 파형도.
- 도 23은 다른 변형례에 관한 송신부의 한 동작례를 도시하는 타이밍 파형도.
- 도 24는 실시의 형태에 관한 송신 장치가 적용되는 스마트 폰의 외관 구성을 도시하는 사시도.
- 도 25는 실시의 형태에 관한 송신 장치가 적용되는 어플리케이션 프로세서의 한 구성례를 도시하는 블록도.
- 도 26은 실시의 형태에 관한 송신 장치가 적용되는 이미지 센서의 한 구성례를 도시하는 블록도.
- 도 27은 다른 변형례에 관한 송신부의 한 구성례를 도시하는 블록도.

발명을 실시하기 위한 구체적인 내용

- [0020] 이하, 본 개시의 실시의 형태에 관해, 도면을 참조하여 상세히 설명한다. 또한, 설명은 이하의 순서로 행한다.
- [0021] 1. 실시의 형태
- [0022] 2. 적용례
- [0023] <1. 실시의 형태>
- [0024] [구성례]
- [0025] 도 1은, 실시의 형태에 관한 송신 장치의 한 구성례를 도시하는 것이다. 송신 장치(1)는, 복수의 인터페이스를 실현 가능하게 구성된 것이다. 또한, 본 개시의 실시의 형태에 관한 통신 시스템은, 본 실시의 형태에 의해 구현화되기 때문에, 아울러서 설명한다.
- [0026] 송신 장치(1)는, 처리부(9)와, 송신부(10)를 구비하고 있다. 처리부(9)는, 6조(組)의 패럴렐 신호(DATA1~DATA6)를 생성하는 것이다. 패럴렐 신호(DATA1~DATA6)의 각각은, 이 예에서는 7비트의 비트 폭을 갖는 것이다. 송신부(10)는, 패럴렐 신호(DATA1~DATA6) 및 모드 선택 신호(MSEL)에 의거하여, 신호(SIG1~SIG6)를 생성하여 출력 단자(Tout1~Tout6)로부터 출력하는 것이다. 이와 같이 하여, 송신 장치(1)는, 신호(SIG1~SIG6)를 생성하고, 전송선로(101~106)를 통하여, 수신 장치(도시 생략)에 송신하도록 되어 있다. 이 예에서는, 전송선로(101~106)의 특성 임피던스는, 50[Ω]이다. 송신 장치(1)는, 후술하는 바와 같이, 차동 신호나, 3상 신호나, 단상 신호로 수신 장치에 대해 데이터를 송신할 수 있도록 구성되어 있다.
- [0027] 도 2는, 송신부(10)의 한 구성례를 도시하는 것이다. 송신부(10)는, 시리얼라이저(SER1~SER6)와, 셀렉터(22, 24, 26, 31~36)와, 배타적 논리합 회로(41~46)와, 논리합 회로(51~56)와, 드라이버부(DRV1~DRV6)와, 제어부(20)를 갖고 있다. 또한, 이들의 블록 사이의 신호는, 차동 신호라도 좋고, 단상 신호라도 좋다.
- [0028] 시리얼라이저(SER1~SER6)는, 패럴렐 신호를 시리얼 신호로 변환하는 것이다. 구체적으로는, 시리얼라이저(SER1)는, 클럭 신호(CLK1) 및 제어 신호(CTL1)에 의거하여, 패럴렐 신호(DATA1)를 시리얼라이즈하여 신호(P11)와 그 반전 신호(N11)를 생성하는 것이다. 시리얼라이저(SER2)는, 클럭 신호(CLK2) 및 제어 신호(CTL2)에 의거하여, 패럴렐 신호(DATA2)를 시리얼라이즈하여 신호(P12)와 그 반전 신호(N12)를 생성하는 것이다. 시리얼라이저(SER3)는, 클럭 신호(CLK1) 및 제어 신호(CTL1)에 의거하여, 패럴렐 신호(DATA3)를 시리얼라이즈하여 신호(P13)와 그 반전 신호(N13)를 생성하는 것이다. 시리얼라이저(SER4)는, 클럭 신호(CLK2) 및 제어 신호(CTL2)에 의거하여, 패럴렐 신호(DATA4)를 시리얼라이즈하여 신호(P14)와 그 반전 신호(N14)를 생성하는 것이다. 시리얼라이저(SER5)는, 클럭 신호(CLK1) 및 제어 신호(CTL1)에 의거하여, 패럴렐 신호(DATA5)를 시리얼라이즈하여 신호(P15)와 그 반전 신호(N15)를 생성하는 것이다. 시리얼라이저(SER6)는, 클럭 신호(CLK2) 및 제어 신호(CTL2)에 의거하여, 패럴렐 신호(DATA6)를 시리얼라이즈하여 신호(P16)와 그 반전 신호(N16)를 생성하는 것이다.
- [0029] 도 3은, 시리얼라이저(SER1)의 한 구성례를 도시하는 것이다. 또한, 이하에서는 시리얼라이저(SER1)를 예로 설

명하지만, 시리얼라이저(SER2~SER6)에 관해서도 마찬가지이다. 시리얼라이저(SER1)는, 이 예에서는 시프트 레지스터를 포함하여 구성되는 것이고, 7비트의 신호(D[6]~D[0])를 갖는 패럴렐 신호(DATA1)를 시리얼라이즈하는, 이른바 7 : 1의 시리얼라이저이다. 이 시리얼라이저(SER1)는, 차동 신호를 취급하도록 구성되어 있고, 시리얼 신호로서 신호(P11, N11)를 생성하도록 되어 있다.

[0030] 시리얼라이저(SER1)는, 셀렉터(71~77)와, 플립플롭(81~87)을 갖고 있다. 셀렉터(71~77)는, 제어 단자에서의 신호가 "1"인 경우에는, 제1 입력 단자의 신호를 출력하고, 제어 단자에서의 신호가 "0"인 경우에는, 제2 입력 단자의 신호를 출력하는 것이다. 플립플롭(81~87)은, D형의 플립플롭이고, 클록 단자에서의 신호의 상승 타이밍에서 입력 단자(D)에서의 신호를 샘플링하여, 그 샘플링 결과를 출력 단자(Q)로부터 출력하는 것이다. 셀렉터(71)의 제1 입력 단자에는 신호(D[6])가 공급되고, 제2 입력 단자에는 "0"이 공급되고, 제어 단자에는 제어 신호(CTL1)가 공급되고, 출력 단자는 플립플롭 회로(81)의 입력 단자(D)에 접속되어 있다. 플립플롭(81)의 입력 단자(D)는 셀렉터(71)의 출력 단자에 접속되고, 클록 단자에는 클록 신호(CLK1)가 공급되고, 출력 단자(Q)는 셀렉터(72)의 제2 입력 단자에 접속되어 있다. 셀렉터(72)의 제1 입력 단자에는 신호(D[5])가 공급되고, 제2 입력 단자에는 플립플롭(81)의 출력 단자(Q)가 접속되고, 제어 단자에는 제어 신호(CTL1)가 공급되고, 출력 단자는 플립플롭(82)의 입력 단자(D)에 접속되어 있다. 플립플롭(82)의 입력 단자(D)는 셀렉터(72)의 출력 단자에 접속되고, 클록 단자에는 클록 신호(CLK1)가 공급되고, 출력 단자(Q)는 셀렉터(73)의 제2 입력 단자에 접속되어 있다. 이와 같이, 시리얼라이저(SER1)에서는, 셀렉터와 플립플롭이 교대로 접속된다. 그리고, 셀렉터(77)의 제1 입력 단자에는 신호(D[0])가 공급되고, 제2 입력 단자에는 플립플롭(86)의 출력 단자(Q)가 접속되고, 제어 단자에는 제어 신호(CTL1)가 공급되고, 출력 단자는 플립플롭(87)의 입력 단자(D)에 접속되어 있다. 플립플롭(87)의 입력 단자(D)는 셀렉터(77)의 출력 단자에 접속되고, 클록 단자에는 클록 신호(CLK1)가 공급되고, 출력 단자(Q)에는 시리얼라이저(SER1)의 출력 신호(P11, N11)가 생기도록 되어 있다.

[0031] 이 구성에 의해, 시리얼라이저(SER1)에서는, 제어 신호(CTL1)를 "1"로 함에 의해, 플립플롭(81~87)이, 신호(D[6]~D[0])를 각각 기억한다. 그리고, 제어 신호(CTL1)를 "0"으로 함에 의해, 시리얼라이저(SER1)는 시프트 레지스터로서 동작하고, 클록 신호(CLK1)에 동기하여 신호(D[0]~D[6])를 이 순서로 출력한다. 이와 같이 하여, 시리얼라이저(SER1)는, 패럴렐 신호(DATA1)를 시리얼라이즈하여 신호(P11, N11)를 생성하도록 되어 있다.

[0032] 셀렉터(22)는, 제어 신호(SINV)에 의거하여, 신호(P12, N12) 중의 일방을 선택하여 출력하는 것이다. 셀렉터(24)는, 제어 신호(SINV)에 의거하여, 신호(P14, N14) 중의 일방을 선택하여 출력하는 것이고, 셀렉터(26)는, 제어 신호(SINV)에 의거하여, 신호(P16, N16) 중의 일방을 선택하여 출력하는 것이다.

[0033] 셀렉터(31)는, 제어 신호(SEL1)에 의거하여, 신호(P11, P12) 중의 일방을 선택하고, 신호(S31)로서 출력하는 것이다. 셀렉터(32)는, 제어 신호(SEL2)에 의거하여, 신호(N11) 및 셀렉터(22)의 출력 신호 중의 일방을 선택하고, 신호(S32)로서 출력하는 것이다. 셀렉터(33)는, 제어 신호(SEL3)에 의거하여, 신호(P13, P14) 중의 일방을 선택하고, 신호(S33)로서 출력하는 것이다. 셀렉터(34)는, 제어 신호(SEL4)에 의거하여, 신호(N13) 및 셀렉터(24)의 출력 신호 중의 일방을 선택하고, 신호(S34)로서 출력하는 것이다. 셀렉터(35)는, 제어 신호(SEL5)에 의거하여, 신호(P15, P16) 중의 일방을 선택하고, 신호(S35)로서 출력하는 것이다. 셀렉터(36)는, 제어 신호(SEL6)에 의거하여, 신호(N15) 및 셀렉터(26)의 출력 신호 중의 일방을 선택하고, 신호(S36)로서 출력하는 것이다.

[0034] 배타적 논리합 회로(41)는, 신호(P11)와 신호(P13)와의 배타적 논리합(EX-OR : Exclusive OR)을 구하고, 그 결과를 출력하는 것이다. 배타적 논리합 회로(42)는, 신호(P11)와 신호(P12)와의 배타적 논리합을 구하고, 그 결과를 출력하는 것이다. 배타적 논리합 회로(43)는, 신호(P12)와 신호(P13)와의 배타적 논리합을 구하고, 그 결과를 출력하는 것이다. 배타적 논리합 회로(44)는, 신호(P14)와 신호(P16)와의 배타적 논리합을 구하고, 그 결과를 출력하는 것이다. 배타적 논리합 회로(45)는, 신호(P14)와 신호(P15)와의 배타적 논리합을 구하고, 그 결과를 출력하는 것이다. 배타적 논리합 회로(46)는, 신호(P15)와 신호(P16)와의 배타적 논리합을 구하고, 그 결과를 출력하는 것이다.

[0035] 논리합 회로(51)는, 배타적 논리합 회로(41)의 출력 신호와 제어 신호(SMM)와의 논리합(OR)을 구하고, 그 결과를 신호(S51)로서 출력하는 것이다. 논리합 회로(52)는, 배타적 논리합 회로(42)의 출력 신호와 제어 신호(SMM)와의 논리합을 구하고, 그 결과를 신호(S52)로서 출력하는 것이다. 논리합 회로(53)는, 배타적 논리합 회로(43)의 출력 신호와 제어 신호(SMM)와의 논리합을 구하고, 그 결과를 신호(S53)로서 출력하는 것이다. 논리합 회로(54)는, 배타적 논리합 회로(44)의 출력 신호와 제어 신호(SMM)와의 논리합을 구하고, 그 결과를 신호(S54)로서 출력하는 것이다. 논리합 회로(55)는, 배타적 논리합 회로(45)의 출력 신호와 제어 신호(SMM)와의 논리

합을 구하고, 그 결과를 신호(S55)로서 출력하는 것이다. 논리합 회로(56)는, 배타적 논리합 회로(46)의 출력 신호와 제어 신호(SMM)와의 논리합을 구하고, 그 결과를 신호(S56)로서 출력하는 것이다.

[0036] 드라이버부(DRV1)는, 신호(S31) 및 신호(S51)에 의거하여, 출력 단자(Tout1)의 전압을, 3개의 전압(고레벨 전압(VH), 저레벨 전압(VL), 및 중레벨 전압(VM)) 중의 하나로 설정 가능하게 구성된 것이다. 드라이버부(DRV2)는, 신호(S32) 및 신호(S52)에 의거하여, 출력 단자(Tout2)의 전압을 3개의 전압 중의 하나로 설정 가능하게 구성된 것이다. 드라이버부(DRV3)는, 신호(S33) 및 신호(S53)에 의거하여, 출력 단자(Tout3)의 전압을 3개의 전압 중의 하나로 설정 가능하게 구성된 것이다. 드라이버부(DRV4)는, 신호(S34) 및 신호(S54)에 의거하여, 출력 단자(Tout4)의 전압을 3개의 전압 중의 하나로 설정 가능하게 구성된 것이다. 드라이버부(DRV5)는, 신호(S35) 및 신호(S55)에 의거하여, 출력 단자(Tout5)의 전압을 3개의 전압 중의 하나로 설정 가능하게 구성된 것이다. 드라이버부(DRV6)는, 신호(S36) 및 신호(S56)에 의거하여, 출력 단자(Tout6)의 전압을 3개의 전압 중의 하나로 설정 가능하게 구성된 것이다.

[0037] 도 4는, 드라이버부(DRV1)의 한 구성례를 도시하는 것이다. 또한, 이하에서는 드라이버부(DRV1)를 예로 설명하지만, 드라이버부(DRV2~DRV6)에 관해서도 마찬가지이다. 드라이버부(DRV1)는, 드라이버 제어부(60)와, 드라이버 회로(61~65)를 갖고 있다.

[0038] 드라이버 제어부(60)는, 신호(S31, S51)에 의거하여, 신호(P61~P75, N61~N65)를 생성하는 것이다.

[0039] 드라이버 회로(61~65)는, 정입력 단자에 공급된 신호 및 부입력 단자에 공급된 신호에 의거하여, 출력 단자(Tout1)의 전압을 설정하는 것이다. 드라이버 회로(61)의 정입력 단자에는 신호(P61)가 공급되고, 부입력 단자에는 신호(N61)가 공급되고, 출력 단자는 출력 단자(Tout1)에 접속되어 있다. 드라이버 회로(62)의 정입력 단자에는 신호(P62)가 공급되고, 부입력 단자에는 신호(N62)가 공급되고, 출력 단자는 출력 단자(Tout1)에 접속되어 있다. 드라이버 회로(63)의 정입력 단자에는 신호(P63)가 공급되고, 부입력 단자에는 신호(N63)가 공급되고, 출력 단자는 출력 단자(Tout1)에 접속되어 있다. 드라이버 회로(64)의 정입력 단자에는 신호(P64)가 공급되고, 부입력 단자에는 신호(N64)가 공급되고, 출력 단자는 출력 단자(Tout1)에 접속되어 있다. 드라이버 회로(65)의 정입력 단자에는 신호(P65)가 공급되고, 부입력 단자에는 신호(N65)가 공급되고, 출력 단자는 출력 단자(Tout1)에 접속되어 있다. 즉, 드라이버 회로(61~65)의 출력 단자는, 서로 접속됨과 함께, 출력 단자(Tout1)에 접속되어 있다.

[0040] 도 5는, 드라이버 회로(61)의 한 구성례를 도시하는 것이다. 또한, 이하에서는 드라이버 회로(61)를 예로 설명하지만, 드라이버 회로(62~65)에 관해서도 마찬가지이다. 드라이버 회로(61)는, 트랜지스터(92, 93)와, 저항 소자(91, 94, 95)를 갖고 있다. 트랜지스터(92, 93)는, 이 예에서는, N채널 MOS(Metal Oxide Semiconductor)형의 FET(Field Effect Transistor)이다. 트랜지스터(92)의 게이트는, 드라이버 회로(61)의 정입력 단자에 대응하는 것이고, 신호(P61)가 공급되고, 소스는 저항 소자(91)의 일단에 접속되고, 드레인은 트랜지스터(93)의 드레인에 접속됨과 함께 저항 소자(95)의 일단에 접속되어 있다. 트랜지스터(93)의 게이트는, 드라이버 회로(61)의 부입력 단자에 대응하는 것이고, 신호(N61)가 공급되고, 소스는 저항 소자(94)의 일단에 접속되고, 드레인은 트랜지스터(92)의 드레인에 접속됨과 함께 저항 소자(95)의 일단에 접속되어 있다. 저항 소자(91)의 일단은 트랜지스터(92)의 소스에 접속되고, 타단에는 전압(V1)이 공급되어 있다. 전압(V1)은, 예를 들면 400[mV]이다. 저항 소자(94)의 일단은 트랜지스터(93)의 소스에 접속되고, 타단은 접지되어 있다. 저항 소자(95)의 일단은 트랜지스터(92, 93)의 드레인에 접속되고, 타단은, 드라이버 회로(61)의 출력 단자에 대응하는 것이다. 이 예에서는, 저항 소자(91)의 저항치와, 트랜지스터(92)의 온 저항의 저항치와, 저항 소자(95)의 저항치의 합은, 200[Ω] 정도이고, 마찬가지로, 저항 소자(94)의 저항치와, 트랜지스터(93)의 온 저항의 저항치와, 저항 소자(95)의 저항치의 합은, 이 예에서는 200[Ω] 정도이다.

[0041] 이 구성에 의해, 드라이버부(DRV1)는, 신호(S31) 및 신호(S51)에 의거하여, 출력 단자(Tout1)의 전압을, 3개의 전압(고레벨 전압(VH), 저레벨 전압(VL), 및 중레벨 전압(VM)) 중의 하나로 설정한다. 구체적으로는, 신호(S51)가 "1"인 경우에는, 드라이버 제어부(60)는, 신호(S31)에 응하여, 신호(P61~P65), 신호(N61~N65)를 설정한다. 즉, 드라이버 제어부(60)는, 신호(S31)가 "1"인 경우에는, 신호(P61~P65) 중의 예를 들면 4개를 "1"로 하고 나머지 하나 및 신호(N61~N65)를 "0"으로 설정한다. 이에 의해, 드라이버 회로(61~65)에서는, 게이트에 "1"이 공급된 4개의 트랜지스터(92)가 온 상태가 되어, 신호(SIG1)가 고레벨 전압(VH)이 된다. 또한, 드라이버 제어부(60)는, 신호(S31)가 "0"인 경우에는, 신호(N61~N65) 중의 예를 들면 4개를 "1"로 하고 나머지 하나 및 신호(P61~P65)를 "0"으로 설정한다. 이에 의해, 드라이버 회로(61~65)에서는, 게이트에 "1"이 공급된 4개의 트랜지스터(93)가 온 상태가 되고, 신호(SIG1)가 저레벨 전압(VL)이 된다. 한편, 신호(S51)가 "0"인 경우에는,

드라이버 제어부(60)는, 신호(S31)에 관계없이, 신호(P61~P65) 중의 예를 들면 2개를 "1"로 함과 함께 나머지를 "0"으로 하고 신호(N61~N65) 중의 예를 들면 2개를 "1"로 함과 함께 나머지를 "0"으로 한다. 이에 의해, 드라이버 회로(61~65)에서는, 게이트에 "1"이 공급된 2개의 트랜지스터(92) 및 2개의 트랜지스터(93)가 온 상태가 되어, 테브난 중단이 실현되고, 신호(SIG1)는 중레벨 전압(VM)이 된다.

[0042] 환언하면, 신호(S51)는, 신호(SIG1)를 중레벨 전압(VM)으로 하는지의 여부를 제어하는 신호이고, 드라이버부(DRV1)는, 신호(S51)가 "0"인 경우에, 신호(SIG)를 중레벨 전압(VM)으로 설정한다. 또한, 드라이버부(DRV1)는, 신호(S51)가 "1"인 경우에는, 신호(S31)에 응하여 신호(SIG1)를 고레벨 전압(VH) 또는 저레벨 전압(VL)으로 설정하도록 되어 있다.

[0043] 또한, 드라이버부(DRV1)에서는, 이와 같이, 신호(SIG1)의 전압 레벨에 관계없이, 10개의 트랜지스터(92, 93) 중의 4개의 트랜지스터를 온 상태로 한다. 이에 의해, 드라이버부(DRV1)에서는, 신호(SIG1)의 전압 레벨에 관계없이, 출력 임피던스를 50[Ω] 정도로 할 수 있고, 임피던스 매칭을 실현하기 쉽게 할 수 있도록 되어 있다.

[0044] 또한, 드라이버 제어부(60)는, 온 상태로 하는 트랜지스터의 수를 변경할 수 있도록 되어 있다. 구체적으로는, 예를 들면, 3개의 트랜지스터를 온 상태로 하는 경우에는, 드라이버 제어부(60)는, 신호(P61~P65) 중의 예를 들면 3개를 "1"로 함에 의해 3개의 트랜지스터(92)를 온 상태로 하고 신호(N61~N65) 중의 예를 들면 3개를 "1"로 함에 의해 3개의 트랜지스터(93)를 온 상태로 한다. 또한, 예를 들면, 5개의 트랜지스터를 온 상태로 하는 경우에는, 신호(P61~P65)의 전부를 "1"로 함에 의해 5개의 트랜지스터(92)를 온 상태로 하고, 신호(N61~N65)의 전부를 "1"로 함에 의해 5개의 트랜지스터(93)를 온 상태로 한다. 이에 의해, 드라이버부(DRV1)에서는, 출력 신호(SIG1)의 슬루 레이트를 조절할 수 있도록 되어 있다.

[0045] 제어부(20)는, 모드 선택 신호(MSEL)에 의거하여, 3개의 동작 모드(M1~M3) 중의 하나를 선택하고, 송신부(10)가 그 선택된 동작 모드로 동작하도록, 송신부(10)를 제어하는 것이다. 여기서, 동작 모드(M1)는, 수신 장치에 대해 차동 신호에 의해 데이터를 송신하는 모드이고, 동작 모드(M2)는, 수신 장치에 대해 3상 신호에 의해 데이터를 송신하는 모드이고, 동작 모드(M3)는, 수신 장치에 대해 단상 신호에 의해 데이터를 송신하는 모드이다. 모드 선택 신호(MSEL)는, 예를 들면 송신 장치(1)의 외부로부터 공급되는 것이다. 제어부(20)는, 이 모드 선택 신호(MSEL)에 의거하여, 이들 3개의 동작 모드(M1~M3) 중의 하나를 선택한다. 그리고, 제어부(20)는, 선택된 동작 모드에 응하여, 클럭 신호(CLK1, CLK2), 및 제어 신호(CTL1, CTL2, SINV, SEL1~SEL6, SMM)를 생성하고, 이들의 제어 신호를 이용하여 송신부(10)의 각 블록의 동작을 제어하도록 되어 있다.

[0046] 도 6은, 송신부(10)가 동작 모드(M1)로 동작하는 통신 시스템(4)의 한 구성례를 도시하는 것이다. 통신 시스템(4)은, 송신 장치(1)와, 수신 장치(110)를 구비하고 있다. 수신 장치(110)는, 레시버부(111~113)를 갖고 있다. 이 모드에서는, 드라이버부(DRV1, DRV2)가 레시버부(111)에 대해 신호(SIG1, SIG2)를 각각 송신하고, 드라이버부(DRV3, DRV4)가 레시버부(112)에 대해 신호(SIG3, SIG4)를 각각 송신하고, 드라이버부(DRV5, DRV6)가 레시버부(113)에 대해 신호(SIG5, SIG6)를 각각 송신한다. 여기서, 신호(SIG1, SIG2)는 차동 신호를 구성하고, 신호(SIG3, SIG4)는 차동 신호를 구성하고, 신호(SIG5, SIG6)는 차동 신호를 구성한다. 즉, 예를 들면, 신호(SIG1, SIG2) 중의 일방은 고레벨 전압(VH)이고, 타방은 저레벨 전압(VL)이다. 그리고, 레시버부(111)는, 신호(SIG1, SIG2)를 수신하고, 레시버부(112)는, 신호(SIG3, SIG4)를 수신하고, 레시버부(113)는, 신호(SIG5, SIG6)를 수신하도록 되어 있다. 또한, 이 예에서는, 하나의 수신 장치(110)에 3개의 레시버부(111~113)를 마련하고, 그 수신 장치(110)에 대해 데이터를 송신하였지만, 이것으로 한정되는 것이 아니고, 이에 대신하여, 예를 들면, 3개의 수신 장치에 각각 레시버부를 하나씩 마련하고, 이들 3개의 수신 장치에 대해 데이터를 송신하여도 좋다.

[0047] 도 7은, 레시버부(111)의 한 구성례를 도시하는 것이다. 또한, 이하에서는 레시버부(111)를 예로 설명하지만, 레시버부(112, 113)에 관해서도 마찬가지이다. 레시버부(111)는, 저항 소자(116)와, 앰프(117)를 갖고 있다. 저항 소자(116)는, 통신 시스템(4)의 중단 저항으로서 기능하는 것이고, 저항치는, 이 예에서는, 100[Ω] 정도이다. 저항 소자(116)의 일단은 입력 단자(Tin11) 등에 접속됨과 함께 신호(SIG1)가 공급되고, 타단은 입력 단자(Tin12) 등에 접속됨과 함께 신호(SIG2)가 공급된다. 앰프(117)는, 정입력 단자에서의 신호와 부입력 단자에서의 신호의 차분에 응하여 "1" 또는 "0"을 출력하는 것이다. 앰프(117)의 정입력 단자는, 저항 소자(116)의 일단 및 입력 단자(Tin11)에 접속됨과 함께 신호(SIG1)가 공급되고, 부입력 단자는, 저항 소자(116)의 타단 및 입력 단자(Tin12)에 접속됨과 함께 신호(SIG2)가 공급되어 있다.

[0048] 이 구성에 의해, 통신 시스템(4)에서는, 차동 신호에 의해 데이터를 송수신할 수 있도록 되어 있다.

[0049] 도 8은, 송신부(10)가 동작 모드(M2)로 동작하는 통신 시스템(5)의 한 구성례를 도시하는 것이다. 통신 시스템

(5)는, 송신 장치(1)와, 수신 장치(120)를 구비하고 있다. 수신 장치(120)는, 레시버부(121, 122)를 갖고 있다. 이 모드에서는, 드라이버부(DRV1~DRV3)가 레시버부(121)에 대해 신호(SIG1~SIG3)를 각각 송신하고, 드라이버부(DRV4~DRV6)가 레시버부(122)에 대해 신호(SIG4~SIG6)를 각각 송신한다. 여기서, 신호(SIG1~SIG3)는 3상 신호를 구성하고, 신호(SIG4~SIG6)는 3상 신호를 구성한다. 즉, 신호(SIG1~SIG3)는, 서로 다른 전압 레벨(고레벨 전압(VH), 저레벨 전압(VL), 중레벨 전압(VM))이 된 것이다. 그리고, 레시버부(121)는, 신호(SIG1~SIG3)를 수신하고, 레시버부(122)는, 신호(SIG4~SIG6)를 수신하도록 되어 있다.

[0050] 도 9는, 레시버부(121)의 한 구성례를 도시하는 것이다. 또한, 이하에서는 레시버부(121)를 예로 설명하지만, 레시버부(122)에 관해서도 마찬가지이다. 레시버부(121)는, 저항 소자(124~126)와, 앰프(127~129)를 갖고 있다. 저항 소자(124~126)는, 통신 시스템(5)의 종단 저항으로서 기능하는 것이고, 저항치는, 이 예에서는, 50 [Ω] 정도이다. 저항 소자(124)의 일단은 입력 단자(Tin21) 등에 접속됨과 함께 신호(SIG1)가 공급되고, 타단은 저항 소자(125, 126)의 타단에 접속되어 있다. 저항 소자(125)의 일단은 입력 단자(Tin22) 등에 접속됨과 함께 신호(SIG2)가 공급되고, 타단은 저항 소자(124, 126)의 타단에 접속되어 있다. 저항 소자(126)의 일단은 입력 단자(Tin23) 등에 접속됨과 함께 신호(SIG3)가 공급되고, 타단은 저항 소자(124, 126)의 타단에 접속되어 있다. 앰프(127)의 정입력 단자는, 앰프(129)의 부입력 단자, 저항 소자(126)의 일단, 및 입력 단자(Tin21)에 접속됨과 함께 신호(SIG1)가 공급되고, 부입력 단자는, 앰프(128)의 정입력 단자, 저항 소자(125)의 일단, 및 입력 단자(Tin22)에 접속됨과 함께 신호(SIG2)가 공급된다. 앰프(128)의 정입력 단자는, 앰프(127)의 부입력 단자, 저항 소자(125)의 일단, 및 입력 단자(Tin22)에 접속됨과 함께 신호(SIG2)가 공급되고, 부입력 단자는, 앰프(129)의 정입력 단자, 저항 소자(126)의 일단, 및 입력 단자(Tin23)에 접속됨과 함께 신호(SIG3)가 공급된다. 앰프(129)의 정입력 단자는, 앰프(128)의 부입력 단자, 저항 소자(126)의 일단, 및 입력 단자(Tin23)에 접속됨과 함께 신호(SIG3)가 공급되고, 부입력 단자는, 앰프(127)의 정입력 단자, 저항 소자(124)의 일단, 및 입력 단자(Tin21)에 접속됨과 함께 신호(SIG1)가 공급된다.

[0051] 도 10은, 레시버부(121)의 한 동작례를 도시하는 것이다. 이 예에서는, 신호(SIG1)는 고레벨 전압(VH)이고, 신호(SIG2)는 저레벨 전압(VL)이고, 신호(SIG3)는 중레벨 전압(VM)이다. 이 경우에는, 입력 단자(Tin21), 저항 소자(124), 저항 소자(125), 입력 단자(Tin22)의 순서로 전류(Iin)가 흐른다. 그리고, 앰프(127)의 정입력 단자에는 고레벨 전압(VH)이 공급됨과 함께 부입력 단자에는 저레벨 전압(VL)이 공급되고, 앰프(127)는 "1"을 출력한다. 또한, 앰프(128)의 정입력 단자에는 저레벨 전압(VL)이 공급됨과 함께 부입력 단자에는 중레벨 전압(VM)이 공급되고, 앰프(128)는 "0"을 출력한다. 또한, 앰프(129)의 정입력 단자에는 중레벨 전압(VM)이 공급됨과 함께 부입력 단자에는 고레벨 전압(VH)이 공급되고, 앰프(127)는 "0"을 출력하도록 되어 있다.

[0052] 이 구성에 의해, 통신 시스템(5)에서는, 3상 신호에 의해 데이터를 송수신할 수 있도록 되어 있다.

[0053] 도 11은, 송신부(10)가 동작 모드(M3)로 동작하는 통신 시스템(6)의 한 구성례를 도시하는 것이다. 통신 시스템(6)는, 송신 장치(1)와, 수신 장치(130)를 구비하고 있다. 수신 장치(130)는, 레시버부(131~136)를 갖고 있다. 이 모드에서는, 드라이버부(DRV1~DRV6)가 레시버부(131~136)에 대해 신호(SIG1~SIG6)를 각각 송신한다. 여기서, 신호(SIG1~SIG6)의 각각은, 단상 신호이다. 그리고, 레시버부(131~136)는, 신호(SIG1~SIG6)를 각각 수신하도록 되어 있다.

[0054] 도 12는, 레시버부(131)의 한 구성례를 도시하는 것이다. 또한, 이하에서는 레시버부(131)를 예로 설명하지만, 레시버부(132~136)에 관해서도 마찬가지이다. 레시버부(131)는, 저항 소자(138)와, 앰프(139)를 갖고 있다. 저항 소자(138)는, 통신 시스템(6)의 종단 저항으로서 기능하는 것이고, 저항치는, 이 예에서는, 50[Ω] 정도이다. 저항 소자(138)의 일단은 입력 단자(Tin31) 등에 접속됨과 함께 신호(SIG1)가 공급되고, 타단에는 바이어스 전압(V2)이 공급되어 있다. 앰프(139)의 정입력 단자는, 저항 소자(138)의 일단 및 입력 단자(Tin31)에 접속됨과 함께 신호(SIG1)가 공급되고, 부입력 단자에는, 바이어스 전압(V3)이 공급되어 있다.

[0055] 이 구성에 의해, 통신 시스템(6)에서는, 단상 신호에 의해 데이터를 송수신할 수 있도록 되어 있다.

[0056] 다음에, 송신부(10)의 레이아웃에 관해 설명한다.

[0057] 도 13은, 송신부(10)에서의 각 블록의 회로 배치를 도시하는 것이다. 이 도 13에는, 패드(PAD1~PAD6) 및 ESD(Electro-Static Discharge) 보호 회로(ESD1~ESD6)도 아울러서 도시하고 있다. 패드(PAD1~PAD6)는, 출력 단자(Tout1~Tout6)에 대응하는 것이고, ESD 보호 회로(ESD1~ESD6)는, 이들의 패드(PAD1~PAD6)의 근처에 각각 배치되어 있다. 또한, 이 도 13에서는, 셀렉터(22, 24, 26, 31~36)를 생략하고 있다. 실선의 화살표는, 시리즈라이저(SER1~SER6)로부터, 배타적 논리합 회로(41~46)에의 신호의 흐름과, 논리합 회로(51~56)로부터 드

라이버부(DRV1~DRV6)에의 신호의 흐름을 나타내고 있다.

- [0058] 이 예에서는, 시리얼라이저(SER1), 배타적 논리합 회로(41), 논리합 회로(51), 및 드라이버부(DRV1)가 서로 근접하도록 배치하고 있다. 마찬가지로, 시리얼라이저(SER2), 배타적 논리합 회로(42), 논리합 회로(52), 드라이버부(DRV2)가 서로 근접하도록 배치하고, 시리얼라이저(SER3), 배타적 논리합 회로(43), 논리합 회로(53), 드라이버부(DRV3)가 서로 근접하도록 배치하고, 시리얼라이저(SER4), 배타적 논리합 회로(44), 논리합 회로(54), 드라이버부(DRV4)가 서로 근접하도록 배치하고, 시리얼라이저(SER5), 배타적 논리합 회로(45), 논리합 회로(55), 드라이버부(DRV5)가 서로 근접하도록 배치하고, 시리얼라이저(SER6), 배타적 논리합 회로(46), 논리합 회로(56), 드라이버부(DRV6)가 서로 근접하도록 배치하고 있다. 이 예에서는, 이와 같이 레이아웃함에 의해, 패드(PAD1~PAD6)의 배치의 순번과, 시리얼라이저(SER1~SER6)의 배치의 순번을 같게 하고 있다.
- [0059] 여기서, 셀렉터(31)는, 본 개시에서의 「제1의 셀렉터」의 한 구체례에 대응하고, 셀렉터(22, 32)는, 본 개시에서의 「제2의 셀렉터」의 한 구체례에 대응한다. 배타적 논리합 회로(41~43)는, 본 개시에서의 「제1의 제어 신호 생성부」의 한 구체례에 대응한다. 드라이버부(DRV1)는, 본 개시에서의 「제1의 드라이버부」의 한 구체례에 대응하고, 드라이버부(DRV2)는, 본 개시에서의 「제2의 드라이버부」의 한 구체례에 대응한다. 동작 모드(M1)는, 본 개시에서의 「제1의 동작 모드」의 한 구체례에 대응하고, 동작 모드(M2)는, 본 개시에서의 「제2의 동작 모드」의 한 구체례에 대응하고, 동작 모드(M3)는, 본 개시에서의 「제3의 동작 모드」의 한 구체례에 대응한다. 고레벨 전압(VH)은, 본 개시에서의 「제1의 전압」의 한 구체례에 대응하고, 저레벨 전압(VL)은, 본 개시에서의 「제2의 전압」의 한 구체례에 대응하고, 중레벨 전압(VM)은, 본 개시에서의 「제3의 전압」의 한 구체례에 대응한다.
- [0060] [동작 및 작용]
- [0061] 계속되고, 본 실시의 형태의 송신 장치(1)의 동작 및 작용에 관해 설명한다.
- [0062] (전체 동작 개요)
- [0063] 우선, 도 1, 2 등을 참조하여, 송신 장치(1)의 전체 동작 개요를 설명한다. 처리부(9)는, 6조의 패럴렐 신호(DATA1~DATA6)를 생성한다. 송신부(10)는, 패럴렐 신호(DATA1~DATA6) 및 모드 선택 신호(MSEL)에 의거하여, 신호(SIG1~SIG6)를 생성하고, 전송선로(101~106)를 통하여, 수신 장치에 송신한다. 송신부(10)의 제어부(20)는, 모드 선택 신호(MSEL)에 의거하여, 3개의 동작 모드(M1~M3) 중의 하나를 선택하고, 송신부(10)가 그 선택된 동작 모드로 동작하도록, 송신부(10)를 제어한다.
- [0064] (동작 모드(M1))
- [0065] 동작 모드(M1)에서는, 송신 장치(1)는, 수신 장치에 대해 차동 신호에 의해 데이터를 송신한다. 이하에, 동작 모드(M1)에서의 상세 동작에 관해 설명한다.
- [0066] 도 14A, 14B는, 동작 모드(M1)에서의 송신부(10)의 한 동작례를 도시하는 것이고, 도 14A는 하나의 동작 상태를 도시하고, 도 14B는 다른 동작 상태를 도시한다.
- [0067] 동작 모드(M1)에서는, 제어부(20)는, 클록 신호(CLK1, CLK2) 및 제어 신호(CTL1, CTL2)를 생성한다. 여기서, 클록 신호(CLK1, CLK2)는, 서로 위상이 180도 어긋난 신호이다. 그리고, 제어부(20)는, 시리얼라이저(SER1, SER3, SER5)에 대해 클록 신호(CLK1) 및 제어 신호(CTL1)를 공급하여 패럴렐 신호(DATA1, DATA3, DATA5)를 시리얼라이즈하도록 각각 제어함과 함께, 시리얼라이저(SER2, SER4, SER6)에 대해 클록 신호(CLK2) 및 제어 신호(CTL2)를 공급하여 패럴렐 신호(DATA2, DATA4, DATA6)를 시리얼라이즈하도록 각각 제어한다.
- [0068] 또한, 제어부(20)는, 셀렉터(22, 24, 26)에 대해 제어 신호(SINV)를 공급하고, 셀렉터(22)가 신호(N12)를 선택하여 출력하고, 셀렉터(24)가 신호(N14)를 선택하여 출력하고, 셀렉터(26)가 신호(N16)를 선택하여 출력하도록 각각 제어한다.
- [0069] 또한, 제어부(20)는, 셀렉터(31)에 대해 제어 신호(SEL1)를 공급하고, 셀렉터(31)가 신호(P11)와 신호(P12)를 교대로 선택하여 출력하도록 제어함과 함께, 셀렉터(32)에 대해 제어 신호(SEL2)를 공급하고, 셀렉터(32)가 신호(N11)와 셀렉터(22)의 출력 신호(신호(N12))를 교대로 선택하여 출력하도록 제어한다. 그 때, 제어부(20)는, 셀렉터(31)가 신호(P11)를 선택하여 출력할 때는 셀렉터(32)가 신호(N11)를 선택하도록 셀렉터(31, 32)를 제어하고(도 14A), 셀렉터(31)가 신호(P12)를 선택하여 출력할 때는 셀렉터(32)가 신호(N12)를 선택하도록 셀렉터(31, 32)를 제어한다(도 14B).

- [0070] 도 15는, 셀렉터(31, 32)의 한 동작례를 도시하는 타이밍 파형도를 도시하는 것이고, (A)는 신호(P11) 또는 신호(N11)의 파형을 나타내고, (B)는 신호(P12) 또는 신호(N12)의 파형을 나타내고, (C)는 신호(S31) 또는 신호(S32)의 파형을 나타낸다. 이 예에서는, 시리얼라이저(SER1)는, 클록 신호(CLK1)에 동기하여, 데이터(S0, S2, S4, ...)를 이 순서로 신호(P11, N11)로서 출력하고, 시리얼라이저(SER2)는, 클록 신호(CLK2)에 동기하여, 데이터(S1, S3, S5, ...)를 이 순서로 신호(P12, N12)로서 출력한다. 그 때, 클록 신호(CLK1, CLK2)는 서로 위상이 180도 어긋나 있기 때문에, 신호(P11, N11)의 천이 타이밍과, 신호(P12, N12)의 천이 타이밍도 또한 어긋난다. 신호(P11, N11)에서의 데이터가 안정되어 있는 기간(T1)에서(도 15(A)), 셀렉터(31)는 신호(P11)를 선택하여 신호(S31)로서 출력함과 함께, 셀렉터(32)는 신호(N11)를 선택하여 신호(S32)로서 출력한다(도 15(C)). 또한, 신호(P12, N12)에서의 데이터가 안정되어 있는 기간(T2)에서(도 15(B)), 셀렉터(31)는 신호(P12)를 선택하여 신호(S31)로서 출력함과 함께, 셀렉터(32)는 신호(N12)를 선택하여 신호(S32)로서 출력한다(도 15(C)). 여기서, 신호(N11)는 신호(P11)의 반전 신호이고, 신호(N12)는 신호(P12)의 반전 신호이기 때문에, 신호(S32)는, 신호(S31)의 반전 신호이다. 이와 같은 동작의 결과, 신호(S31, 32)에는, 데이터(S0, S1, S2, ...)가 이 순서로 나열한다. 즉, 동작 모드(M1)에서는, 셀렉터(31, 32)는, 2 : 1의 시리얼라이저로서 기능한다.
- [0071] 마찬가지로, 제어부(20)는, 셀렉터(33)에 대해 제어 신호(SEL3)를 공급하고, 셀렉터(33)가 신호(P13)와 신호(P14)를 교대로 선택하여 출력하도록 제어함과 함께, 셀렉터(34)에 대해 제어 신호(SEL4)를 공급하고, 셀렉터(34)가 신호(N13)와 셀렉터(24)의 출력 신호(신호(N14))를 교대로 선택하여 출력하도록 제어한다. 또한, 제어부(20)는, 셀렉터(35)에 대해 제어 신호(SEL5)를 공급하고, 셀렉터(35)가 신호(P15)와 신호(P16)를 교대로 선택하여 출력하도록 제어함과 함께, 셀렉터(36)에 대해 제어 신호(SEL6)를 공급하고, 셀렉터(36)가 신호(N15)와 셀렉터(26)의 출력 신호(신호(N16))를 교대로 선택하여 출력하도록 제어한다.
- [0072] 또한, 제어부(20)는, 논리합 회로(51~56)에 대해, "1"을 나타내는 제어 신호(SMM)를 공급한다. 이에 의해, 신호(S51~S56)는 "1"이 된다. 그 결과, 드라이버부(DRV1~DRV6)는, 신호(S31~S36)에 응하여, 신호(SIG1~SIG6)를 고레벨 전압(VH) 또는 저레벨 전압(VL)으로 각각 설정한다. 그 때, 신호(S31)와 신호(S32)는 서로 반전하고 있기 때문에, 신호(SIG1, SIG2)는 차동 신호를 구성한다. 마찬가지로, 신호(SIG3, SIG4)는 차동 신호를 구성하고, 신호(SIG5, SIG6)는 차동 신호를 구성한다.
- [0073] 이와 같이, 동작 모드(M1)에서는, 송신 장치(1)는, 수신 장치에 대해 차동 신호에 의해 데이터를 송신한다.
- [0074] (동작 모드(M2))
- [0075] 동작 모드(M2)에서는, 송신 장치(1)는, 수신 장치에 대해 3상 신호에 의해 데이터를 송신한다. 이하에, 동작 모드(M2)에서의 상세 동작에 관해 설명한다.
- [0076] 도 16은, 동작 모드(M2)에서의 송신부(10)의 한 동작례를 도시하는 것이다. 동작 모드(M2)에서는, 제어부(20)는, 클록 신호(CLK1, CLK2) 및 제어 신호(CTL1, CTL2)를 생성한다. 여기서, 클록 신호(CLK1, CLK2)는, 위상이 거의 동등한 신호이다. 그리고, 제어부(20)는, 시리얼라이저(SER1, SER3, SER5)에 대해 클록 신호(CLK1) 및 제어 신호(CTL1)를 공급하여 패럴렐 신호(DATA1, DATA3, DATA5)를 시리얼라이즈하도록 각각 제어함과 함께, 시리얼라이저(SER2, SER4, SER6)에 대해 클록 신호(CLK2) 및 제어 신호(CTL2)를 공급하여 패럴렐 신호(DATA2, DATA4, DATA6)를 시리얼라이즈하도록 각각 제어한다.
- [0077] 또한, 제어부(20)는, 셀렉터(22, 24, 26)에 대해 제어 신호(SINV)를 공급하고, 셀렉터(22)가 신호(P12)를 선택하여 출력하고, 셀렉터(24)가 신호(P14)를 선택하여 출력하고, 셀렉터(26)가 신호(P16)를 선택하여 출력하도록 각각 제어한다.
- [0078] 또한, 제어부(20)는, 셀렉터(31)에 대해 제어 신호(SEL1)를 공급하여 신호(P11)를 선택하여 신호(S31)로서 출력하도록 제어하고, 셀렉터(32)에 대해 제어 신호(SEL2)를 공급하여 셀렉터(22)의 출력 신호(신호(P12))를 선택하여 신호(S32)로서 출력하도록 제어하고, 셀렉터(33)에 대해 제어 신호(SEL3)를 공급하여 신호(P13)를 선택하여 신호(S33)로서 출력하도록 제어한다. 마찬가지로, 제어부(20)는, 셀렉터(34)에 대해 제어 신호(SEL4)를 공급하여 셀렉터(24)의 출력 신호(신호(P14))를 선택하여 신호(S34)로서 출력하도록 제어하고, 셀렉터(35)에 대해 제어 신호(SEL5)를 공급하여 신호(P15)를 선택하여 신호(S35)로서 출력하도록 제어하고, 셀렉터(36)에 대해 제어 신호(SEL6)를 공급하여 셀렉터(26)의 출력 신호(신호(P16))를 선택하여 신호(S36)로서 출력하도록 제어한다.
- [0079] 또한, 제어부(20)는, 논리합 회로(51~56)에 대해, "0"을 나타내는 제어 신호(SMM)를 공급한다. 이에 의해, 신호(S51~S56)는, 배타적 논리합 회로(41~46)의 출력 신호와 같은 신호가 된다. 그 결과, 드라이버부(DRV1~DRV3)는, 신호(S31~S33) 및 신호(S51~S53)에 의거하여, 신호(SIG1~SIG3)를, 서로 다른 3개의 전압(고레벨

전압(VH), 저레벨 전압(VL), 중레벨 전압(VM))으로 설정한다. 마찬가지로, 드라이버부(DRV4~DRV6)는, 신호(S34~S36) 및 신호(S54~S56)에 의거하여, 신호(SIG4~SIG6)를, 서로 다른 3개의 전압(고레벨 전압(VH), 저레벨 전압(VL), 중레벨 전압(VM))으로 설정한다.

[0080] 도 17은, 배타적 논리합 회로(41~43) 및 드라이버부(DRV1~DRV3)의 동작을 도시하는 것이다. 또한, 배타적 논리합 회로(44~46) 및 드라이버부(DRV4~DRV6)에 관해서도 마찬가지이다.

[0081] 예를 들면, 신호(P11)가 "1"이고, 신호(P12, P13)가 함께 "0"인 경우에는, 신호(S51, S52)가 함께 "1"이 되고, 신호(S53)가 "0"이 된다. 따라서, 드라이버부(DRV1)는, 신호(S31)(신호(P11))가 "1"이고, 신호(S51)가 "1"이기 때문에, 신호(SIG1)를 고레벨 전압(VH)으로 설정한다. 또한, 드라이버부(DRV2)는, 신호(S32)(신호(P12))가 "0"이고, 신호(S52)가 "1"이기 때문에, 신호(SIG2)를 저레벨 전압(VL)으로 설정한다. 또한, 드라이버부(DRV3)는, 신호(S53)가 "0"이기 때문에, 신호(SIG3)를 중레벨 전압(VM)으로 설정한다.

[0082] 또한, 예를 들면, 신호(P11, P13)가 함께 "0"이고, 신호(P12)가 "1"인 경우에는, 신호(S51)가 "0"이 되고, 신호(S52, S53)가 함께 "1"이 된다. 따라서, 드라이버부(DRV1)는, 신호(S51)가 "0"이기 때문에, 신호(SIG1)를 중레벨 전압(VM)으로 설정한다. 또한, 드라이버부(DRV2)는, 신호(S32)(신호(P12))가 "1"이고, 신호(S52)가 "1"이기 때문에, 신호(SIG2)를 고레벨 전압(VH)으로 설정한다. 또한, 드라이버부(DRV3)는, 신호(S33)(신호(P13))가 "0"이고, 신호(S53)가 "1"이기 때문에, 신호(SIG3)를 저레벨 전압(VL)으로 설정한다.

[0083] 또한, 예를 들면, 신호(P11, P12)가 함께 "0"이고, 신호(P13)가 "1"인 경우에는, 신호(S51, S53)가 함께 "1"이 되고, 신호(S52)가 "0"이 된다. 따라서, 드라이버부(DRV1)는, 신호(S31)(신호(P11))가 "0"이고, 신호(S51)가 "1"이기 때문에, 신호(SIG1)를 저레벨 전압(VL)으로 설정한다. 또한, 드라이버부(DRV2)는, 신호(S52)가 "0"이기 때문에, 신호(SIG2)를 중레벨 전압(VM)으로 설정한다. 또한, 드라이버부(DRV3)는, 신호(S33)(신호(P13))가 "1"이고, 신호(S53)가 "1"이기 때문에, 신호(SIG3)를 고레벨 전압(VH)으로 설정한다.

[0084] 이와 같이, 동작 모드(M2)에서는, 송신 장치(1)는, 수신 장치에 대해 3상 신호에 의해 데이터를 송신한다.

[0085] (동작 모드(M3))

[0086] 동작 모드(M3)에서는, 송신 장치(1)는, 수신 장치에 대해 단상 신호에 의해 데이터를 송신한다. 이하에, 동작 모드(M3)에서의 상세 동작에 관해 설명한다.

[0087] 도 18은, 동작 모드(M3)에서의 송신부(10)의 한 동작례를 도시하는 것이다. 동작 모드(M3)에서는, 제어부(20)는, 클럭 신호(CLK1, CLK2) 및 제어 신호(CTL1, CTL2)를 생성한다. 이 예에서는, 클럭 신호(CLK1, CLK2)는, 위상이 거의 동등한 신호이다. 그리고, 제어부(20)는, 시리얼라이저(SER1, SER3, SER5)에 대해 클럭 신호(CLK1) 및 제어 신호(CTL1)를 공급하여 패럴렐 신호(DATA1, DATA3, DATA5)를 시리얼라이즈하도록 각각 제어함과 함께, 시리얼라이저(SER2, SER4, SER6)에 대해 클럭 신호(CLK2) 및 제어 신호(CTL2)를 공급하여 패럴렐 신호(DATA2, DATA4, DATA6)를 시리얼라이즈하도록 각각 제어한다.

[0088] 또한, 제어부(20)는, 셀렉터(22, 24, 26)에 대해 제어 신호(SINV)를 공급하고, 셀렉터(22)가 신호(P12)를 선택하여 출력하고, 셀렉터(24)가 신호(P14)를 선택하여 출력하고, 셀렉터(26)가 신호(P16)를 선택하여 출력하도록 각각 제어한다.

[0089] 또한, 제어부(20)는, 셀렉터(31)에 대해 제어 신호(SEL1)를 공급하여 신호(P11)를 선택하여 신호(S31)로서 출력하도록 제어한다. 또한, 제어부(20)는, 셀렉터(32)에 대해 제어 신호(SEL2)를 공급하여 셀렉터(22)의 출력 신호(신호(P12))를 선택하여 신호(S32)로서 출력하도록 제어한다. 제어부(20)는, 셀렉터(33)에 대해 제어 신호(SEL3)를 공급하여 신호(P13)를 선택하여 신호(S33)로서 출력하도록 제어한다. 제어부(20)는, 셀렉터(34)에 대해 제어 신호(SEL4)를 공급하여 셀렉터(24)의 출력 신호(신호(P14))를 선택하여 신호(S34)로서 출력하도록 제어한다. 제어부(20)는, 셀렉터(35)에 대해 제어 신호(SEL5)를 공급하여 신호(P15)를 선택하여 신호(S35)로서 출력하도록 제어한다. 제어부(20)는, 셀렉터(36)에 대해 제어 신호(SEL6)를 공급하여 셀렉터(26)의 출력 신호(신호(P16))를 선택하여 신호(S36)로서 출력하도록 제어한다.

[0090] 또한, 제어부(20)는, 논리합 회로(51~56)에 대해, "1"을 나타내는 제어 신호(SMM)를 공급한다. 이에 의해, 신호(S51~S56)는 "1"이 된다. 그 결과, 드라이버부(DRV1~DRV6)는, 신호(S31~S36)에 응하여, 신호(SIG1~SIG6)를 고레벨 전압(VH) 또는 저레벨 전압(VL)으로 설정한다.

[0091] 이와 같이, 동작 모드(M1)에서는, 송신 장치(1)는, 수신 장치에 대해 단상 신호에 의해 데이터를 송신한다.

- [0092] 이상과 같이, 송신 장치(1)에서는, 복수의 동작 모드(M1~M3)를 마련하여, 차동 신호, 3상 신호, 및 단상 신호에 의해 수신 장치에 대해 데이터를 송신할 수 있도록 하였기 때문에, 다양한 인터페이스를 실현할 수 있다.
- [0093] 이에 의해, 예를 들면, 전자 기기의 시스템 설계의 자유도를 높일 수 있다. 구체적으로는, 예를 들면, 이 송신부(10)를 프로세서에 탑재한 경우에는, 3상 신호에 대응한 주변 디바이스를 이용하여 전자 기기를 구성할 수도 있고, 차동 신호에 대응한 주변 디바이스를 이용하여 전자 기기를 구성할 수도 있다. 또한, 예를 들면, 하나의 프로세서로 다양한 인터페이스를 실현할 수 있기 때문에, 인터페이스마다 프로세서를 준비할 필요가 없기 때문에, 프로세서의 품종수를 줄일 수 있고, 비용을 삭감할 수 있다. 또한, 각 동작 모드(M1~M3)에서, 시리얼라이저(SER1~SER6), 셀렉터(31~36), 드라이버부(DRV1~DRV6) 등을 공용하도록 하였기 때문에, 인터페이스마다 다른 회로를 마련하는 경우에 비하여, 회로 배치에 필요한 면적을 억제할 수 있다.
- [0094] [효과]
- [0095] 이상과 같이 본 실시의 형태에서는, 복수의 동작 모드를 마련하여, 차동 신호, 3상 신호, 및 단상 신호에 의해 수신 장치에 대해 데이터를 송신할 수 있도록 하였기 때문에, 다양한 인터페이스를 실현할 수 있다.
- [0096] [변형례 1]
- [0097] 상기 실시의 형태에서는, 도 13에 도시한 바와 같이, 패드(PAD1~PAD6)의 배치의 순번과, 시리얼라이저(SER1~SER6)의 배치의 순번을 같게 하였지만, 이것으로 한정되는 것이 아니고, 이에 대신하여, 예를 들면, 도 19에 도시한 바와 같이, 패드(PAD1~PAD6)의 배치의 순번과, 시리얼라이저(SER1~SER6)의 배치의 순번이 다르도록 하여도 좋다. 이 예에서는, 시리얼라이저(SER3), 배타적 논리합 회로(42), 논리합 회로(52), 및 드라이버부(DRV2)가 서로 근접하도록 배치하고, 시리얼라이저(SER2), 배타적 논리합 회로(43), 논리합 회로(53), 및 드라이버부(DRV3)가 서로 근접하도록 배치하고, 시리얼라이저(SER6), 배타적 논리합 회로(44), 논리합 회로(55), 및 드라이버부(DRV5)가 서로 근접하도록 배치하고, 시리얼라이저(SER5), 배타적 논리합 회로(46), 논리합 회로(56), 및 드라이버부(DRV6)가 서로 근접하도록 배치하고 있다. 즉, 이 도 19의 예는, 도 13의 예에 있어서, 시리얼라이저(SER2)와 시리얼라이저(SER3)를 교체하고, 시리얼라이저(SER5)와 시리얼라이저(SER6)를 교체한 것이다. 이에 의해, 본 변형례에서는, 시리얼라이저(SER1~SER6)로부터 배타적 논리합 회로(41~46)에의 신호 패스의 길이의 편차를 억제할 수 있다. 즉, 도 13에 도시한 예에서는, 시리얼라이저(SER3)로부터 배타적 논리합 회로(41)에의 신호 패스가 다른 신호 패스에 비하여 길어진다. 이에 의해, 이 신호 패스를 통과한 신호가 지연되고, 결과로서 신호(SIG1) 등의 파형이 흐트러질 우려가 있다. 한편, 본 변형례(도 19)에서는, 시리얼라이저(SER1~SER6)로부터 배타적 논리합 회로(41~46)에의 신호 패스의 길이의 편차를 억제할 수 있기 때문에, 신호(SIG1~SIG6)의 파형이 흐트러질 우려를 절감할 수 있다.
- [0098] [변형례 2]
- [0099] 상기 실시의 형태에서는, 제어부(20)는, 동작 모드(M1~M3)에 응하여 시리얼라이저(SER1~SER6)의 동작을 제어하였지만, 그 때, 예를 들면, 동작 모드(M1~M3)에 응하여 동작 주파수를 변경하도록 하여도 좋다. 또한, 예를 들면, 플립플롭(81~87) 중의 사용하는 플립플롭의 수를 변경하도록 하여도 좋다. 예를 들면, 시리얼라이저(SER1)의 플립플롭(81~87) 중의 5개의 플립플롭을 사용하는 경우에는, 우선, 처리부(9)가, 패럴렐 신호(DATA 1)로서, 신호(D[4]~D[0])를 시리얼라이저(SER1)에 공급한다. 그리고, 시리얼라이저(SER1)에서는, 제어 신호(CTL1)를 "1"로 함에 의해, 플립플롭(83~87)이, 신호(D[4]~D[0])를 각각 기억한다. 그리고, 제어 신호(CTL1)를 "0"으로 함에 의해, 시리얼라이저(SER1)는, 클록 신호(CLK1)에 동기하여 신호(D[0]~D[4])를 이 순서로 출력한다. 이에 의해, 시리얼라이저(SER1)는 5 : 1의 시리얼라이저로서 동작한다.
- [0100] [변형례 3]
- [0101] 상기 실시의 형태에서는, 송신부(10)에 6개의 드라이버부(DRV1~DRV6)를 마련하였지만, 이것으로 한정되는 것이 아니고, 이에 대신하여, 예를 들면, 도 20에 나타내는 송신부(10C)와 같이, 4개의 드라이버부(DRV1~DRV4)를 마련하여도 좋다. 이 송신부(10C)는, 상기 실시의 형태에 관한 송신부(10)(도 2)로부터, 시리얼라이저(SER5, SER6), 셀렉터(26, 35, 36), 배타적 논리합 회로(44~46), 논리합 회로(55, 56), 및 드라이버부(DRV5, DRV6)를 생략한 것이다. 이 예에서는, 드라이버부(DRV4)에 공급되는 신호(S54)를 "1"로 설정하고 있다. 제어부(20C)는, 동작 모드(M1~M3)에 응하여, 클록 신호(CLK1, CLK2), 및 제어 신호(CTL1, CTL2, SINV, SEL1~SEL4, SMM)를 생성하고, 이들 제어 신호를 이용하여 송신부(10C)의 각 블록의 동작을 제어한다. 이에 의해, 송신부(10C)는, 동작 모드(M1)에서는, 신호(SIG1, SIG2)가 차동 신호를 구성하고, 신호(SIG3, SIG4)가 차동 신호를 구성한다. 또한, 동작 모드(M2)에서는, 신호(SIG1~SIG3)가 3상 신호를 구성한다. 동작 모드(M3)에서는,

신호(SIG1~SIG4)는, 각각 단상 신호이다.

[0102] 또한, 예를 들면, 도 21에 도시하는 송신부(10D)와 같이, 3개의 드라이버부(DRV1~DRV3)를 마련해도 좋다. 이 송신부(10D)는, 상기 실시의 형태에 관한 송신부(10)(도 2)로부터, 시리얼라이저(SER4~SER6), 셀렉터(24, 26, 33~36), 배타적 논리합 회로(44~46), 논리합 회로(54~56), 및 드라이버부(DRV4~DRV6)를 생략한 것이다. 송신부(10)에서는, 시리얼라이저(SER3)의 출력 신호(P13)를, 셀렉터(33)를 통하여 드라이버부(DRV3)에 공급하였지만, 이 송신부(10D)에서는, 시리얼라이저(SER3)의 출력 신호(P13)를 직접 드라이버부(DRV3)에 공급하고 있다. 제어부(20D)는, 동작 모드(M1~M3)에 응하여, 클록 신호(CLK1, CLK2), 및 제어 신호(CTL1, CTL2, SINV, SEL1, SEL2, SMM)를 생성하고, 이들의 제어 신호를 이용하여 송신부(10D)의 각 블록의 동작을 제어한다. 이에 의해, 송신부(10D)는, 동작 모드(M1)에서는, 신호(SIG1, SIG2)가 차동 신호를 구성한다. 또한, 동작 모드(M2)에서는, 신호(SIG1~SIG3)가 3상 신호를 구성한다. 동작 모드(M3)에서는, 신호(SIG1~SIG3)는, 각각 단상 신호이다.

[0103] [변형례 4]

[0104] 상기 실시의 형태에서는, 처리부(9)는, 6조의 패럴렐 신호(DATA1~DATA6)를 생성하였지만, 그 때, 예를 들면 8b/10b 등의 변환 방식에 의해 데이터를 인코딩하여 이들의 패럴렐 신호(DATA1~DATA6)를 생성하여도 좋다. 이에 의해, 수신 장치에서의 클럭리커버리를 용이하게 행할 수 있다. 또한, 예를 들면, 처리부(9)는, 동작 모드(M1~M3)에 응하여, 인코딩을 하는지의 여부, 또는 인코딩의 방식을 변경하도록 구성하여도 좋다.

[0105] [변형례 5]

[0106] 상기 실시의 형태에서는, 신호(SIG1~SIG6)를 생성하여 수신 장치에 대해 송신하였는데, 그 때, 신호(SIG1~SIG6) 중의 적어도 하나를 전압(VH)과 전압(VL)의 교번(交番) 패턴으로 하여도 좋다. 이에 의해, 수신 장치는, 그 신호를 클록 신호로서 이용할 수 있다. 구체적으로는, 예를 들면, 동작 모드(M1)에서, 도 22에 도시하는 바와 같이, 신호(SIG5, SIG6)를 차동의 클록 신호에 할 수 있다. 또한, 예를 들면, 동작 모드(M3)에서, 도 23에 도시하는 바와 같이, 신호(SIG6)를 클록 신호로 할 수 있다. 또한, 이 도 23에서, 신호(SIG5)를 신호(SIG6)의 반전 신호에 함에 의해, 신호(SIG1~SIG4)를 단상 신호로 함과 함께, 신호(SIG5, SIG6)를 차동의 클록 신호로 할 수 있다.

[0107] <2. 적용례>

[0108] 다음에, 상기 실시의 형태 및 변형례로 설명한 송신 장치의 적용례에 관해 설명한다.

[0109] 도 24는, 상기 실시의 형태 등의 송신 장치가 적용되는 스마트폰(300)(다기능 휴대 전화)의 외관을 도시하는 것이다. 이 스마트폰(300)에는, 다양한 디바이스가 탑재되어 있고, 그들의 디바이스 사이에서 데이터의 교환을 행하는 통신 시스템에 있어서, 상기 실시의 형태 등의 송신 장치가 적용되어 있다.

[0110] 도 25는, 스마트폰(300)에 이용되는 어플리케이션 프로세서(310)의 한 구성례를 도시하는 것이다. 어플리케이션 프로세서(310)는, CPU(Central Processing Unit)(311)와, 메모리 제어부(312)와, 전원 제어부(313)와, 외부 인터페이스(314)와, GPU(Graphics Processing Unit)(315)와, 미디어 처리부(316)와, 디스플레이 제어부(317)와, MIPI(Mobile Industry Processor Interface) 인터페이스(318)를 갖고 있다. CPU(311), 메모리 제어부(312), 전원 제어부(313), 외부 인터페이스(314), GPU(315), 미디어 처리부(316), 디스플레이 제어부(317)는, 이 예에서는, 시스템 버스(319)에 접속되고, 이 시스템 버스(319)를 통하여, 서로 데이터의 교환을 할 수 있게 되어 있다.

[0111] CPU(311)는, 프로그램에 따라, 스마트폰(300)에서 다루어지는 다양한 정보를 처리하는 것이다. 메모리 제어부(312)는, CPU(311)가 정보 처리를 행할 때에 사용한 메모리(501)을 제어하는 것이다. 전원 제어부(313)는, 스마트폰(300)의 전원을 제어하는 것이다.

[0112] 외부 인터페이스(314)는, 외부 디바이스와 통신하기 위한 인터페이스이고, 이 예에서는, 무선 통신부(502) 및 이미지 센서(503)와 접속되어 있다. 무선 통신부(502)는, 휴대 전화의 기지국과 무선 통신을 하는 것이고, 예를 들면, 베이스밴드부나, RF(Radio Frequency) 프런트 엔드부 등을 포함하여 구성된다. 이미지 센서(503)는, 화상을 취득하는 것이고, 예를 들면 CMOS 센서를 포함하여 구성된다.

[0113] GPU(315)는, 화상 처리를 행하는 것이다. 미디어 처리부(316)는, 음성이나, 문자나, 도형 등의 정보를 처리하는 것이다. 디스플레이 제어부(317)는, MIPI 인터페이스(318)를 통하여, 디스플레이(504)를 제어하는 것이다. MIPI 인터페이스(318)는 화상 신호를 디스플레이(504)에 송신하는 것이다. 화상 신호로서는, 예를 들면, YUV 형식이나 RGB 형식 등의 신호를 이용할 수 있다. 이 MIPI 인터페이스(318)에는, 예를 들면, 상기 실시의 형태 등의 송

신 장치가 적용된다.

- [0114] 도 26은, 이미지 센서(410)의 한 구성례를 도시하는 것이다. 이미지 센서(410)는, 센서부(411)와, ISP(Image Signal Processor)(412)와, JPEG(Joint Photographic Experts Group) 인코더(413)와, CPU(414)와, RAM(Random Access Memory)(415)과, ROM(Read Only Memory)(416)과, 전원 제어부(417)와, I²C(Inter-Integrated Circuit) 인터페이스(418)와, MIPI 인터페이스(419)를 갖고 있다. 이들의 각 블록은, 이 예에서는, 시스템 버스(420)에 접속되고, 이 시스템 버스(420)를 통하여, 서로 데이터의 교환을 할 수 있도록 되어 있다.
- [0115] 센서부(411)는, 화상을 취득하는 것이고, 예를 들면 CMOS 센서에 의해 구성되는 것이다. ISP(412)는, 센서부(411)가 취득한 화상에 대해 소정의 처리를 행하는 것이다. JPEG 인코더(413)는, ISP(412)가 처리한 화상을 인코드하여 JPEG 형식의 화상을 생성하는 것이다. CPU(414)는, 프로그램에 따라 이미지 센서(410)의 각 블록을 제어하는 것이다. RAM(415)는, CPU(414)가 정보 처리를 행할 때에 사용하는 메모리이다. ROM(416)은, CPU(414)에서 실행되는 프로그램을 기억하는 것이다. 전원 제어부(417)는, 이미지 센서(410)의 전원을 제어하는 것이다. I²C 인터페이스(418)는, 어플리케이션 프로세서(310)로부터 제어 신호를 수취하는 것이다. 또한, 도시하지 않지만, 이미지 센서(410)는, 어플리케이션 프로세서(310)로부터, 제어 신호에 더하여 클록 신호도 수취하도록 되어 있다. 구체적으로는, 이미지 센서(410)는, 다양한 주파수의 클록 신호에 의거하여 동작할 수 있도록 구성되어 있다. MIPI 인터페이스(419)는, 화상 신호를 어플리케이션 프로세서(310)에 송신하는 것이다. 화상 신호로서는, 예를 들면, YUV 형식이나 RGB 형식 등의 신호를 이용할 수 있다. 이 MIPI 인터페이스(419)에는, 예를 들면, 상기 실시의 형태 등의 송신 장치가 적용된다.
- [0116] 이상, 실시의 형태 및 변형례, 및 전자 기기에서의 적용례를 들어 본 기술을 설명하였지만, 본 기술은 이들의 실시의 형태 등으로는 한정되지 않고, 여러가지의 변형이 가능하다.
- [0117] 예를 들면, 상기한 실시의 형태에서는, 배타적 논리합 회로(41~46)를 마련하였지만, 이것으로 한정되는 것이 아니고, 이에 대신하여, 예를 들면, 도 27에 도시하는 송신부(10E)와 같이, 신호(P11~P13)에 의거하여 동작하는 인코더(98)와, 신호(P14~P16)에 의거하여 동작한 인코더(99)를 마련해도 좋다. 이 인코더(98, 99)는, 도 17에 도시한 동작을 실현할 수 있도록 구성된 것이다. 또한, 예를 들면, 인코더(98)은, 신호(P11~P13, N11~N13)의 전부 또는 일부에 의거하여 동작하도록 구성하여도 좋다. 마찬가지로, 예를 들면, 인코더(99)는, 신호(P14~P16, N14~N16)의 전부 또는 일부에 의거하여 동작하도록 구성하여도 좋다.
- [0118] 또한, 예를 들면, 상기한 실시의 형태에서는, 드라이버부(DRV1~DRV6)의 각각이, 5개의 드라이버 회로(61~65)를 갖도록 하였지만, 이것으로 한정되는 것이 아니고, 이에 대신하여, 예를 들면, 4개 이하의 드라이버 회로를 갖고 있어도 좋고, 6개 이상의 드라이버 회로를 갖고 있어도 좋다.
- [0119] 또한, 예를 들면, 상기한 실시의 형태에서는, 드라이버 제어부(60)는, 동작 모드(M2)에서, 신호(S51)가 "0"인 경우에 있어서, 드라이버 회로(61~65)에서의 2개의 트랜지스터(92) 및 2개의 트랜지스터(93)를 온 상태로 하였지만, 이것으로 한정되는 것이 아니고, 이에 대신하여, 모든 트랜지스터(92, 93)를 오프 상태로 하여도 좋다. 예를 들면, 드라이버부(DRV1)의 모든 트랜지스터(92, 93)를 오프 상태로 한 경우에는, 예를 들면, 드라이버부(DRV1)의 출력 임피던스는 하이 임피던스 상태가 된다. 이에 의해, 신호(SIG1)는, 레시버부(121)의 저항 소자(124~126)(도 9)를 통하여 중레벨 전압(VM)으로 설정된다.
- [0120] 또한, 본 명세서에 기재된 효과는 어디까지나 예시이고 한정되는 것이 아니라, 또한 다른 효과가 있어도 좋다.
- [0121] 또한, 본 기술은 이하와 같은 구성으로 할 수가 있다.
- [0122] (1) 제1의 신호 및 제2의 신호 중의 일방을 선택하여 출력하는 제1의 셀렉터와,
- [0123] 상기 제1의 신호의 반전 신호, 상기 제2의 신호, 및 상기 제2의 신호의 반전 신호 중의 어느 하나를 선택하여 출력하는 제2의 셀렉터와,
- [0124] 상기 제1의 신호, 상기 제2의 신호, 및 제3의 신호에 의거하여, 제1의 제어 신호, 제2의 제어 신호, 및 제3의 제어 신호를 생성하는 제1의 제어 신호 생성부와,
- [0125] 상기 제1의 셀렉터의 출력 신호 및 상기 제1의 제어 신호에 의거하여 제1의 출력 단자의 전압을 설정하는 제1의 드라이버부와,
- [0126] 상기 제2의 셀렉터의 출력 신호 및 상기 제2의 제어 신호에 의거하여 제2의 출력 단자의 전압을 설정하는 제2의

드라이버부를 구비한 송신 장치.

- [0127] (2) 제1의 동작 모드를 포함하는 복수의 동작 모드를 가지며,
- [0128] 상기 제1의 동작 모드에서,
- [0129] 상기 제1의 셀렉터는, 상기 제1의 신호 및 상기 제2의 신호를 교대로 선택하고,
- [0130] 상기 제2의 셀렉터는, 상기 제1의 셀렉터가 상기 제1의 신호를 선택할 때에 상기 제1의 신호의 반전 신호를 선택하고, 상기 제1의 셀렉터가 상기 제2의 신호를 선택할 때에 상기 제2의 신호의 반전 신호를 선택하고,
- [0131] 상기 제1의 드라이버부는, 상기 제1의 셀렉터의 출력 신호에 의거하여, 상기 제1의 출력 단자의 전압을 제1의 전압 또는 제2의 전압으로 선택적으로 설정하고,
- [0132] 상기 제2의 드라이버부는, 상기 제2의 셀렉터의 출력 신호에 의거하여, 상기 제2의 출력 단자의 전압을 상기 제1의 전압 또는 상기 제2의 전압으로 선택적으로 설정하는 상기 (1)에 기재된 송신 장치.
- [0133] (3) 상기 복수의 동작 모드는, 제2의 동작 모드를 포함하고,
- [0134] 상기 제2의 동작 모드에서,
- [0135] 상기 제1의 셀렉터는, 상기 제1의 신호를 선택하고,
- [0136] 상기 제2의 셀렉터는, 상기 제2의 신호를 선택하고,
- [0137] 상기 제1의 드라이버부는, 상기 제1의 제어 신호가 제1의 논리인 경우에는, 상기 제1의 셀렉터의 출력 신호에 의거하여, 상기 제1의 출력 단자의 전압을 상기 제1의 전압 또는 상기 제2의 전압으로 선택적으로 설정하고, 상기 제1의 제어 신호가 제2의 논리인 경우에는, 상기 제1의 출력 단자의 전압을 제3의 전압으로 설정하고,
- [0138] 상기 제2의 드라이버부는, 상기 제2의 제어 신호가 상기 제1의 논리인 경우에는, 상기 제2의 셀렉터의 출력 신호에 의거하여, 상기 제2의 출력 단자의 전압을 상기 제1의 전압 또는 상기 제2의 전압으로 선택적으로 설정하고, 상기 제2의 제어 신호가 상기 제2의 논리인 경우에는, 상기 제2의 출력 단자의 전압을 상기 제3의 전압으로 설정하는 상기 (2)에 기재된 송신 장치.
- [0139] (4) 상기 복수의 동작 모드는, 제3의 동작 모드를 포함하고,
- [0140] 상기 제3의 동작 모드에서,
- [0141] 상기 제1의 셀렉터는, 상기 제1의 신호를 선택하고,
- [0142] 상기 제2의 셀렉터는, 상기 제2의 신호를 선택하고,
- [0143] 상기 제1의 드라이버부는, 상기 제1의 셀렉터의 출력 신호에 의거하여, 상기 제1의 출력 단자의 전압을 상기 제1의 전압 또는 상기 제2의 전압으로 선택적으로 설정하고,
- [0144] 상기 제2의 드라이버부는, 상기 제2의 셀렉터의 출력 신호에 의거하여, 상기 제2의 출력 단자의 전압을 상기 제1의 전압 또는 상기 제2의 전압으로 선택적으로 설정하는 상기 (2) 또는 (3)에 기재된 송신 장치.
- [0145] (5) 상기 제3의 신호 및 제4의 신호 중의 일방을 선택하여 출력하는 제3의 셀렉터와,
- [0146] 상기 제3의 신호의 반전 신호, 상기 제4의 신호, 및 상기 제4의 신호의 반전 신호 중의 어느 하나를 선택하여 출력하는 제4의 셀렉터와,
- [0147] 상기 제3의 셀렉터의 출력 신호 및 상기 제3의 제어 신호에 의거하여 제3의 출력 단자의 전압을 설정하는 제3의 드라이버부와,
- [0148] 상기 제4의 셀렉터의 출력 신호에 의거하여 제4의 출력 단자의 전압을 설정하는 제4의 드라이버부를 또한 구비한 상기 (3) 또는 (4)에 기재된 송신 장치.
- [0149] (6) 상기 제1의 동작 모드에서,
- [0150] 상기 제3의 셀렉터는, 상기 제3의 신호 및 상기 제4의 신호를 교대로 선택하고,
- [0151] 상기 제4의 셀렉터는, 상기 제3의 셀렉터가 상기 제3의 신호를 선택할 때에 상기 제3의 신호의 반전 신호를 선택하고, 상기 제3의 셀렉터가 상기 제4의 신호를 선택할 때에 상기 제4의 신호의 반전 신호를 선택하고,

- [0152] 상기 제3의 드라이버부는, 상기 제3의 셀렉터의 출력 신호에 의거하여, 상기 제3의 출력 단자의 전압을 상기 제1의 전압 또는 상기 제2의 전압으로 선택적으로 설정하고,
- [0153] 상기 제4의 드라이버부는, 상기 제4의 셀렉터의 출력 신호에 의거하여, 상기 제4의 출력 단자의 전압을 상기 제1의 전압 또는 상기 제2의 전압으로 선택적으로 설정하는 상기 (5)에 기재된 송신 장치.
- [0154] (7) 상기 제2의 동작 모드에서,
- [0155] 상기 제3의 셀렉터는, 상기 제3의 신호를 선택하고,
- [0156] 상기 제3의 드라이버부는, 상기 제3의 제어 신호가 상기 제1의 논리인 경우에는, 상기 제3의 셀렉터의 출력 신호에 의거하여, 상기 제3의 출력 단자의 전압을 상기 제1의 전압 또는 상기 제2의 전압으로 선택적으로 설정하고, 상기 제3의 제어 신호가 상기 제2의 논리인 경우에는, 상기 제3의 출력 단자의 전압을 상기 제3의 전압으로 설정한 상기 (5) 또는 (6)에 기재된 송신 장치.
- [0157] (8) 상기 제1의 신호를 생성하는 제1의 시리얼라이저와,
- [0158] 상기 제2의 신호를 생성하는 제2의 시리얼라이저와,
- [0159] 상기 제3의 신호를 생성하는 제3의 시리얼라이저와,
- [0160] 상기 제4의 신호를 생성하는 제4의 시리얼라이저를
- [0161] 또한 구비한 상기 (5)부터 (7)의 어느 하나에 기재된 송신 장치.
- [0162] (9) 상기 제1의 출력 단자, 상기 제2의 출력 단자, 상기 제3의 출력 단자, 및 상기 제4의 출력 단자의 배치의 순번이, 상기 제1의 시리얼라이저, 상기 제2의 시리얼라이저, 상기 제3의 시리얼라이저, 및 상기 제4의 시리얼라이저의 배치의 순번과 다른 상기 (8)에 기재된 송신 장치.
- [0163] (10) 각 시리얼라이저는, 시프트 레지스터를 이용하여 구성되고, 동작 모드에 응하여 사용하는 단수(段數)를 변경 가능하게 구성된 상기 (8) 또는 (9)에 기재된 송신 장치.
- [0164] (11) 상기 제3의 신호 및 제4의 신호 중의 일방을 선택하여 출력하는 제3의 셀렉터와,
- [0165] 상기 제3의 신호의 반전 신호, 상기 제4의 신호, 및 상기 제4의 신호의 반전 신호 중의 어느 하나를 선택하여 출력하는 제4의 셀렉터와,
- [0166] 제5의 신호 및 제6의 신호 중의 일방을 선택하여 출력하는 제5의 셀렉터와,
- [0167] 상기 제5의 신호의 반전 신호, 상기 제6의 신호, 및 상기 제6의 신호의 반전 신호 중의 어느 하나를 선택하여 출력하는 제6의 셀렉터와,
- [0168] 상기 제4의 신호, 상기 제5의 신호, 및 상기 제6의 신호에 의거하여, 제4의 제어 신호, 제5의 제어 신호, 및 제6의 제어 신호를 생성하는 제2의 제어 신호 생성부와,
- [0169] 상기 제3의 셀렉터의 출력 신호 및 상기 제3의 제어 신호에 의거하여 제3의 출력 단자의 전압을 설정하는 제3의 드라이버부와,
- [0170] 상기 제4의 셀렉터의 출력 신호 및 상기 제4의 제어 신호에 의거하여 제4의 출력 단자의 전압을 설정하는 제4의 드라이버부와,
- [0171] 상기 제5의 셀렉터의 출력 신호 및 상기 제5의 제어 신호에 의거하여 제5의 출력 단자의 전압을 설정하는 제5의 드라이버부와,
- [0172] 상기 제6의 셀렉터의 출력 신호 및 상기 제6의 제어 신호에 의거하여 제6의 출력 단자의 전압을 설정하는 제6의 드라이버부를 또한 구비한 상기 (1)부터 (4)의 어느 하나에 기재된 송신 장치.
- [0173] (12) 상기 제3의 신호 및 상기 제3의 제어 신호에 의거하여 제3의 출력 단자의 전압을 설정하는 제3의 드라이버부를 또한 구비한 상기 (1)부터 (4)의 어느 하나에 기재된 송신 장치.
- [0174] (13) 각 드라이버부는, 복수의 드라이버 회로를 가지며,
- [0175] 각 드라이버 회로는,
- [0176] 일단이 상기 제1의 전압에 대응하는 전압을 생성하는 제1의 전원에 연결되고, 타단이 그 드라이버 회로가 속한

드라이버부의 출력 단자에 연결된 제1의 스위치와,

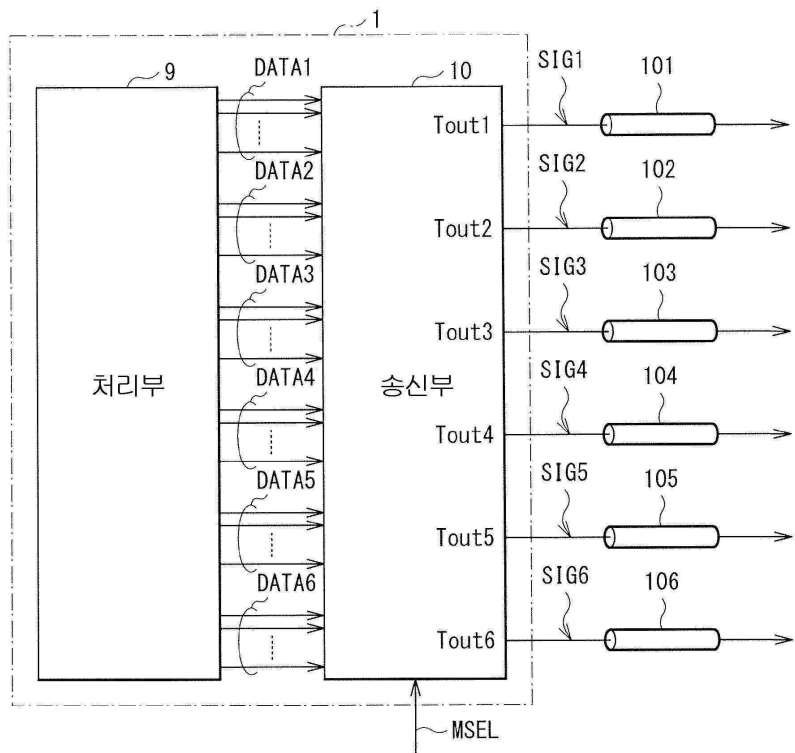
- [0177] 일단이 상기 제2의 전압에 대응하는 전압을 생성하는 제2의 전원에 연결되고, 타단이 그 드라이버 회로가 속한 드라이버부의 출력 단자에 연결된 제2의 스위치를 갖는 상기 (1)부터 (12)의 어느 하나에 기재된 송신 장치.
- [0178] (14) 각 드라이버부는,
- [0179] 그 드라이버부가 갖는 복수의 상기 제1의 스위치 중의 적어도 하나를 온 상태로 함과 함께, 그 드라이버부가 갖는 복수의 상기 제2의 스위치를 오프 상태로 함에 의해, 그 드라이버부의 출력 단자의 전압을 상기 제1의 전압으로 설정하고,
- [0180] 그 드라이버부가 갖는 복수의 상기 제2의 스위치 중의 적어도 하나를 온 상태로 함과 함께, 그 드라이버부가 갖는 복수의 상기 제1의 스위치를 오프 상태로 함에 의해, 그 드라이버부의 출력 단자의 전압을 상기 제2의 전압으로 설정하고,
- [0181] 그 드라이버부가 갖는 복수의 상기 제1의 스위치 중의 적어도 하나를 온 상태로 함과 함께, 그 드라이버부가 갖는 복수의 상기 제2의 스위치 중의 적어도 하나를 온 상태로 함에 의해, 그 드라이버부의 출력 단자의 전압을 상기 제3의 전압으로 설정하는 상기 (13)에 기재된 송신 장치.
- [0182] (15) 각 드라이버부는,
- [0183] 그 드라이버부가 갖는 복수의 상기 제1의 스위치 중의 적어도 하나를 온 상태로 함과 함께, 그 드라이버부가 갖는 복수의 상기 제2의 스위치를 오프 상태로 함에 의해, 그 드라이버부의 출력 단자의 전압을 상기 제1의 전압으로 설정하고,
- [0184] 그 드라이버부가 갖는 복수의 상기 제2의 스위치 중의 적어도 하나를 온 상태로 함과 함께, 그 드라이버부가 갖는 복수의 상기 제1의 스위치를 오프 상태로 함에 의해, 그 드라이버부의 출력 단자의 전압을 상기 제2의 전압으로 설정하고,
- [0185] 그 드라이버부가 갖는 복수의 상기 제1의 스위치 및 복수의 상기 제2의 스위치를 오프 상태로 함에 의해, 1 또는 복수의 종단 저항 소자를 통하여, 그 드라이버부의 출력 단자의 전압을 상기 제3의 전압으로 설정하는 상기 (13)에 기재된 송신 장치.
- [0186] (16) 상기 복수의 동작 모드 중의 하나를 선택하고, 각 셀렉터 및 각 드라이버부의 동작을 제어하는 제어부를 또한 구비한 상기 (1)부터 (15)의 어느 하나에 기재된 송신 장치.
- [0187] (17) 상기 제어부는, 외부로부터 공급된 신호에 의거하여, 상기 복수의 동작 모드 중의 하나를 선택하는 상기 (16)에 기재된 송신 장치.
- [0188] (18) 제1의 동작 모드를 포함하는 복수의 동작 모드 중의 하나를 선택하는 제어부와,
- [0189] 상기 제1의 동작 모드에서, 제1의 신호 및 제2의 신호를 교대로 선택하는 제1의 셀렉터와,
- [0190] 상기 제1의 동작 모드에서, 상기 제1의 신호의 반전 신호 및 상기 제2의 신호의 반전 신호를 교대로 선택하는 제2의 셀렉터와,
- [0191] 상기 제1의 동작 모드에서, 상기 제1의 셀렉터의 출력 신호에 의거하여, 제1의 출력 단자의 전압을 제1의 전압 또는 제2의 전압으로 설정하는 제1의 드라이버부와,
- [0192] 상기 제1의 동작 모드에서, 상기 제2의 셀렉터의 출력 신호에 의거하여, 제2의 출력 단자의 전압을 상기 제1의 전압 또는 상기 제2의 전압으로 설정하는 제2의 드라이버부를 구비한 송신 장치.
- [0193] (19) 상기 복수의 동작 모드는, 제2의 동작 모드를 포함하고,
- [0194] 상기 제2의 동작 모드에서, 제3의 신호에 의거하여, 제3의 출력 단자의 전압을 상기 제1의 전압, 상기 제2의 전압, 및 제3의 전압 중의 어느 하나로 설정하는 제3의 드라이버부를 또한 구비하고,
- [0195] 상기 제2의 동작 모드에서,
- [0196] 상기 제1의 셀렉터는, 상기 제1의 신호를 선택하고,
- [0197] 상기 제2의 셀렉터는, 상기 제2의 신호를 선택하고,
- [0198] 상기 제1의 드라이버부는, 상기 제1의 셀렉터의 출력 신호에 의거하여, 상기 제1의 출력 단자의 전압을, 상기

제1의 전압, 상기 제2의 전압, 및 상기 제3의 전압 중의 어느 하나로 설정하고,

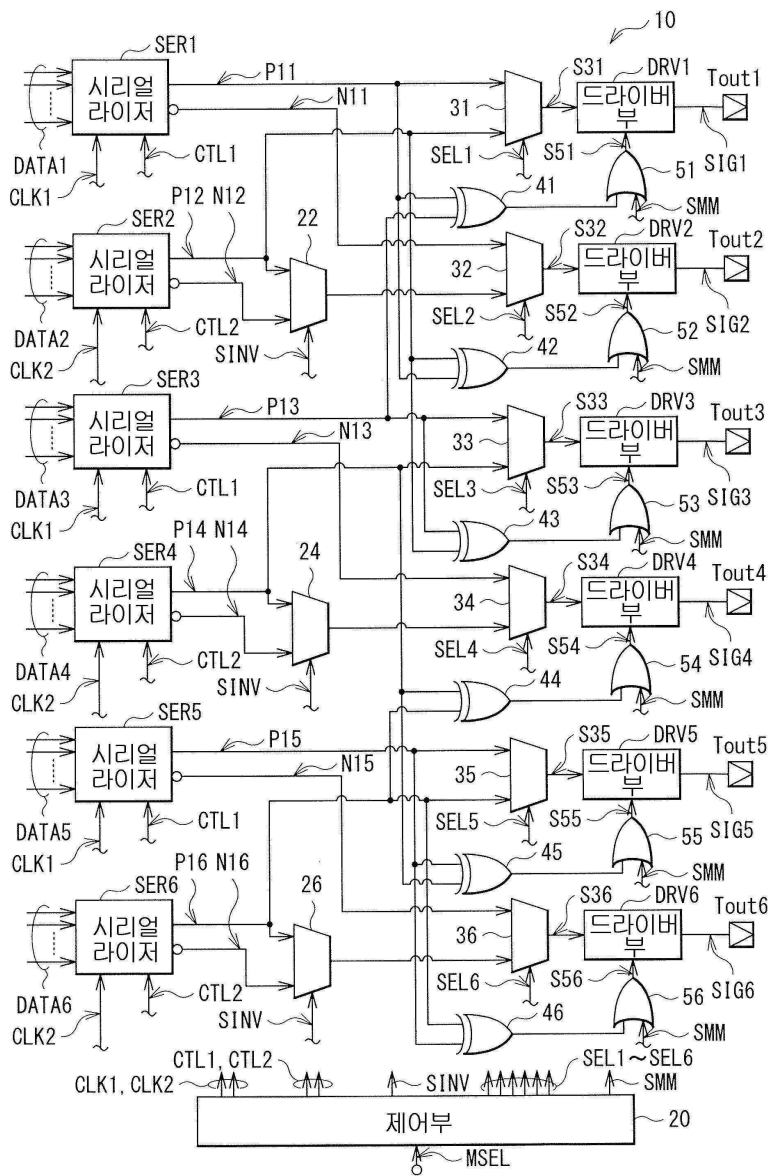
- [0199] 상기 제2의 드라이버부는, 상기 제2의 셀렉터의 출력 신호에 의거하여, 상기 제2의 출력 단자의 전압을, 상기 제1의 전압, 상기 제2의 전압, 및 상기 제3의 전압 중의 어느 하나로 설정한 상기 (18)에 기재된 송신 장치.
- [0200] (20) 상기 제2의 동작 모드에서,
- [0201] 상기 제1의 드라이버부는, 상기 제1의 신호, 상기 제2의 신호, 및 상기 제3의 신호 중의 2개 이상에 의거하여, 상기 제1의 출력 단자의 전압을 상기 제3의 전압으로 설정하고,
- [0202] 상기 제2의 드라이버부는, 상기 제1의 신호, 상기 제2의 신호, 및 상기 제3의 신호 중의 2개 이상에 의거하여, 상기 제2의 출력 단자의 전압을 상기 제3의 전압으로 설정하고,
- [0203] 상기 제3의 드라이버부는, 상기 제1의 신호, 상기 제2의 신호, 및 상기 제3의 신호 중의 2개 이상에 의거하여, 상기 제3의 출력 단자의 전압을 상기 제3의 전압으로 설정하는 상기 (19)에 기재된 송신 장치.
- [0204] (21) 제1의 패럴렐 신호를 시리얼라이즈하여 상기 제1의 신호를 생성하는 제1의 시리얼라이저와,
- [0205] 제2의 패럴렐 신호를 시리얼라이즈하여 상기 제2의 신호를 생성하는 제2의 시리얼라이저와,
- [0206] 제3의 패럴렐 신호를 시리얼라이즈하여 상기 제3의 신호를 생성하는 제3의 시리얼라이저를 또한 구비하고,
- [0207] 상기 제1의 동작 모드에서의 상기 제1의 패럴렐 신호, 상기 제2의 패럴렐 신호, 및 상기 제3의 패럴렐 신호의 각 비트 수와, 상기 제2의 동작 모드에서의 상기 제1의 패럴렐 신호, 상기 제2의 패럴렐 신호, 및 상기 제3의 패럴렐 신호의 각 비트 수가 서로 다른 상기 (19)에 기재된 송신 장치.
- [0208] (22) 송신 장치와
- [0209] 수신 장치를 구비하고,
- [0210] 상기 송신 장치는,
- [0211] 제1의 신호 및 제2의 신호 중의 일방을 선택하여 출력하는 제1의 셀렉터와,
- [0212] 상기 제1의 신호의 반전 신호, 상기 제2의 신호, 및 상기 제2의 신호의 반전 신호 중의 어느 하나를 선택하여 출력하는 제2의 셀렉터와,
- [0213] 상기 제1의 신호, 상기 제2의 신호, 및 제3의 신호에 의거하여, 제1의 제어 신호, 제2의 제어 신호, 및 제3의 제어 신호를 생성하는 제1의 제어 신호 생성부와,
- [0214] 상기 제1의 셀렉터의 출력 신호 및 상기 제1의 제어 신호에 의거하여 제1의 출력 단자의 전압을 설정하는 제1의 드라이버부와,
- [0215] 상기 제2의 셀렉터의 출력 신호 및 상기 제2의 제어 신호에 의거하여 제2의 출력 단자의 전압을 설정하는 제2의 드라이버부를 갖는 통신 시스템.
- [0216] 본 출원은, 일본 특허청에서 2014년 3월 25일에 출원된 일본 특허출원 번호 2014-062571호를 기초로 하여 우선권을 주장하는 것이고, 이 출원의 모든 내용을 참조에 의해 본 출원에 인용한다.
- [0217] 당업자라면, 설계상의 요건이나 다른 요인에 응하여, 여러가지의 수정, 콤비네이션, 서브 콤비네이션, 및 변경을 상도 할 수 있는데, 그들은 첨부한 청구의 범위나 그 균등물의 범위에 포함되는 것으로 이해된다.

도면

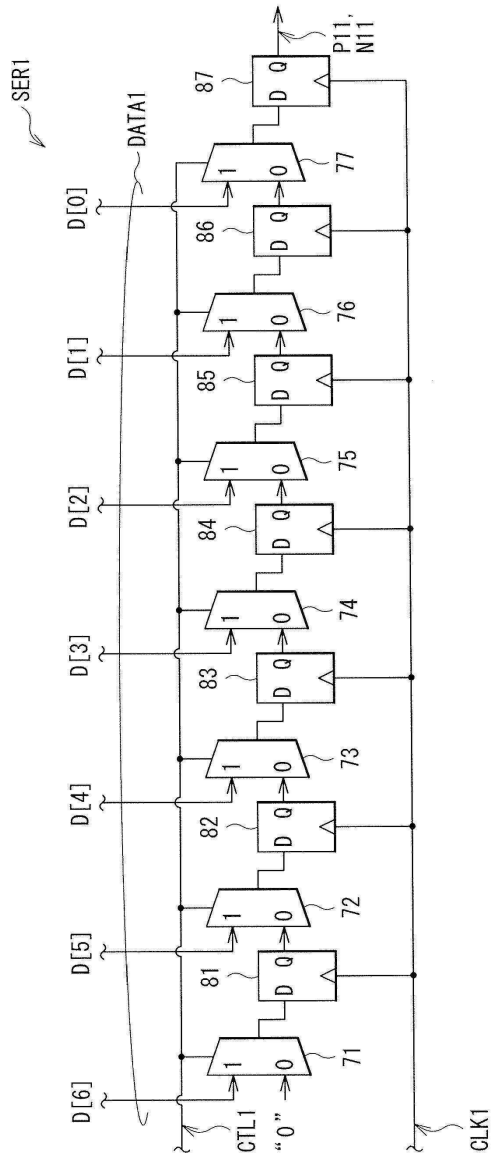
도면1



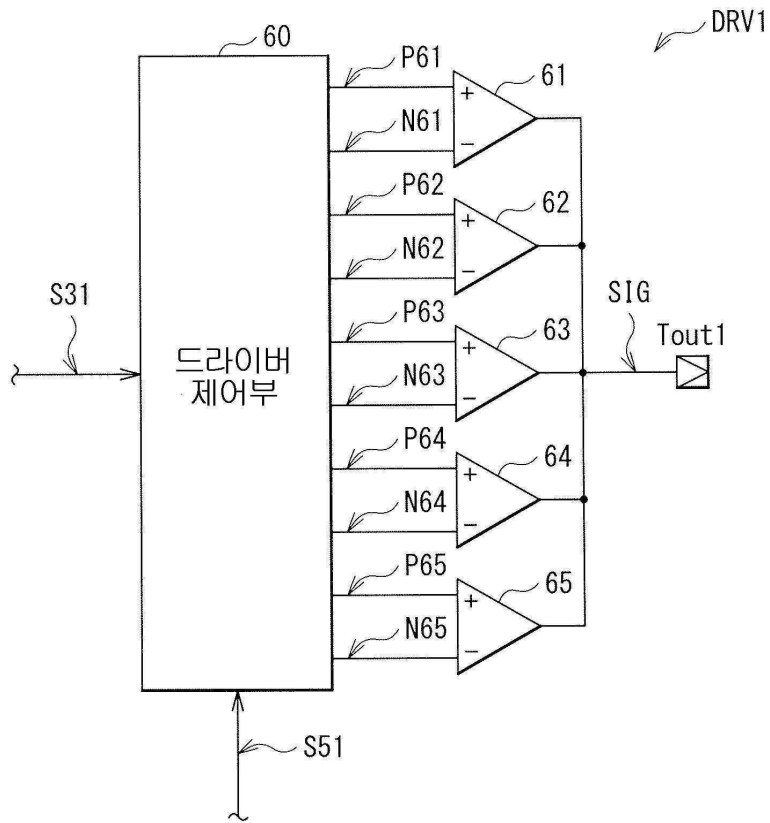
도면2



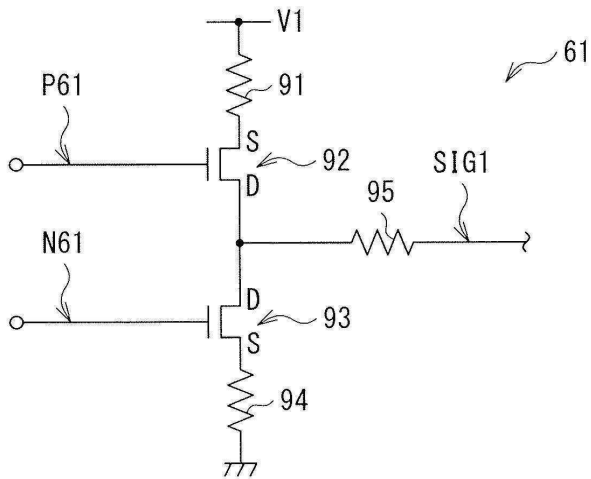
도면3



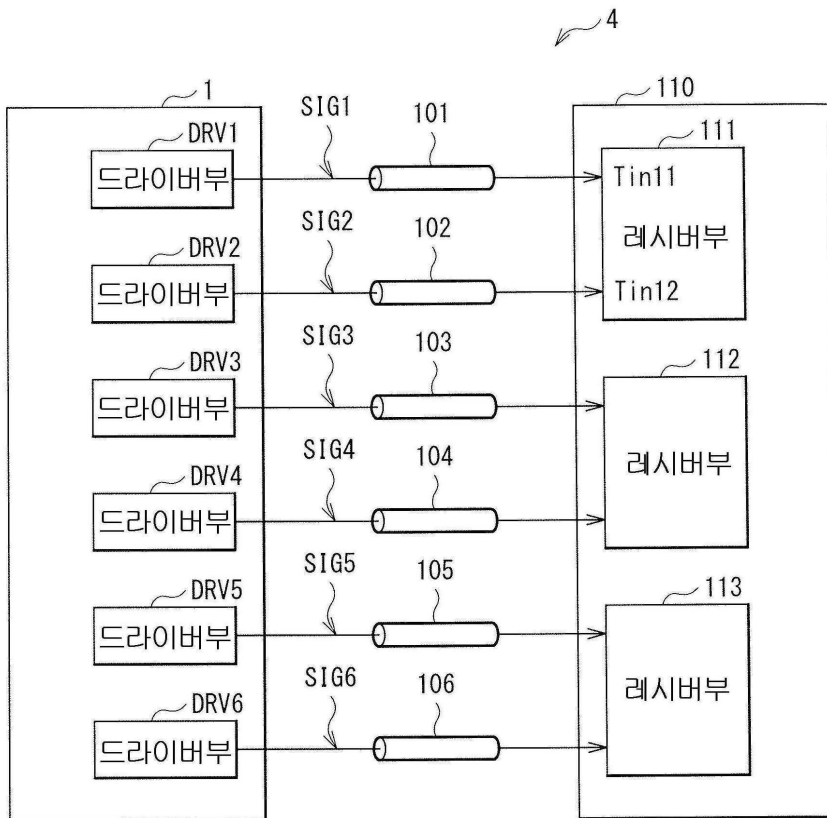
도면4



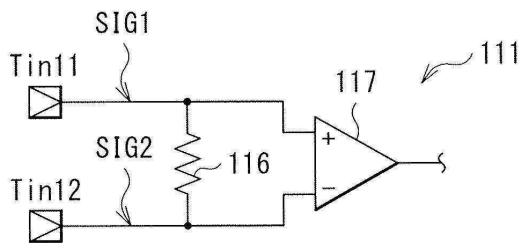
도면5



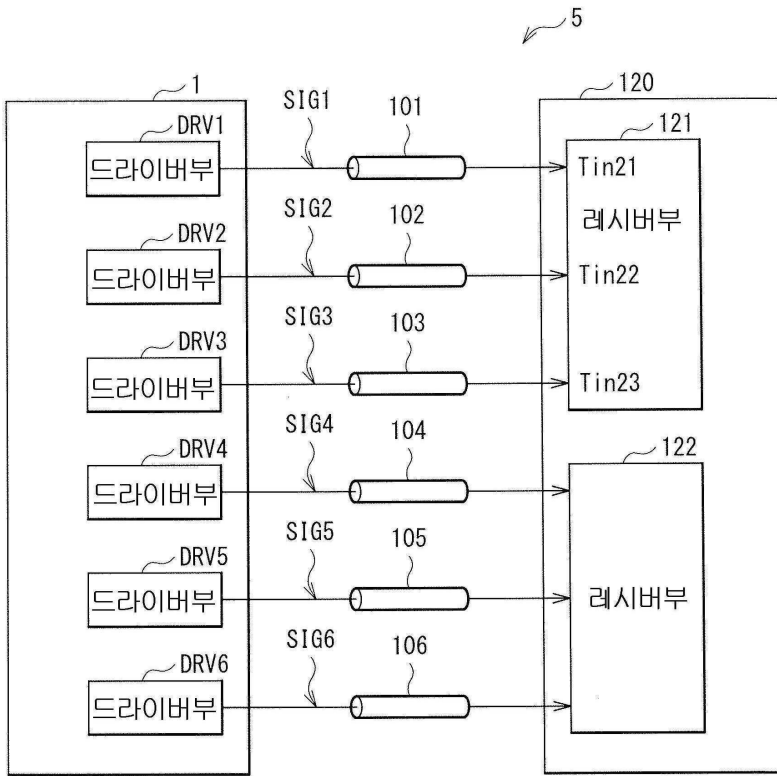
도면6



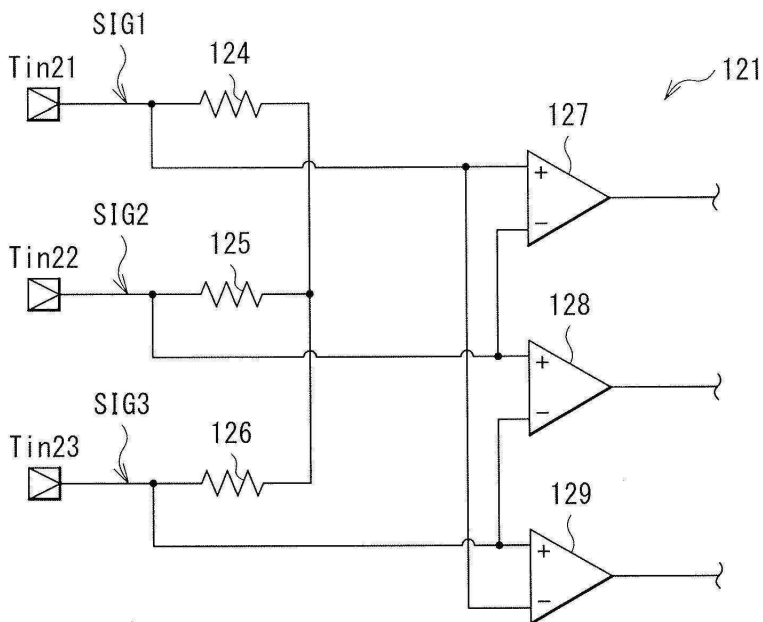
도면7



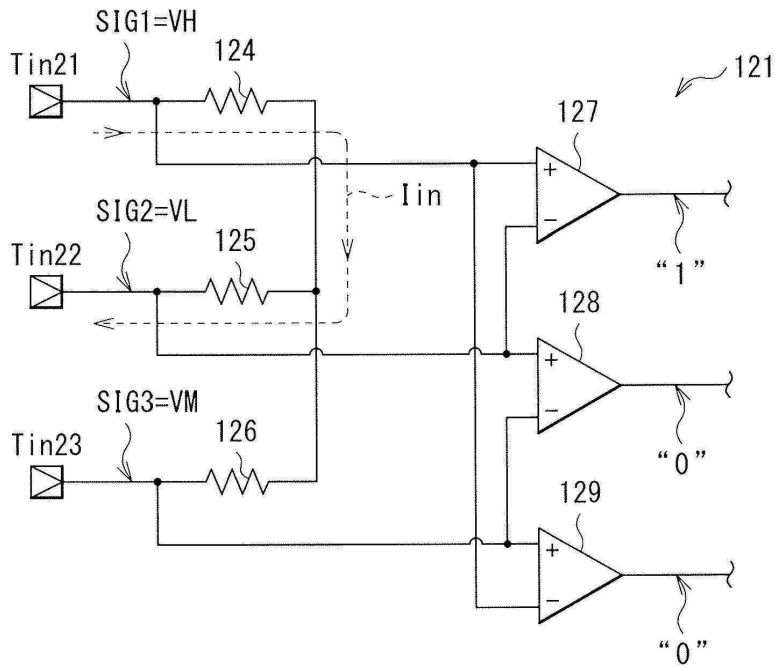
도면8



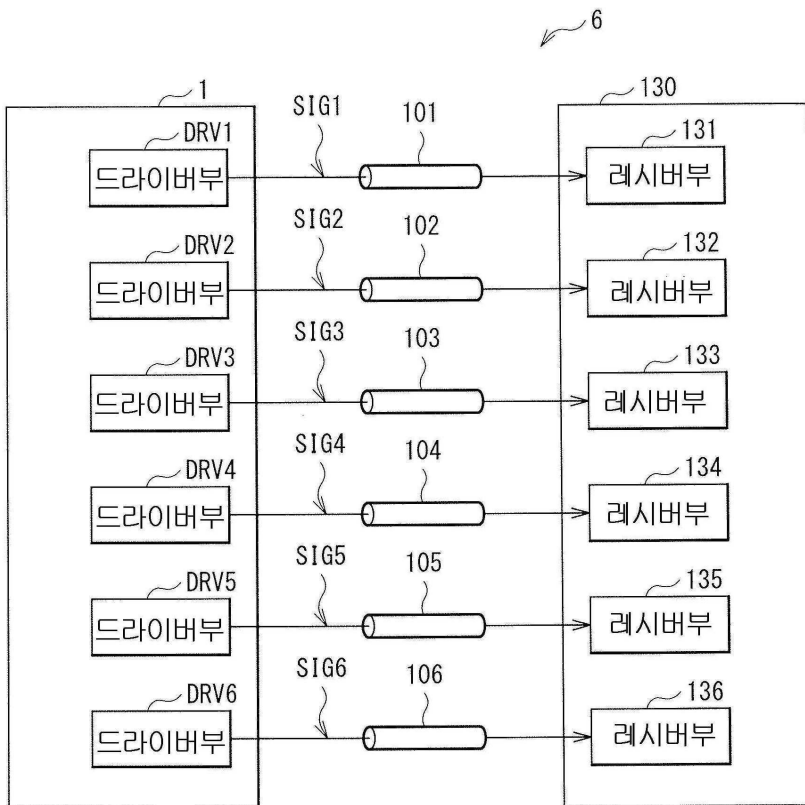
도면9



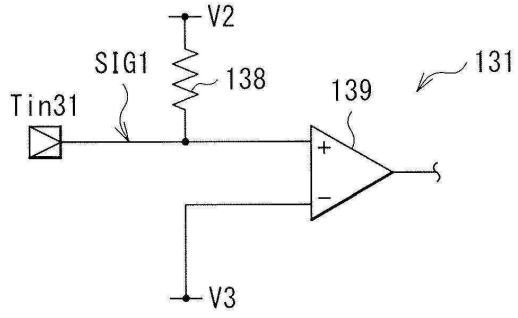
도면10



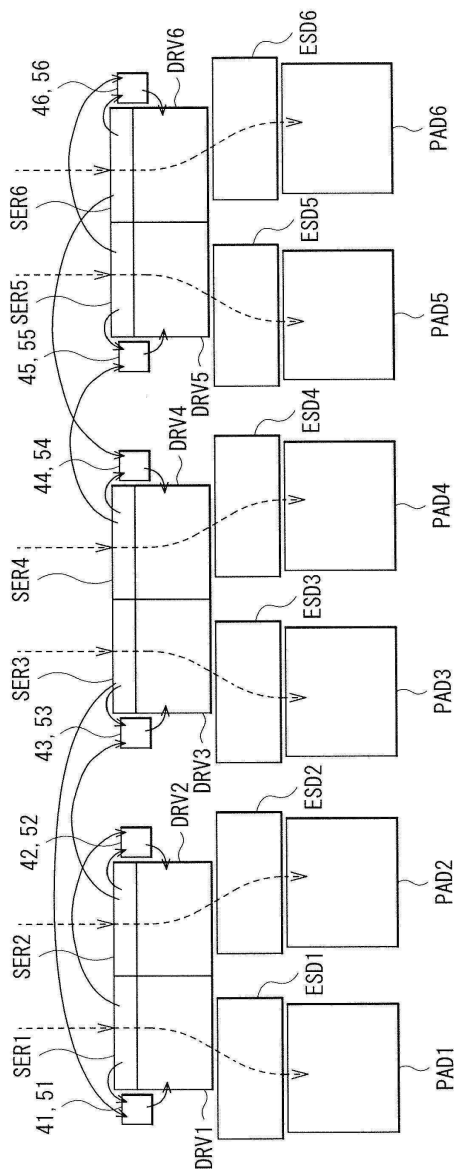
도면11



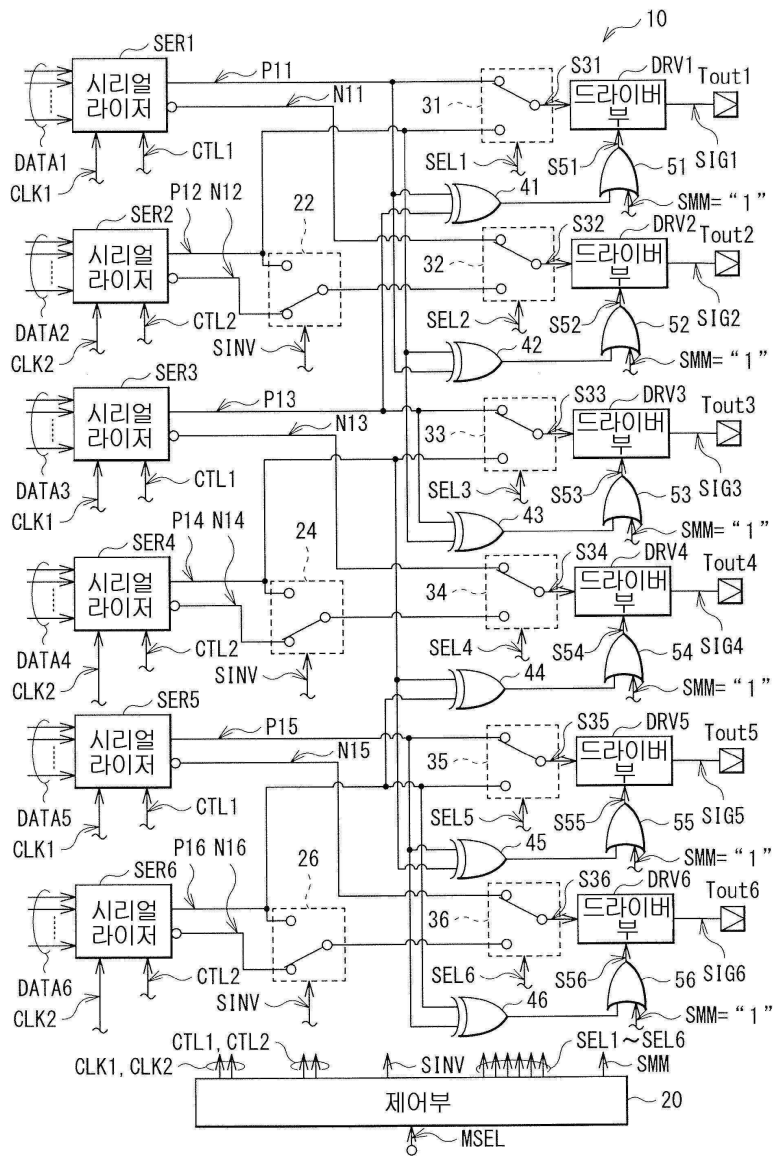
도면12



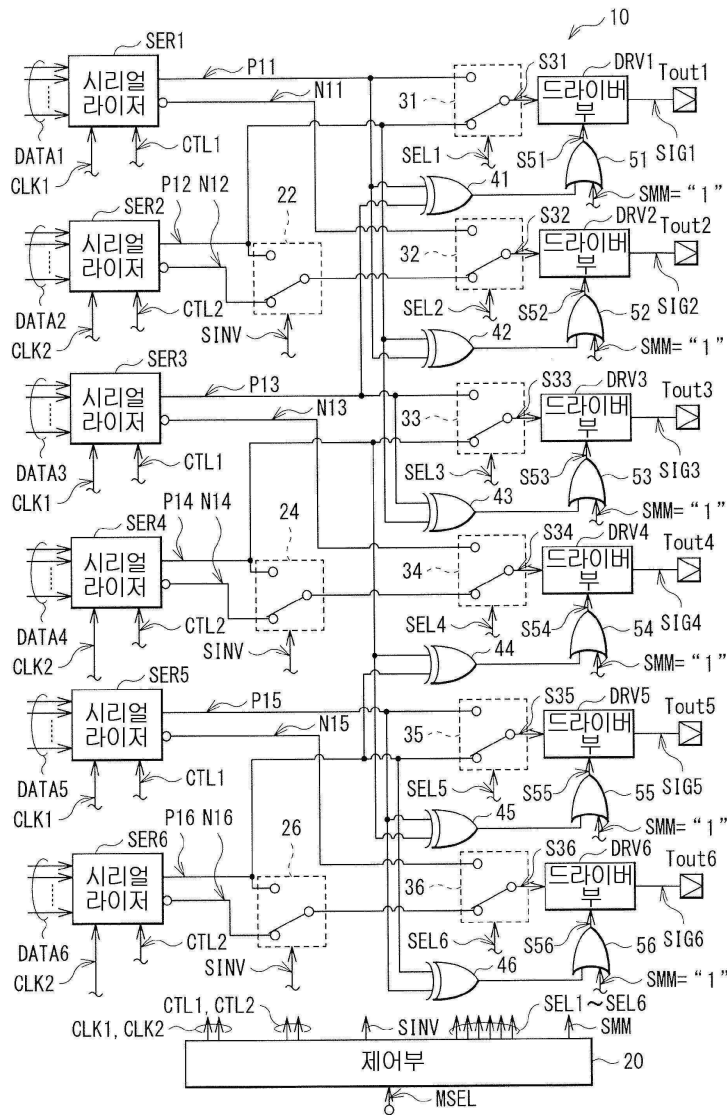
도면13



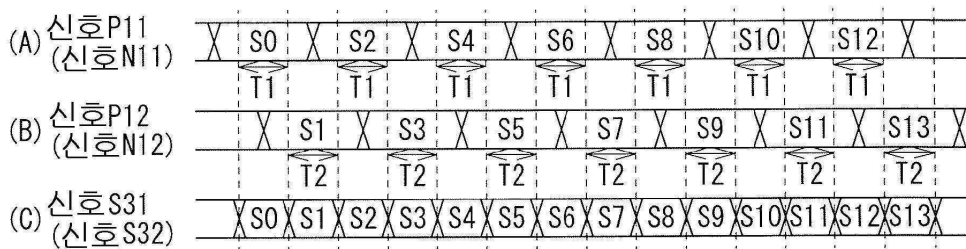
도면14a



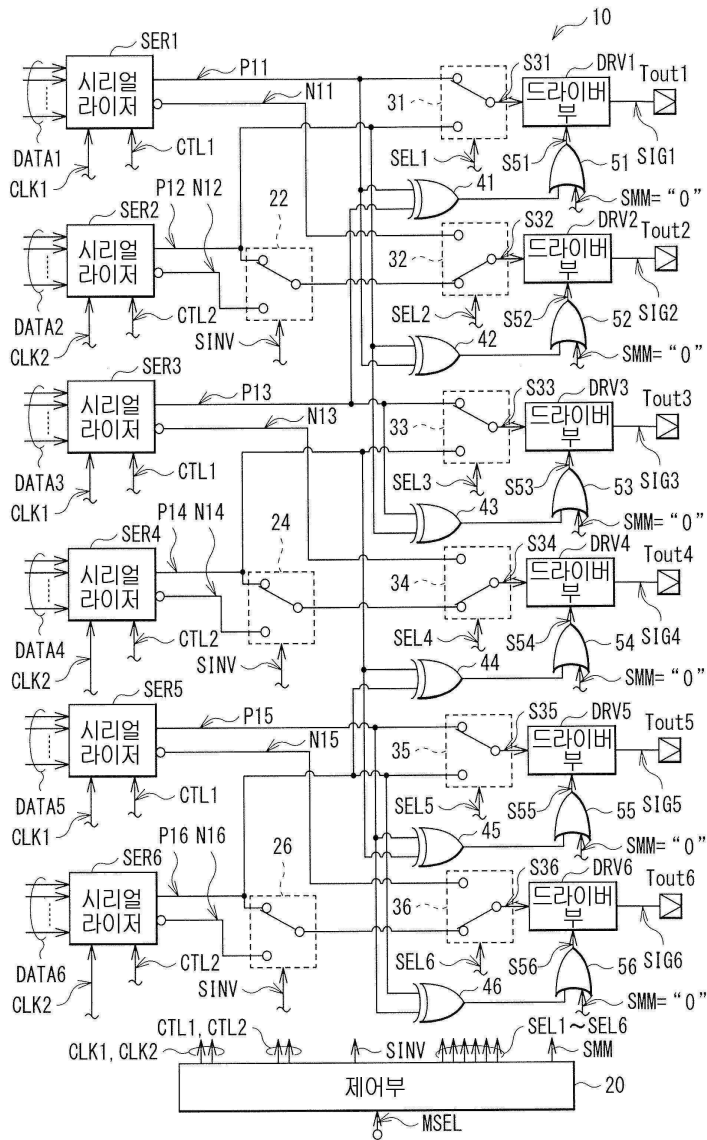
도면14b



도면15



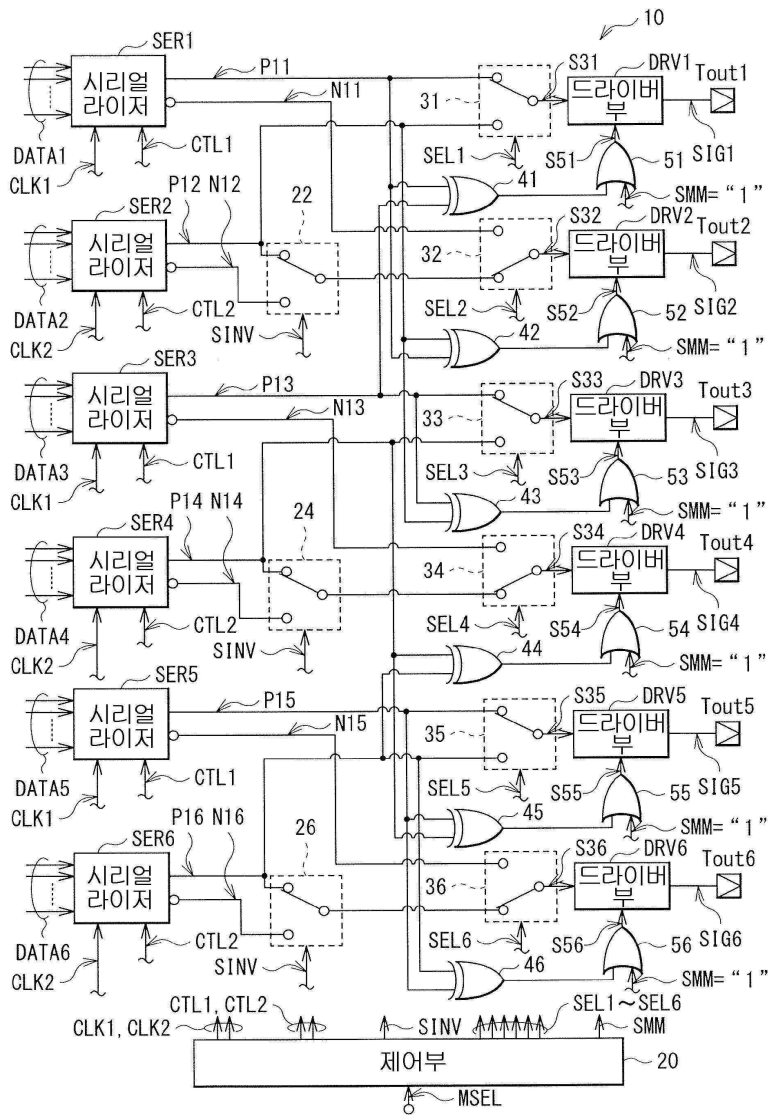
도면16



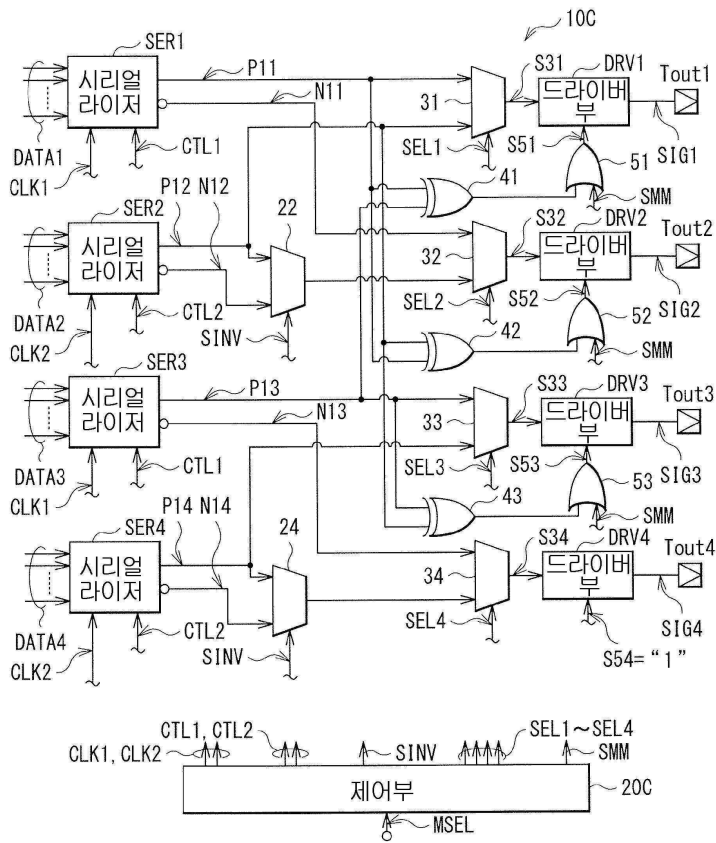
도면17

신호 P11	신호 P12	신호 P13	신호 S51	신호 S52	신호 S53	신호 SIG1	신호 SIG2	신호 SIG3
1	0	0	1	1	0	VH	VL	VM
0	1	1	1	1	0	VL	VH	VM
0	1	0	0	1	1	VM	VH	VL
1	0	1	0	1	1	VM	VL	VH
0	0	1	1	0	1	VL	VM	VH
1	1	0	1	0	1	VH	VM	VL

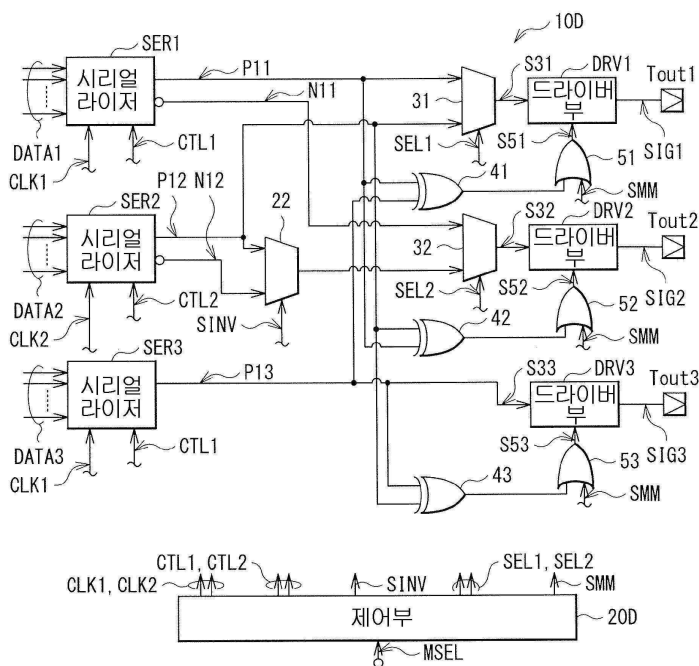
도면18



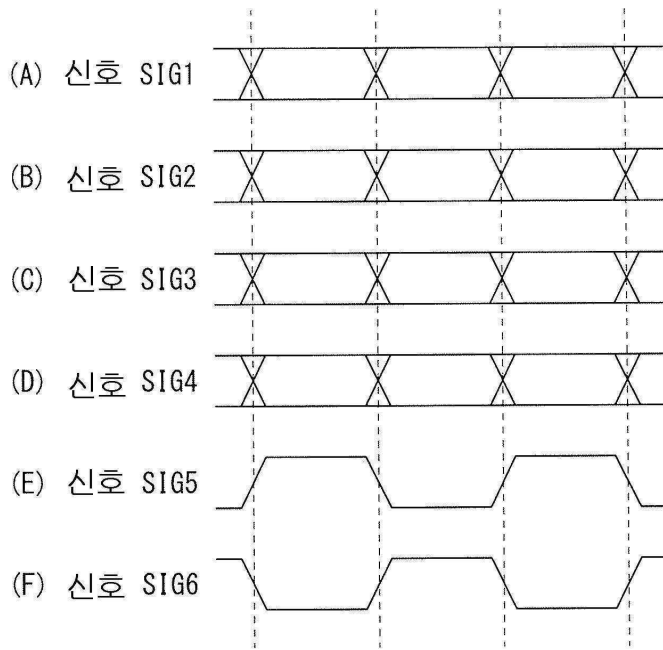
도면20



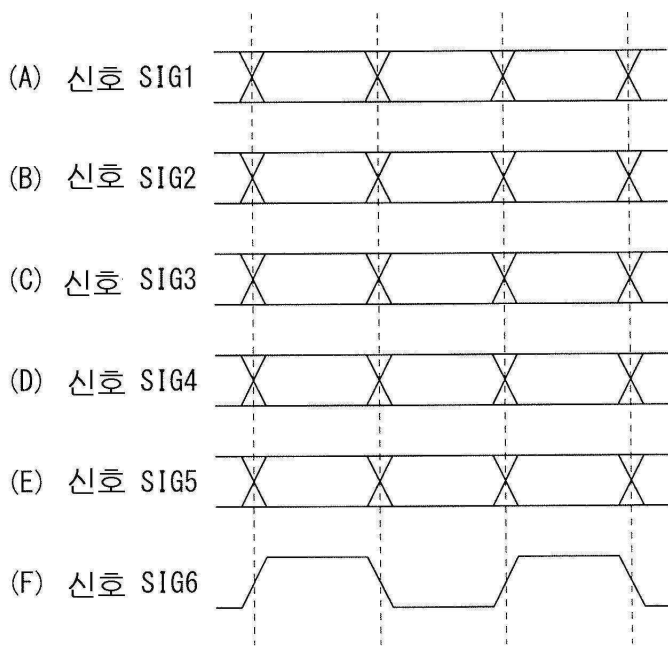
도면21



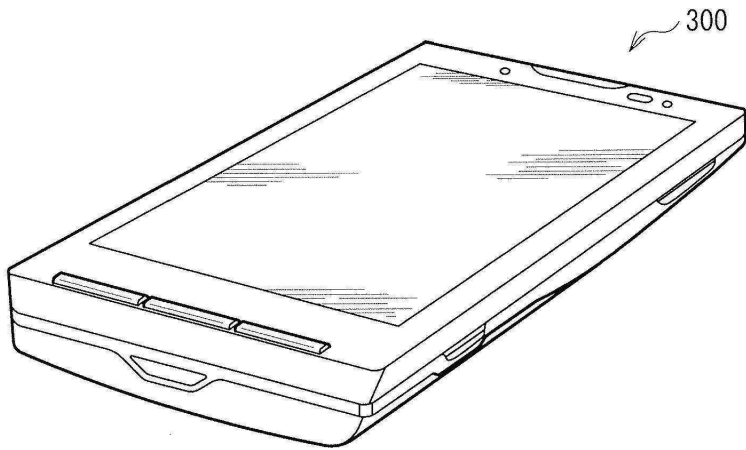
도면22



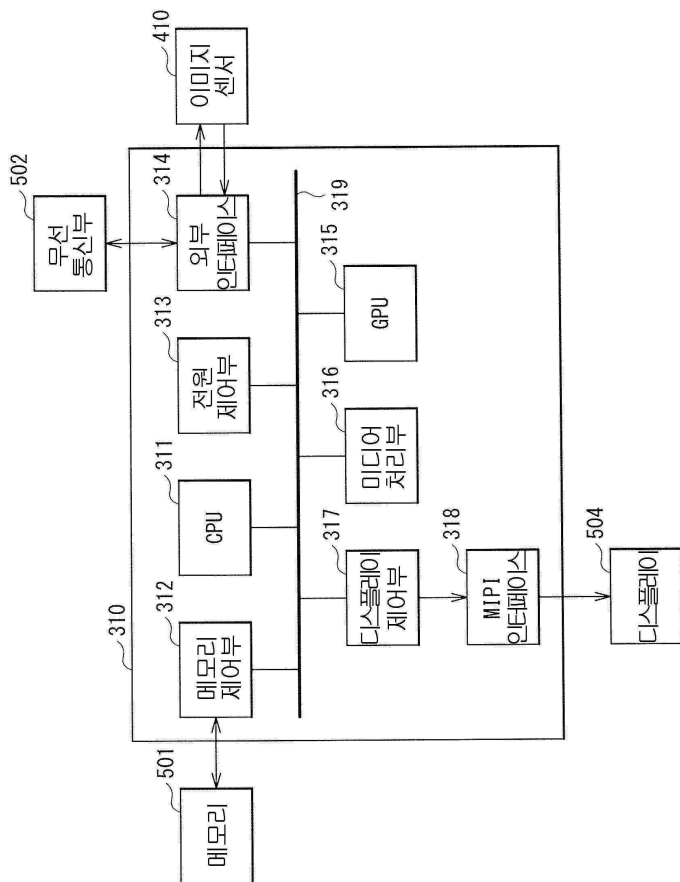
도면23



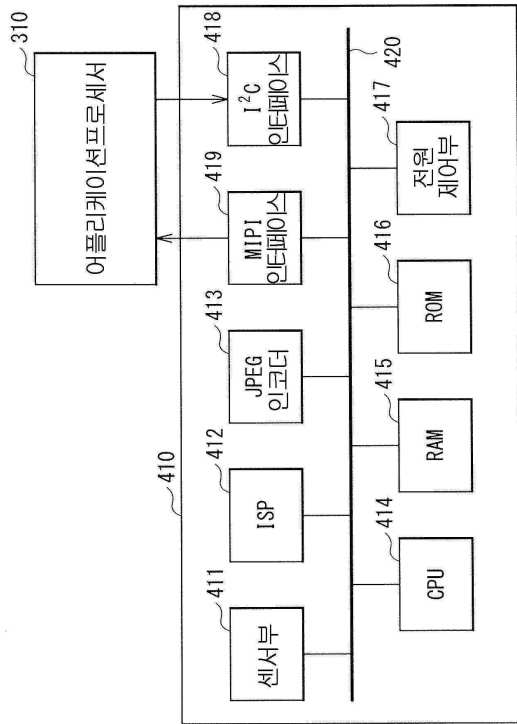
도면24



도면25



도면26



도면27

