(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl.
H04L 12/43 (2006.01)

(45) 공고일자 2007년05월07일
(11) 등록번호 10-0714104
(24) 등록일자 2007년04월26일

(21) 출원번호 10-1999-0060852
(22) 출원일자 1999년12월23일
심사청구일자 2004년12월23일

(65) 공개번호 10-2000-0057091
(43) 공개일자 2000년09월15일

(30) 우선권주장 09/219,775 1998년12월23일 미국(US)

(73) 특허권자
루센트 테크놀러지스 인크
미합중국 뉴저지 머레이 힐 마운틴 애비뉴 600 (우편번호 : 07974-0636)

(72) 발명자
엘-퀵토니에스.
미국,펜실바니아18104,알렌타운,웨지우드로드3869

라투렐도날드레이몬드
미국,펜실바니아18104,알렌타운,하이새들레인10

스미스레인에이.
미국,펜실바니아18040,이스톤,슈일레드라이브905

(74) 대리인
이병호
장훈
이범래

(56) 선행기술조사문헌
JP10322309 A

심사관 : 김병균

전체 청구항 수 : 총 17 항

(54) 고전압 인터페이스를 가로지르는 동기 데이터 전송 프로토콜

(57) 요약

본 발명은 프레임 동기 신호(및 대응하는 AC 결합 캐패시터들)의 제거를 허용하기 위해, 고전압 인터페이스를 가로질러 통과된 데이터 및 하나 또는 그 이상의 직렬 입출력(SIO) 제어 워드(들)을 포함하는 동기 데이터 프로토콜을 제공한다. 본 발명은 예를 들면, 시분할 멀티플렉싱(TDM) 데이터, 직렬 데이터 통신 장치들, 또는 일반적인 동기 직렬 통신 인터페이스들, 및 AC'97 명세서에 따른 오디오 코덱 장치, 즉, AC 링크에서 제어기와 코덱간의 통신에 대한 특별한 응용성을 갖는다. 동기 데이터 프로토콜은 두 통신 장치들간에 임의의 동기(즉, 프레임 단위 동기화가 아님)를 제공하기 위해, 전송 데이터 신호선을 통해 구현된다. 마스터 장치는 미리 결정된 프리앰블 코드 워드를 전송된 데이터 스트림에 삽입하기 위해 프리앰

블 삽입 모듈을 구비한다. 인터럽트는 미리 결정된 시간량 동안 데이터 클럭 신호를 보류함으로써 슬레이브 장치(slave device)에 전송된다. 인터럽트의 수신시, 슬레이브 장치는 프리앰블 코드 워드의 존재에 대해 데이터 스트림을 모니터링 한다. 프리앰블 코드 워드의 검출시, 코덱에 의해 전송된 데이터는 다시 인에이블된다.

대표도

도 1

특허청구의 범위

청구항 1.

마스터 장치(master device)와 코덱(codec)간의 타이밍을 동기시키는데 사용하기 위한 동기 데이터 프로토콜(synchronizing data protocol)에 있어서:

상기 마스터 장치 및 상기 코덱간의 타이밍을 동기시키는 프리앰블 코드 워드(preamble code word)를 상기 코덱에 전송하기 위한 데이터 스트림의 선택된 프레임들로 삽입하도록 구성된 상기 마스터 타이밍 장치내의 프리앰블 삽입 모듈; 및

상기 데이터 스트림내의 상기 프리앰블 코드 워드의 존재를 검출하도록 구성된 상기 코덱 장치내의 동기 프리앰블 검출 모듈을 구비하고,

상기 프리앰블 코드 워드는, 상기 마스터 장치 및 상기 코덱이 초기에 동기화되거나 재-동기화될 필요가 있을 때만 상기 선택된 프레임들로 삽입되는, 동기 데이터 프로토콜.

청구항 2.

제 1 항에 있어서,

상기 선택된 프레임들은 인접하지 않는, 동기 데이터 프로토콜.

청구항 3.

제 1 항에 있어서,

상기 코덱에서의 타이밍은 상기 데이터 스트림내의 상기 프리앰블 코드 워드의 검출 타이밍에 기초하여 동기화되는, 동기 데이터 프로토콜.

청구항 4.

제 1 항에 있어서,

상기 프리앰블 코드 워드와 함께 전송되도록 구성된 제어 어드레스 및 데이터 정보를 더 포함하고,

상기 제어 어드레스 및 데이터 정보는 상기 코덱내의 시스템 파라미터들에 관련하는, 동기 데이터 프로토콜.

청구항 5.

제 1 항에 있어서,

상기 마스터 장치로부터 상기 코덱으로의 클럭 신호의 변경에 기초하는 동작을 갖는 인터럽트 모듈을 더 구비하는, 동기 데이터 프로토콜.

청구항 6.

제 5 항에 있어서,

상기 인터럽트 모듈은, 적어도 미리 결정된 시간 길이 동안 상기 클럭 신호의 부재를 검출하도록 구성된 상기 코덱내의 제 1 클럭 부재 타이머를 구비하는, 동기 데이터 프로토콜.

청구항 7.

제 6 항에 있어서,

상기 인터럽트 모듈은, 상기 미리 결정된 시간 길이의 표시를 상기 마스터 장치에 제공하기 위한 상기 마스터 장치내의 제 2 클럭 부재 타이머를 더 구비하는, 동기 데이터 프로토콜.

청구항 8.

제 5 항에 있어서,

상기 클럭 신호의 상기 변경은 적어도 미리 결정된 시간 길이 동안 변하지 않는 클럭 신호인, 동기 데이터 프로토콜.

청구항 9.

제 1 항에 있어서,

상기 프리앰블 코드 워드의 검출시에 인에이블되도록 구성된 상기 코덱내의 버퍼를 더 구비하는, 동기 데이터 프로토콜.

청구항 10.

코덱을 직렬 데이터 버스를 통해 마스터 장치로 동기화하는 방법에 있어서:

인터럽트 신호를 상기 코덱에 제공하는 단계;

동기 프리앰블 코드 워드(synchronizing preamble code word)의 존재에 대해 상기 코덱에 의해 수신된 데이터 스트림을 모니터링하는 단계; 및

상기 코덱내의 타이밍을 상기 코덱에 의한 상기 동기 프리앰블 코드 워드의 검출의 타이밍에 기초하는 단계를 포함하고,

상기 동기 프리앰블 코드 워드는, 상기 코덱 장치 및 상기 직렬 데이터 버스가 처음 동기화되거나 재-동기화될 필요가 있을 때만 사용되는, 동기화 방법.

청구항 11.

제 10 항에 있어서,

상기 제공 단계는, 상기 직렬 데이터 버스를 통해 적어도 미리 결정된 시간 길이 동안 클럭 신호의 전송을 정지시키는 단계를 포함하는, 동기화 방법.

청구항 12.

제 10 항에 있어서,

상기 동기화는 프레임 신호에 관련하여 때때로 수행되는, 동기화 방법.

청구항 13.

제 11 항에 있어서,

상기 미리 결정된 시간 길이는 적어도 25 마이크로초인, 동기화 방법.

청구항 14.

코덱을 직렬 데이터 버스를 통해 마스터 장치에 동기화하는 장치에 있어서:

상기 코덱에 인터럽트 신호를 제공하는 수단;

동기 프리앰블 코드 워드의 존재에 대해 상기 코덱에 의해 수신된 데이터 스트림을 모니터링하는 수단; 및

상기 코덱내의 타이밍을 상기 코덱에 의한 상기 동기 프리앰블 코드 워드의 검출의 타이밍에 기초하는 수단을 포함하고,

상기 동기 프리앰블 코드 워드는 상기 코덱 장치 및 상기 직렬 데이터 버스가 초기에 동기화되거나 재-동기화될 필요가 있을 때만 사용되는, 동기화 장치.

청구항 15.

제 14 항에 있어서,

상기 인터럽트 신호를 제공하는 수단은, 상기 직렬 데이터 버스를 통한 클럭 신호의 전송을 적어도 미리 결정된 시간 길이 동안 정지시키는 수단을 구비하는, 동기화 장치.

청구항 16.

제 14 항에 있어서,

상기 동기화는 프레임 신호에 관련하여 때때로 수행되는, 동기화 장치.

청구항 17.

제 15 항에 있어서,

상기 미리 결정된 시간 길이는 적어도 25 마이크로초인, 동기화 장치.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

발명의 분야

본 발명은 개선된 직렬 인터페이스에 관한 것이다. 특히, 본 발명은 동기 데이터 프로토콜로 대체하는 것에 의해, 동기된 직렬 데이터 스트림 또는 시분할 멀티플렉스 직렬 데이터 스트림(time division multiplex serial data stream)에서 프레임 동기 신호(frame sync signal)와 같은 동기 신호를 제거하는 것에 관한 것이다.

종래 기술의 배경

직렬 통신(serial communications)은 두 디지털 구성소자들간에, 특히, 병렬 통신을 위해 요구된 하드웨어 요건들을 최소화하기 위해 비용면에서 민감한 응용들에서 효과적인 통신 방법이다. 예를 들어, 전송 라인, 수신 라인, 데이터 클럭 라인(data clock line), 및 프레임 동기 라인(및 리셋 라인)을 구현하는 직렬 인터페이스 기술은 종래의 다용도 코덱들로 구현되었다.

코덱은 여러해 동안 효율적이고 저렴한 전화 등급 오디오(telephone grade audio)의 디지탈화를 허용해 왔다. 일반적인 코덱(COder-DECoder의 약칭)은 아날로그 신호들을 예를 들어, 펄스 코드 변조(PCM) 디지털 신호들인 디지털 신호들로 및 디지털 신호들로부터 변환하는데 필요한 회로들을 조합하는 집적 회로 또는 그 밖의 전자 장치이다.

초기의 코덱은 전화에서의 사용을 위해 아날로그 신호들을 8 KHz 속도로 8 비트 PCM 변환하였고, 모뎀 입력들을 다룰 수 없었다. 보다 최근에는, 코덱들의 효율성 및 저가의 장점들이 확장되어, 전화에서 요구되는 품질을 넘어선 더욱 고품질의 사용을 위해, 아날로그 신호들을 48 KHz 샘플링 속도로 16 비트 스테레오(및 심지어는 20 비트 스테레오까지)로 변환한다. 더욱 고품질 및 넓은 대역 처리능력에 의해, 오늘날의 코덱들은 음성 대역 모뎀들과 같은 소비자 기기에 실용적으로 응용되고 있다.

이러한 더욱 정밀한 용도의 코덱들의 개발로, 아날로그 신호 대 노이즈(S/N) 비를 적어도 75 내지 90 dB까지 향상시킬 필요가 있게 된다. 상기 높은 S/N 비를 실현하는 하나의 주요 단계가 보다 최근에 종래의 코덱을 두 개의 개별적인 서브-시스템들로 분할함으로써 실현되고 있다. 즉, 이들 서브-시스템들은 호스트 프로세서에 주로 디지털 인터페이스를 전하는 제어기 서브-시스템 또는 집적 회로(IC), 및 아날로그 신호들의 혼합 및 변환에 주로 상기 인터페이스를 전하는 아날로그 서브-시스템 또는 IC가 있다. 상기 분할 디지털/아날로그 아키텍처는 가장 최근에 1996년, 9월 15일, 리버젼 1.03, "오디오 코덱 '97 컴포넌트 명세서"("AC '97 명세서")로서 문헌화되었다. 전체적으로 AC '97 명세서는 명백히 본문에 참조로서 통합된다.

도 3은 AC'97 명세서에 따른 저속 음성 대역 모뎀(510)과 같은 장치에 인터페이싱하는 종래의 분할-아키텍쳐 오디오 코덱을 도시한 것이다.

특히, 도 3에서, AC 제어기 서브-시스템(700)은 AC 링크(504)로서 언급된 5-와이어 동기된 직렬 데이터 버스(즉, 시분할 멀티플렉싱(TDM) 버스)를 통해 AC 아날로그 서브-시스템(702)에 인터페이스한다. AC 링크(504)의 5-와이어 TDM 버스는 동기 신호(712), 리셋 신호(520), AC 제어기 서브-시스템(700)으로부터 AC 아날로그 서브-시스템(702)으로의 직렬 TDM 데이터 스트림 SDATA_OUT(716), 클럭 신호 BIT_CLK(714), 및 AC 아날로그 서브-시스템(702)으로부터 AC 제어기(700)로의 직렬 TDM 데이터 스트림 SDATA_IN(718)을 포함한다. 클럭 신호 BIT_CLK(714)는 제어기(700)내의 또는 상기 제어기(700)에 관련한 클럭 소스(506)에 의해 유도된다.

저속 음성 대역 모뎀과 같은 외부 아날로그 장치에 인터페이스하는 종래의 AC 아날로그 서브-시스템(702)내의 회로는 아날로그-디지털 변환기(ADC)(522) 및 디지털-아날로그 변환기(DAC)(524)를 포함한다. ADC(522)는 AC 아날로그 서브-시스템(702)에 입력된 아날로그 모뎀 신호를 샘플링하여, AC 제어기 서브-시스템(700)에 입력된 직렬 TDM 데이터 스트

림 SDATA_IN(718)의 적절한 타임 슬롯(예를 들어, 타임 슬롯(5))으로의 삽입을 위해, 16,18,20 비트 데이터를 48 Ks/s로 AC 링크(504)에 공급한다. 반대로, DAC(524)는 AC 링크(504)의 AC 제어기 서브-시스템(700)으로부터의 직렬 TDM 데이터 스트림 SDATA_OUT(716)로부터 16,18,20 비트 데이터를 수신하고, 이를 저속 음성 대역 모뎀(510)에 대해 아날로그 신호 출력로 변환한다. QAM(quadrature amplitude modulation) 또는 CAP(Carrierless Amplitude and Phase)와 같은 종래의 복조 및 변조 기술들은, ADC(522) 및/또는 DAC(524)와 결합하여 디지털 신호 처리기(DSP) 및/또는 다른 처리기에 의해 수행될 수도 있다.

도 4는 AC'97 명세서에 따른 분할-아키텍쳐 오디오 코덱의 아날로그와 제어기 서브-시스템들(702, 700)간에 12개의 슬롯 TDM 양방향 데이터 스트림으로, 종래의 동기 신호(712), 직렬 TDM 데이터 스트림 SDATA_OUT(716), 및 직렬 TDM 데이터 스트림 SDATA_IN(718)을 도시한다. 직렬 TDM 데이터 스트림들 SDATA_0UT(716) 및 SDATA_IN(718)의 12 타임 슬롯들(1 내지 12)은 종래의 동기 신호(712)에 의해 프레이밍된다(framed). 동기 신호(712)는 타임 슬롯 0동안 수신된 TAG 위상(600)로부터 유도된다. 모든 타임 슬롯들은 20 비트 폭이다.

동기 신호(712)는 클럭 신호 BIT_CLK(714)에 관련하여 SDATA_OUT(716) 및 SDATA_IN(718)의 수신 및 전송을 동기화한다. 데이터 라인들과 클럭 신호간의 이러한 동기화는 도 5에 보다 상세하게 도시되어 있다.

특히, 도 5는 동기 신호(712)에 관련하여 클럭 신호 BIT_CLK(714)와 직렬 TDM 데이터 스트림 SDATA_OUT(716)을 도시한다. 동기 신호(712)는 고정된 12.288 MHz 클럭 신호인 클럭 신호 BIT_CLK(714)에 기초한다.

도 6은 직렬 인터페이스의 종래의 차동 구현을 이용하여 저전압 회로측상의 제어기(700)와 인터페이스된 AC 아날로그 서브-시스템(즉, 코덱)(702)의 구현을 도시한 것이다. 도시된 바와 같이, 코덱(702)은 통상 전력 전압의 과잉 상태로 전압에 노출되며, 따라서, 본원에서는 고전압 회로로서 언급된다. 어떤 상황에서, 코덱 또는 다른 고전압 회로(702)가 저전압 회로(700)의 접지로부터 전기적으로 분리될 수도 있도록 직렬 인터페이스에서 클럭 신호를 AC 결합하는 것이 바람직하다. 유사하게, 전송 데이터 신호(716), 수신 데이터 신호(718), 프레임 동기 신호(712), 및 리셋 신호(520)를 AC 결합하는 것이 바람직하다. 만일, 저전압 제어기(700)와 고전압 코덱(702)간의 모든 신호들이 AC 결합된다면, 저전압 제어기(700)의 접지와 고전압 코덱(702)의 접지간에 접속에 대한 필요성이 필수적으로 존재할 필요는 없다.

발명이 이루고자 하는 기술적 과제

불행히도, 실제 상황들에서, 저전압 제어기(700)와 고전압 코덱(702)간의 접지들이 해체된 후, 큰 공통 모드 전압은 저전압 제어기(700)의 접지 전위와 고전압 코덱(702)의 접지 전위간에 존재할 수도 있다. 이 큰 공통 모드 전압은 고전압 코덱(702)에서 AC 결합 디지털 신호들과 인터페이스될 수도 있다. 더욱이, 분리 변압기(791)의 비용이 상당할 수 있고, 만일, 코덱(702)이 중앙국과 임피던스 에뮬레이션(impedance emulation)을 수행한다면, 변압기(791)는 코덱(702)과 전화 회선간의 임피던스 매칭(impedance matching)을 열화시킬 수 있다.

이로써, 직렬 인터페이스의 다른 구현은 코덱(전화 회선, 모뎀, 오디오 소스 등에 접속될 수도 있음)이 도 7에 도시된 바와 같이 시스템의 고전압 섹션내에 위치되어 고가의 대형 변압기(791)를 제거하는데, 이 변압기(791)는 전형적으로 저전압측을 고전압측에 결합하도록 사용된다. 상기 기술은 변압기(791)에 대한 필요성을 없애지만, 다른 이유들, 예를 들어, AC 결합 캐패시터들(C)(일반적으로 3000 V AC 레이트로 됨)과 같은 추가의 하드웨어를 필요로 하기 때문에 단점이 있다.

이러한 직렬 인터페이스의 예는 LUCENT TECHNOLOGIES CSP1034 멀티-프로세서 모드 SIO 인터페이스와 함께 사용될 수 있다. 이러한 예에서, 5개의 직렬 라인들은 일반적으로 인터페이스를 제공하는데 요구되며, 5개의 직렬 라인들에 대응하는 5개의 신호들 각각은 차동 신호 쌍들로 변환될 필요가 있을 것이다. 5개 신호쌍들 각각은 총 10개의 고전압 캐패시터들을 필요로 하는, 전압 분리용 대응 캐패시터쌍과 분리될 필요가 있다.

회로들간에 인터페이스할 필요가 있는 통신 회선 수를 줄이는 것은 중요하며, 특히, 회로들 중의 하나가 더 고전압, 예로, 코덱에 영향받는 경우, 각각의 개별 라인들에 요구된 하드웨어 및 공간의 관련 비용 때문에 통신 회선수를 줄이는 것은 중요하다. 이로써, AC'97 명세서의 시분할 멀티플렉스(TDM) 직렬 인터페이스와 같은 동기 직렬 인터페이스에서 신호의 수를 줄일 필요가 있다.

발명의 구성

발명의 개요

본 발명의 원리들에 따라, 마스터 장치와 슬레이브 장치간에 임시적으로 타이밍을 동기화하는 데 사용하기 위한 동기 데이터 프로토콜은 프리앰블 코드 워드(preamble code word)를 슬레이브 장치에 전송을 위해 데이터 스트림내에 삽입하도록 구성된 마스터 타이밍 장치내의 프리앰블 삽입 모듈을 포함한다. 슬레이브 장치내의 동기 프리앰블 검출 모듈(synchronizing preamble detection module)은 데이터 스트림에서 프리앰블 코드 워드의 존재를 검출하도록 구성된다.

본 발명의 다른 양태에 따라 직렬 데이터 버스를 통해 슬레이브 장치를 마스터 장치에 동기화하는 방법은, 슬레이브 장치에 인터럽트 신호(interrupt signal)를 제공하는 단계를 포함한다. 슬레이브 장치에 의해 수신된 데이터 스트림은 동기 프리앰블 코드 워드의 존재에 대해 모니터링된다. 슬레이브 장치에서의 타이밍은 슬레이브 장치에 의해 동기 프리앰블 코드 워드의 검출의 타이밍에 기초한다.
본 발명의 특징들 및 이점들은 도면들을 참조하여 후속하는 설명으로부터 당업자에게 명백하게 될 것이다.

양호한 실시예의 상세한 설명

본 발명은 하나 또는 그 이상의 직렬 입출력(SIO) 제어 워드(들) 및 프레임 동기화 신호(frame synchronization signal)에 대한 요구를 감소시키는 고전압 인터페이스를 가로질러 전달되는 데이터를 포함하는 동기 데이터 프로토콜을 제공한다.

고전압 인터페이스를 가로질러 코덱 데이터를 통과시키는 종래의 방법은 도 6에 관련하여, 즉, 인터페이스의 저전압측상에 코덱(702)을 위치시키고 변압기(791)에 의해 제공된 고전압 분리(예로, 3000 볼트 분리)가 있는 고전압 장벽을 가로질러 아날로그 신호들을 통과시키는 것으로, 도시되고 설명된다. 변압기(791)는 또한 예를 들면, 전화 회선(104)의 트위스트 페어선(twisted pair wiring)상에 실린 저주파수 공통 모드 노이즈로부터 코덱(702)을 분리할 것이다. 또, 변압기(791)는 제어기(700) 및 코덱(702)내의 디지털 서브시스템들에 의해 발생된 고주파수 공통 모드 노이즈로부터 중앙국(113)의 전화 시스템을 분리할 것이다. 그러나, 변압기(791)의 사용은 변압기(791)에 의해 도입된 진폭 및 위상 왜곡으로 인해 코덱(702)에 의해 중앙국(113)과의 임피던스 매칭을 더욱 어렵게 한다.

대안적으로, 변압기(791)에 대한 필요성을 없애기 위해, 코덱(702)은 도 7에 도시된 바와 같이 고전압 회로측 상에 위치될 수 있다. 이 경우, 코덱(702)은 차동 디지털 SIO 신호들(712,714,716,718,520)에 AC 결합된다. 이 기술을 이용하여, 차동 수신기들은 디지털 신호들을 통과시키고 대부분의 공통 모드 노이즈를 거부하며, 고전압 캐패시터들(C)과 차동 수신기들의 조합은 변압기(791)에 의해 제공된 다른 기능들을 대신한다(도 6).

본 발명의 원리들은 도 7에 도시된 종래의 기술에서 동기 신호(712)에 대한 필요성을 없앰으로써 실현된다.

동기 신호(712)의 제거는 제어기(700) 및 코덱(702) 각각의 두개의 핀들을 절약하고, 요구된 보드 공간을 줄이며, 예를 들면, 두 개의 비싼 AC 결합 캐패시터들(C)을 없앰으로써 전체 시스템 비용을 줄이게 된다.

도 1에 도시된 본 발명의 개시된 실시예에 따라, 종래의 동기 신호들(712)의 제거는 인터페이스상에, 예를 들면, 저전압측상에는, 미리 결정된 동기 코드 워드를 데이터 스트림에 삽입하고, 고전압측상에는, 미리 결정된 동기 코드 워드의 존재를 인식하기 위해, 회로 또는 소프트웨어를 부가함으로써 실현된다. 설명된 실시예가 저전압측상의 장치에 의해 제어된 동기화, 고전압측상의 장치를 저전압측상의 장치의 클럭킹에 동기화하는 것에 관련한 것인 반면에, 본 발명의 원리들은 저전압측(예로, 제어기(100))상의 장치 또는 고전압측(예로, 코덱(106))상의 장치에 의해 제어된 동기화에 관한 것이다.

더욱이, 개시된 실시예들이 AC '97 명세서에 일치하여 AC 링크를 통해 통신하는 제어기 및 오디오 코덱에 관한 것인 반면에, 본 발명의 원리들은 또한 예를 들어, 동기삭 직렬 데이터 스트림 또는 시분할 멀티플렉싱(TDM) 동기식 직렬 데이터 스트림 통신 시스템내의, 프레이밍 펄스(framing pulse)와 같은 동기 펄스를 요구하는 임의의 직렬 통신 링크에 관한 것이다.

개시된 실시예에 따라, 데이터 프로토콜은 프레임 동기 신호에 대한 필요성을 없애도록 구현된다. 데이터 프로토콜은 특히 매우 안정적인 TDM 통신 회선들에 유용하다.

개시된 실시예에서, 1 비트 시그마 델타 데이터는 제어기와 오디오 코덱간에 전송된다. 데이터 프로토콜은 전송 시스템(예로, 도 1에서 코덱(106))에 의해 전송된 데이터와, 수신 시스템(예로, 도 1에서 제어기(100))에 의해 수신된 데이터간의 임시적인 동기를 제공하는 데이터 라인을 통해 구현된다.

본 발명의 원리들은 또한 디지털 구성요소들, 즉, 제어기(100)와 코덱(106)간에 필요한 신호들을 더욱 감소시키는 구현들에 응용가능하다. 예를 들어, 필요한 신호들의 수 및 대응하는 AC 결합 캐패시터들은 본 발명의 원리들에 따라 동기 데이

터 프로토콜과, 1998, 1월 27일 출원된 미국 출원 번호 제 09/013,943호에 "클럭 신호와 직렬 데이터를 결합하기 위한 방법 및 장치"라는 명칭으로 개시된 대로(이 명세서는 그 전반적인 내용이 본문에 참조되고 있음), 2위상(bi-phase) 인코딩을 이용하여 전송 신호들과 데이터 클럭을 함께 인코딩한 신호를 조합함으로써 더욱 감소될 수도 있다.

도 1은 AC'97 명세서에 따라 AC 링크의 기본 구조를 형성하는 직렬 TDM 인터페이스의 실시예를 도시한다. 그러나, 도 1에서, 종래의 프레임 동기 신호(도 7에서 (712))는 제거되고 본 발명의 원리들에 따라 제어기(100)에서의 데이터 프로토콜을 동기시킴으로써 대체된다.

특히, 도 1은 고전압측상의 코덱(106) 및 저전압측상의 제어기(100)의 구현을 도시한다. 개시된 실시예에서, 코덱(106)은 DAA(102)와 인터페이스되며, 이 DAA(102)는 전화 회선(104)을 통해 전화 회사 중앙국(113)에 차례로 접속된다. 그러나, 본 발명의 원리들 및 AC '97 명세서에 따라, 코덱(106)은 가상적으로 임의의 아날로그 장치, 특히 소비자 오디오 및 전화 장치들에 관련된 장치들과 인터페이싱될 수도 있다.

제어기(100)와 코덱(106)간의 직렬 인터페이스는 3개의 기본 통신 신호들, 즉, 데이터 전송 TDM 신호(116), 데이터 수신 TDM 신호(118), 및 데이터 클럭 신호(110)를 포함한다. 만일, 희망된다면, 리셋 신호(도시안됨)도 특정 응용의 요구들에 기초하여 구현될 수도 있다.

개시된 실시예에서, 전송 신호(116), 수신 신호(118), 및 클럭 신호(110)는 각각의 차동 신호선측에 최소한 하나의 AC 결합 캐패시터(C)를 포함하는 각각의 차동 신호들이다. 그러나, 본 발명의 원리들은 싱글-엔드 직렬 회선들(single-ended serial lines)에 동일하게 적용가능하다. 더욱이, 전송 신호(116) 및 클럭 신호(110)는 명확하게 본문에 참조로서 통합된 명세서 미국 출원 번호 제 09/013,943호에 개시된 바와 같이 싱글-엔드 신호로서 조합될 수 있다.

저전압 회로, 즉, 제어기(100)는 프리앰블 삽입 모듈(preamble insertion module; 134), 클럭 부재 타이머(clock absence timer; 132), 및 클럭 소스(130)를 포함한다. 고전압 회로, 즉, 코덱(106)은 동기 프리앰블 검출 모듈(sync preamble detect module; 140), 클럭 부재 타이머(138), 동기된 타이밍 모듈(136), 및 버퍼(142)를 포함하며, 이 버퍼(142)는 클럭 신호의 부재에 이어지는 데이터 스트림내에 프리앰블 코드 워드의 검출시에 활성화된다.

특히, 프리앰블 삽입 모듈(134)은 미리 결정된 프리앰블 코드 워드, 예를 들면, '11101'을 전송 신호선(116) 상에 전송된 데이터 스트림에 삽입하도록 구성된다. 특정 응용에 따라, 프리앰블 코드 워드는 임의의 코드일 수도 있고, 임의의 길이일 수도 있다. 바람직하게는, 프리앰블 코드 워드는 최소한 5비트 길이이고, 바람직하게는 '111'로 시작한다.

프리앰블 코드 워드는 클럭 신호의 부재 다음의 데이터 스트림에 삽입된다. 따라서, 재동기화를 초기화하기 위해, 제어기(100)는 미리 결정된 시간 주기, 예를 들면, 최소한 700 mS동안 클럭 소스(130)를 의도적으로 정지시키며, 이후, 프리앰블 코드 워드를 전송 데이터 스트림(116)에 삽입한다.

제어기(100)내의 클럭 부재 타이머(132)는 제어기(100)가 클럭 소스(130)를 클럭 신호선(110)상에 출력하는 것을 얼마나 오랫동안 정지시킬 것인지를 결정하기위해 제어기(100)에 의한 자체-모니터링 기능에 관한 것이다. 클럭이 코덱(106)으로부터 보류되는 충분한 양의 시간 후에, 예를 들어, 700 mS 후에, 프리앰블 삽입 모듈(134)은 프리앰블 코드 워드를 전송 신호선(116)상에 전송된 데이터 스트림의 적절한 타임 슬롯에 삽입한다.

직렬 TDM 인터페이스의 타이밍에 관하여, 제어기(100)는 마스터(master)이고 코덱(106)은 슬레이브(slave)이다. 이와 같이, 코덱에서, 타이밍이 수신되고 동기 타이밍 모듈(136)에 의해 동기된다. 클럭 신호는 클럭 부재 타이머(138)에 의해 모니터링된다. 클럭 부재 타이머(138)는 클럭 신호의 부재의 검출시 문턱치 시간량보다 오랫동안, 예를 들어, 700 mS보다 오랫동안 동기 프리앰블 검출 기능(140)을 활성시킨다. 활성화시, 동기 프리앰블 검출 기능부(140)는 미리 결정된 프리앰블 코드 워드의 존재동안 전송 신호선(116)상에 수신된 데이터 스트림을 모니터링한다.

본 발명자들은 일반적인 TDM 직렬 인터페이스들 및 특히, 본 발명의 개선안에서의 AC 링크의 안정성을 실현했다. 예를 들어, 종래의 전송 신호선(716)을 통해 전달되는 데이터의 일반적인 비트 에러률(BER)은 10년마다 1 비트보다 적은 에러 정도임이 실험적으로 결정되었다. 이와 같이, 프레임 동기화는 이러한 안정성을 유지하기 위해 모든 프레임을 발생할 필요가 없음이, 직렬 TDM 데이터 통신에서 이러한 안정성을 갖는 것으로 결정되었다. 고유의 데이터 프로토콜의 인식을 통해 실행된 임시의 동기화가 매우 안정된 통신 링크(즉, 낮은 비트율을 가짐)를 유지하기 위해 적절한 동기를 제공함이 결정되고, 동시에 추가 동기 신호(예를 들어, 도 7에 도시된 종래의 인터페이스에서 (712))에 요구된 비용 및 공간을 제거한다. 본 발명의 원리들에 따라, 동기화 후에, 데이터 통신은 전송 신호(116), 수신 신호(118), 및 클럭 신호(110)만을 사용하여 프리 런(free run)하도록 허용될 것이다.

도 2는 제어 정보가 프리앰블 코드 워드와 함께 제어기(100)로부터 코덱(106)에 전달될 수 있는 동기 프리앰블 검출 기능부(140)의 실시예를 도시한다.

특히, 데이터 스트림 버퍼(210)는 어드레스 및/또는 데이터 정보와 함께 프리앰블 코드 워드의 존재를 결정하도록 파싱(parse)될 수도 있다. 프리앰블 코드 워드(202)는 예를 들어, '11000110'등의 8비트 코드 워드일 수도 있고, 제 1 버퍼(210c)내에 수신될 수도 있다. 제 2 버퍼(210b)는 어드레스 정보, 예를 들어, 8비트 어드레스를 각각 포함하는 256 레지스터들까지 수신할 수 있다. 유사하게는, 일반 데이터 정보, 예를 들어, 16비트 데이터 워드들은 제 3 버퍼(210a)내에 수신될 수 있다.

프리앰블 코드 워드(202)의 인식시, 비교기 및 래치 제어기(204)는 데이터 버퍼(210a)내에 포함된 데이터를 적절한 레지스터(208)내에, 및 어드레스 버퍼(210b)에 포함된 어드레스(들)를 적절한 레지스터(들)(206)내에 클럭킹할 수도 있다. 레지스터들(206,208)내에 래치된 데이터 및 어드레스 정보는 시스템 시동 또는 타이밍 동기화시에 일반적으로 초기화된 시스템 파라미터들에 관련될 수 있다.

신호 데이터로부터 제어 워드들을 구별하기 위해, 인터럽트 과정은 인터럽트 라인에 대한 요구를 제거하도록 셋업될 수 있다. 개시된 실시예에서, 인터럽트 과정은 클럭 부재 타이머(138)에 의해 검출된 바와 같이 클럭 신호의 부재에 의해 트리거된다. 클럭이 최소한 미리 결정된 시간 길이 동안 멈출 때, 동기 프리앰블 검출 기능부(140)는 프리앰블 코드 워드(202)의 존재에 대해 모니터링하도록 리셋된다. 프리앰블 코드 워드(202)가 검출될 때, 데이터 및 어드레스는 적절한 레지스터들(206,208)에 래칭될 것이다. 데이터 및 어드레스 레지스터들(206,208)은 다른 인터럽트가 수신될 때까지, 예를 들어, 클럭이 정지하고 다시 시작될 때까지 새로운 데이터를 수용하지 않을 것이다.

희망된 모든 레지스터들이 모두 프로그램될 때, 비트(143)는 버퍼(142)를 인에이블하기 위해 인에이블 데이터, 예를 들어, 시그마 델타 데이터를 코덱에 전송하도록 설정된다. 클럭 신호가 코덱(106)에 존재하는 한, 데이터는 코덱 필터들로 전송된다.

이와 같이, 본 발명의 원리들에 따라, 동기 데이터 프로토콜은 통신 트랜잭션의 시작시에 소정의 응용에서 한번 전송될 필요가 있을 뿐이다. 그러나, 특정한 용도에 의해, 동기 데이터 프로토콜을 임의로 활성화하며, 더욱 신뢰성이 높고, 에러가 없는 통신을 보장하는 것이 바람직할 수도 있다. 예를 들어, 적어도 최소량의 시간, 즉, 25마이크로초보다도 오랫동안 클럭 신호의 부재에 의해 수신된 클럭 신호의 부재의 검출후에, 웜(warm) 동기화가 활성화될 수 있으며, 여기서, 저장된 레지스터들 및 다른 메모리 상주 파라미터들은 안정 상태로 유지할 가능성이 있다. 이러한 웜 동기화에서, 프리앰블은 제어기(100)내의 프리앰블 삽입 모듈(134)에 의해 데이터 스트림내에 삽입되고, 프리앰블은 코덱(106)내의 동기 프리앰블 검출기(140)에 의해 검출되며, 이로부터 데이터 통신이 속행된다.

더욱이, 다른 실시예에서, 전화 회선으로부터 전력 공급 전류의 손실이 감지될 수 있다. 일부 국가에서, 전화 회선상에서 사용가능한 전류는 700 밀리초(mS)까지 동안 인터럽트될 수도 있으며, 이로써, 회선 전류에 의해 전력 공급된 회로는 전력 공급 전류에서의 이러한 갭들을 수용해야만 한다. 그러나, 700 mS보다 긴 동안의 규정밖의 전류 인터럽트의 경우, 코덱(106) 및 다른 회로(전화 회선(104)에 의해 전력 공급된다면)는 전력없이 예측불가능한 기간을 경험할 수도 있다. 이러한 경우, 전류의 손실로부터 회복될 때, 본 발명의 원리들에 따른 동기 데이터 프로토콜은 통신을 재동기화하도록 구현될 수 있다.
테스팅시에, 본 발명의 원리들에 따라 동기 데이터 프로토콜로 동기 신호를 대체하는 것은, 큰 노이즈 양을 나타내는 통신 회선들에서 조차도, 매우 신뢰할만한 것으로 판명되었다.
본 발명의 원리들은 일반적으로 동기식 직렬 데이터 스트림들에 응용성을 가지며, 시분할 멀티플렉싱된 직렬 데이터 스트림들에만 응용성을 갖는 것은 아니다. 예를 들어, 본 발명은 직렬 데이터 전송으로 수신 장치를 동기화하기 위해 프레이밍 신호 또는 다른 신호를 전형적으로 활용하는 연속의 동기식 직렬 전송 데이터 스트림으로 구현될 수도 있다.
더욱이, 본 발명은 특정 코덱, 즉, AC'97 적응 코덱을 참조하여 설명되고, 본 발명의 원리들은 임의의 코덱 장치와의 통신에 관한 것이다.
본 발명이 예시적인 양호한 실시예를 참조하여 설명되었을지라도, 당업자들은 본 발명의 진정한 정신 및 범위를 벗어나지 않은채 본 발명의 설명된 실시예들에 대해 여러 수정안들을 실시할 수 있을 것이다.

발명의 효과

본 발명은 하나 또는 그 이상의 직렬 입출력(SIO) 제어 워드(들) 및 프레임 동기화 신호에 대한 요구를 감소시키는 고전압 인터페이스를 가로질러 전달되는 데이터를 포함하는 동기 데이터 프로토콜을 제공한다.

도면의 간단한 설명

도 1은 본 발명의 원리들에 따라, 프레임 동기에 대한 필요성없이 사용된 예시적인 동기 데이터 프로토콜(synchronizing data protocol)을 도시하는 도면.

도 2는 도 1에 도시된 동기 데이터 프로토콜을 더욱 상세하게 도시하는 도면.

도 3은 AC'97 명세서에 따라 두 개의 개별적인 회로들간의 종래의 4개 신호(플러스 리셋) 직렬 인터페이스(serial interface)를 도시한 도면.

도 4는 도 3에 도시된 바와 같은 분할-아키텍쳐 오디오 코덱(split-architecture audio codec)의 아날로그 및 제어기 서브-시스템들간에, 종래의 동기 신호, 및 12개의 슬롯, 직렬 TDM 전송 및 수신 데이터 스트림들을 도시하는 도면.

도 5는 도 3에 도시된 직렬 인터페이스로 사용된 동기 신호를 참조하여 비트 클럭 신호 및 직렬 TDM 데이터 스트림의 구현을 보다 상세하게 도시하는 도면.

도 6은 종래의 변압기 분리 회로(transformer isolation circuit)를 도시하는 도면.

도 7은 종래의 디지털 AC 결합 캐패시터 분리 회로(digital AC coupling capacitor isolation circuit)를 도시하는 도면.

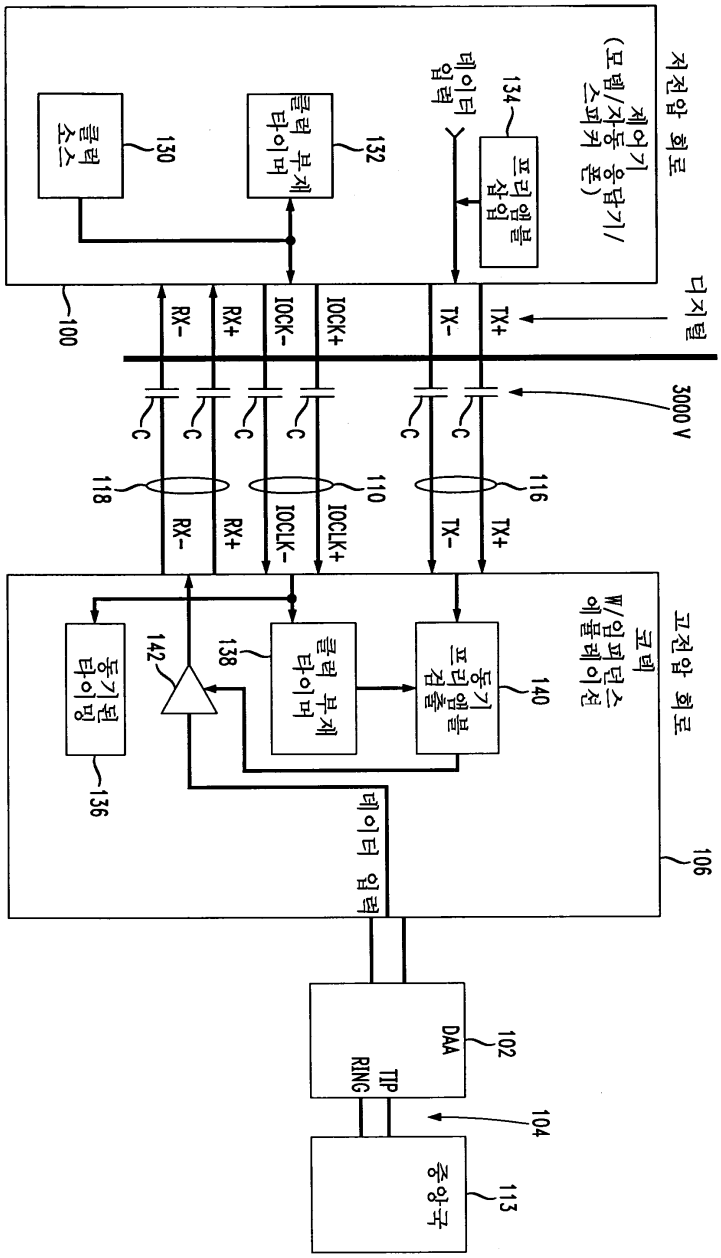
도면의 주요 부분에 대한 상세한 설명

100 : 저전압 회로 106 : 고전압 회로

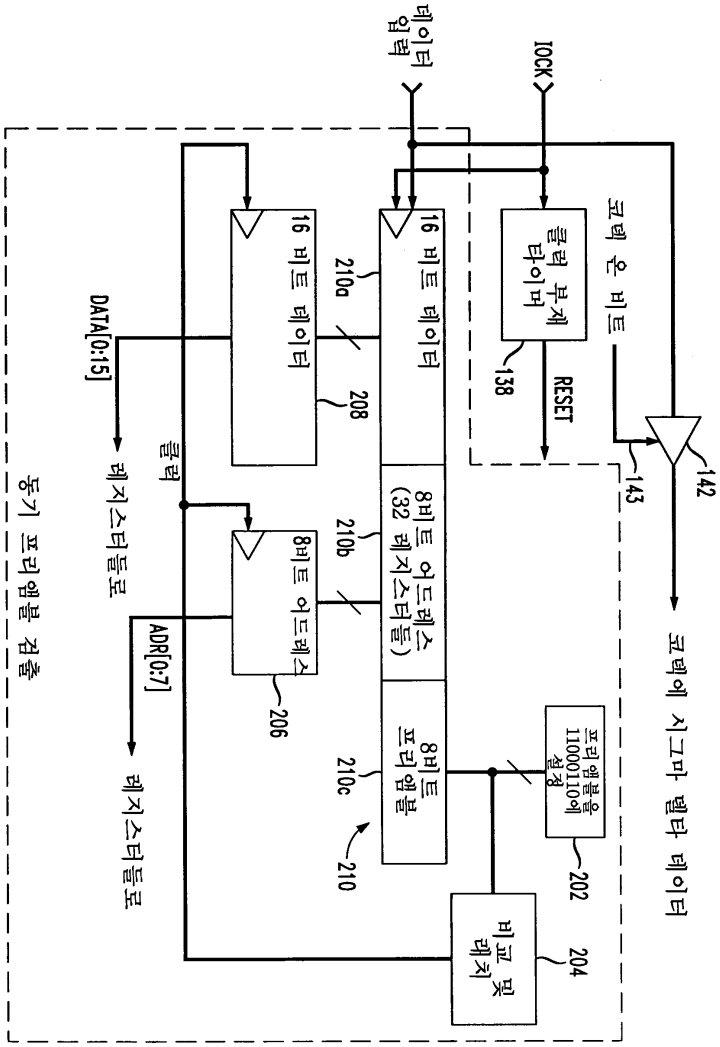
130 : 클럭 소스 132, 138 : 클럭 부재 타이머
134 : 프리앰블 삽입 모듈 136 : 동기된 타이밍 모듈
140 : 동기 프리앰블 검출 모듈 142 : 버퍼

도면

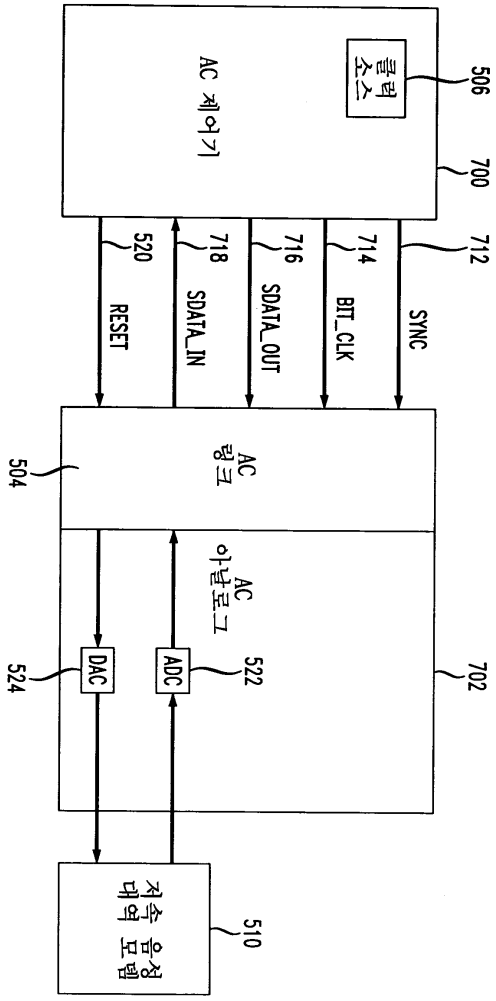
도면1


저전압 회로
제어기
(모뎀/자동 응답기/
스피커 폰)
데이터
입력
134
프리앰블
삽입
132
클럭 부재
타이머
130
클럭
소스
100
RX-
RX+
IOCK-
IOCK+
TX-
TX+
디지털
3000 V
C
118
110
116
IOCLK-
IOCLK+
코덱
W/임피던스
에뮬레이션
고전압 회로
동기
프리앰블
검출
140
클럭 부재
타이머
138
동기된
타이밍
136
142
데이터 입력
106
DAA
102
TIP
RING
104
중앙국
113

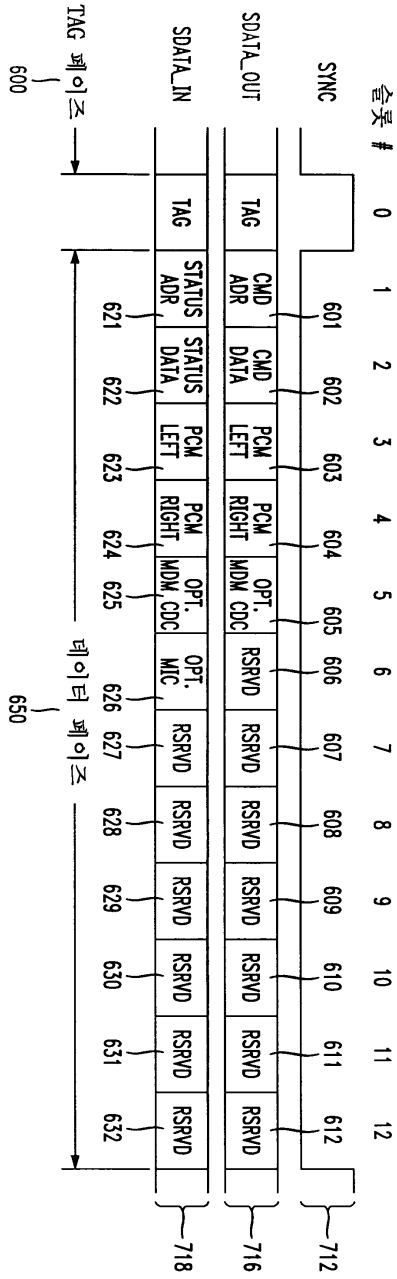
도면2


데이터 입력
IOCK
코텍 온 비트
클럭 부재 타이머
138
RESET
143
142
코텍에 시그마 델타 데이터
16 비트 데이터
210a
208
16 비트 데이터
8비트 어드레스 (32 레지스터들)
210b
8비트 어드레스
206
8비트 프리앰블
210c
210
프리앰블을 11000110에 설정
202
비교 및 래치
204
DATA[0:15]
레지스터들로
클럭
ADR[0:7]
레지스터들로
동기 프리앰블 검출

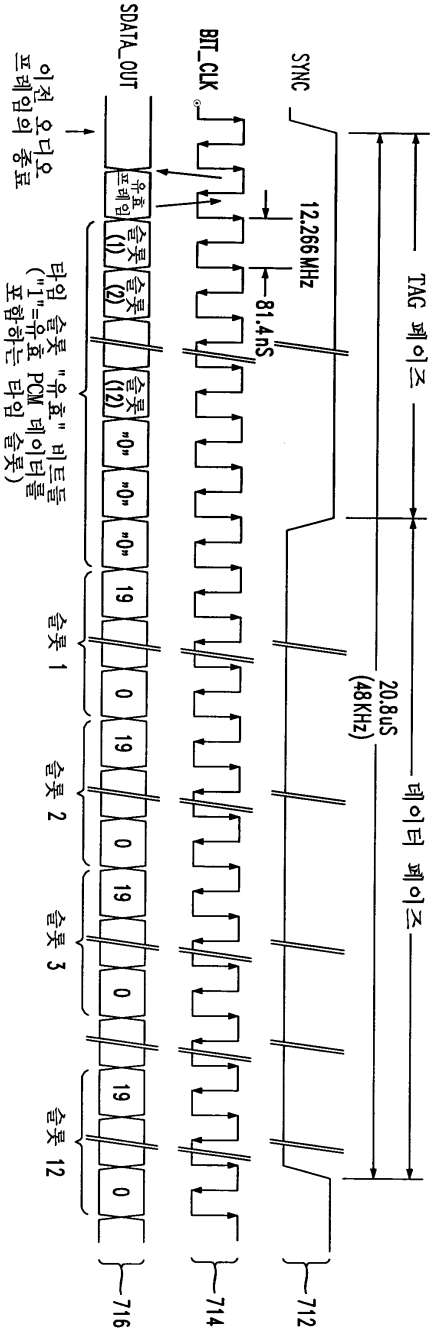
도면3


AC 제어기
클럭 소스
506
700
712
714
716
718
520
SYNC
BIT_CLK
SDATA_OUT
SDATA_IN
RESET
AC 링크
504
AC 아날로그
DAC
ADC
522
524
702
청취 음성 대역 모델
510

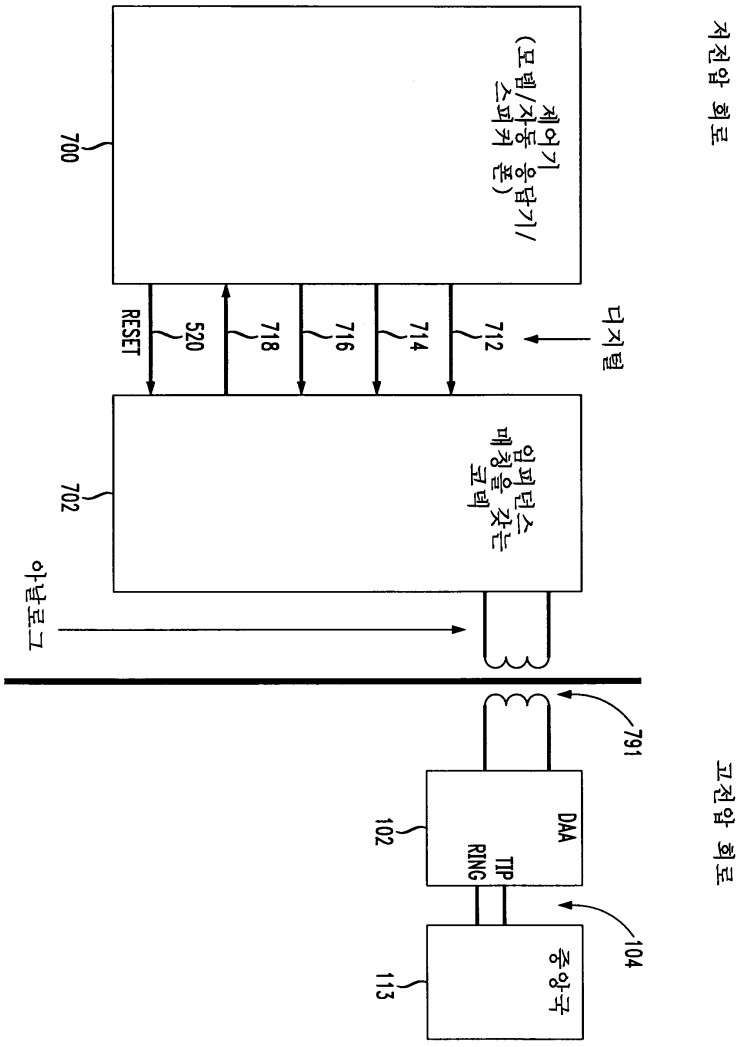
도면4


슬롯 #
0
1
2
3
4
5
6
7
8
9
10
11
12
SYNC
SDATA_OUT
SDATA_IN
TAG
CMD ADR
CMD DATA
PCM LEFT
PCM RIGHT
OPT. MDM CDC
RSRVD
OPT. MIC
STATUS ADR
STATUS DATA
601
602
603
604
605
606
607
608
609
610
611
612
621
622
623
624
625
626
627
628
629
630
631
632
712
716
718
TAG 페이즈
600
데이터 페이즈
650

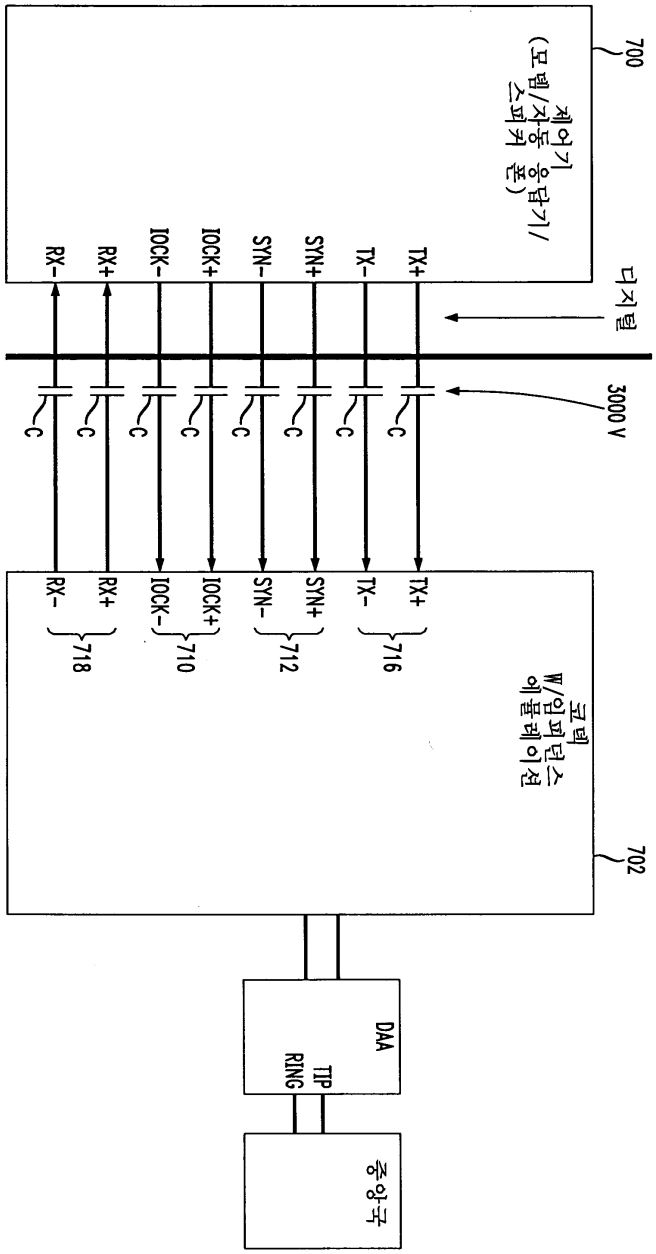
도면5


AC 링크 오디오 출력 프레임
TAG 페이즈
데이터 페이즈
SYNC
BIT_CLK
SDATA_OUT
12.266MHz
81.4nS
20.8uS
(48KHz)
이전 오디오
프레임의 종료
유효
프레임
슬롯
(1)
슬롯
(2)
슬롯
(12)
"0"
"0"
"0"
19
0
19
0
19
0
19
0
712
714
716
타임 슬롯 "유효" 비트들
("1"=유효 PCM 데이터를
포함하는 타임 슬롯)
슬롯 1
슬롯 2
슬롯 3
슬롯 12

도면6


저전압 회로
제어기
(모뎀/자동 응답기/
스피커 폰)
700
디지털
712
714
716
718
520
RESET
임피던스
매칭을 갖는
코덱
702
아날로그
791
고전압 회로
DAA
TIP
RING
102
104
중앙국
113

도면7


저전압 회로
고전압 회로
700
제어기
(모뎀/자동 응답기/
스피커 폰)
디지털
3000 V
TX+
TX-
SYN+
SYN-
IOCK+
IOCK-
RX+
RX-
C
702
코덱
W/임피던스
에뮬레이션
716
712
710
718
DAA
TIP
RING
중앙국