

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局



PCT



(10) 国际公布号
WO 2011/079596 A1

(43) 国际公布日
2011 年 7 月 7 日 (07.07.2011)

- (51) 国际专利分类号:
H01L 21/336 (2006.01)
- (21) 国际申请号: PCT/CN2010/074397
- (22) 国际申请日: 2010 年 6 月 24 日 (24.06.2010)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:
200910244516.X 2009 年 12 月 30 日 (30.12.2009) CN
- (71) 申请人 (对除美国外的所有指定国): 中国科学院微电子研究所 (INSTITUTE OF MICROELECTRONICS, CHINESE ACADEMY OF SCIENCES) [CN/CN]; 中国北京市朝阳区北土城西路 3 号, Beijing 100029 (CN)。
- (72) 发明人: 及
- (75) 发明人/申请人 (仅对美国): 朱慧珑 (ZHU, Hui-long) [US/US]; 美国纽约州波基普西市奥特姆街 93 号, New York 12603 (US)。尹海洲 (YIN, Haizhou) [CN/US]; 美国纽约州波基普西市洛克科劳斯特街 11 号, New York 12603 (US)。骆志炯 (LUO, Zhi-jiong) [CN/US]; 美国纽约州波基普西市洛克科劳斯特街 11 号, New York 12603 (US)。梁擎擎 (LIANG, Qingqing) [CN/CN]; 中国北京市朝阳区北土城西路 3 号, Beijing 100029 (CN)。
- (74) 代理人: 中科专利商标代理有限责任公司 (CHINA SCIENCE PATENT & TRADEMARK AGENT LTD.); 中国北京市海淀区王庄路 1 号清华同方科技大厦 B 座 25 层, Beijing 100083 (CN)。
- (81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。
- (84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG,

[见续页]

(54) Title: MOSFET STRUCTURE AND THE MANUFACTURING METHOD THEREOF

(54) 发明名称: MOSFET 结构及其制作方法

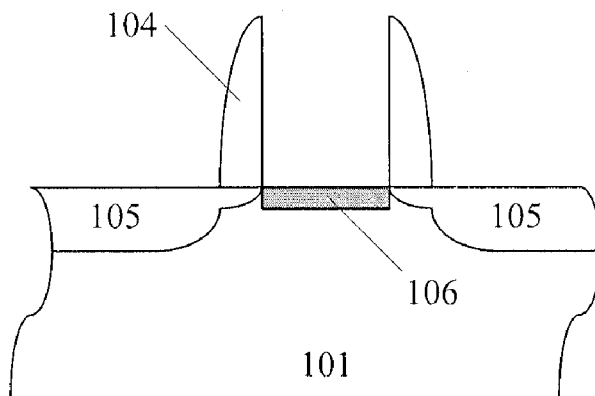


图 3 / FIG. 3

(57) Abstract: A MOSFET structure and a manufacturing thereof are provided, the method includes: a semiconductor substrate (101), a dummy gate is formed on the substrate (101); a source/ drain area (105) is formed; the dummy gate is selectivity etched until position of the channel, which will be formed; an extension channel layer (106) is growing at the position of the channel, which will be formed; a gate is formed on the channel layer (106), therein the channel layer (106) includes high mobility material, the high mobility material replaces the channel of device after forming the source/ drain area (105), thereby the short channel effect is suppressed and the performance of device is increased.

[见续页]

WO 2011/079596 A1



CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, **本国际公布:**
TG)。

— 包括国际检索报告(条约第 21 条(3))。

(57) 摘要:

一种 MOSFET 结构及其制作方法，该方法包括：提供半导体衬底(101)；在半导体衬底(101)上形成伪栅极；形成源/漏区 (105)；对伪栅极进行选择性地蚀刻，直至将要形成沟道的位置；以及在将要形成沟道的位置处外延生长沟道层(106)，并在沟道层(106)上形成栅极，其中，所述沟道层(106)包括高迁移率材料，在形成源/漏区(105)之后，利用高迁移率材料替换器件的沟道，从而可以有效抑制短沟道效应并提高器件的性能。

MOSFET 结构及其制作方法

技术领域

本申请一般地涉及半导体器件及其制作领域，更为具体地，涉及一种 MOSFET（金属氧化物半导体场效应晶体管）结构及其制作方法。

背景技术

随着半导体技术的发展，晶体管尺寸不断缩小，器件和系统的速度随之提高。当晶体管沟道缩短到一定程度，就会出现短沟道效应，从而造成漏电流变大、开关效率降低、耗电和发热量增大。因此，这种几何尺寸一旦超出某个限制值，就会导致整个器件的功能完全崩溃。

有鉴于此，需要提供一种新颖的金属氧化物半导体场效应晶体管（MOSFET）结构及其制作方法，以便有效应对器件尺寸减小带来的问题特别是短沟道效应，并提高晶体管单位长度的导通电流。

发明内容

鉴于上述问题，本发明的目的在于提供一种金属氧化物半导体场效应晶体管（MOSFET）结构及其制作方法，该 MOSFET 能够克服器件尺寸减小带来的限制，特别是能够克服短沟道效应。

根据本发明的一个方面，提供了一种制作金属半导体氧化物场效应晶体管的方法，包括：提供半导体衬底；在半导体衬底上形成伪栅极；形成源/漏区；对伪栅极进行选择刻蚀，直至将要形成沟道的位置；以及在将要形成沟道的位置处外延生长沟道层，并在沟道层上形成栅极，其中，所述沟道层包括高迁移率材料。

优选地，所述高迁移率材料包括 Ge 原子百分比为 50~100% 的 SiGe。

优选地，该方法还包括：在形成伪栅极之前，在半导体衬底上形成沟道预备层。对伪栅极进行选择刻蚀直至将要形成沟道的位置包括：选择性刻蚀伪栅极，并继续刻蚀沟道预备层，直至露出半导体衬底的表面。

优选地，所述沟道预备层包括 Ge 原子百分比为 5~15% 的 SiGe。

优选地，形成源/漏区包括：以伪栅极为掩模，进行源/漏延伸区注入；在伪栅极侧壁形成侧壁间隔物；在侧壁间隔物两侧将要形成源/漏区的部位进行刻蚀，直至进入

半导体衬底一定深度；在刻蚀后的半导体衬底上外延生长源/漏材料层，选择该源/漏材料层的材料使得其向沟道层施加应力；以及对源/漏材料层进行掺杂，以形成源/漏区。

优选地，所述源/漏材料层包括 Ge 原子百分比为 20~70% 的 SiGe。

5 可选地，所述源/漏材料层包括 C 原子百分比为 0.2~2% 的 Si:C。

优选地，在半导体衬底上形成伪栅极的步骤包括：在沟道预备层上依次形成伪栅极介质层、伪栅极主体层、伪栅极刻蚀停止层和覆盖层；以及对伪栅极主体层、伪栅极刻蚀停止层和覆盖层进行构图，使其成形为伪栅极。

10 可选地，对伪栅极进行选择刻蚀包括：在形成有伪栅极、源/漏区的半导体衬底上依次沉积抛光停止层和刻蚀停止层；对刻蚀停止层进行抛光，直至到达抛光停止层；对刻蚀停止层进行进一步回蚀；以伪栅极刻蚀停止层和刻蚀停止层为刻蚀停止层，刻蚀掉覆盖层；依次刻蚀伪栅极刻蚀停止层、伪栅极主体层、伪栅极介质层、沟道预备层，直至露出半导体衬底的表面。

优选地，外延生长沟道层包括：在露出的半导体衬底表面上外延生长沟道层。

15 优选地，该方法还包括：在外延生长沟道层之后且在沟道层上形成栅极之前，进行浅阱注入。

可选地，该方法还包括：在外延生长沟道层之前，进行浅阱注入。

优选地，在沟道层上形成栅极包括：在沟道层上沉积高 k 材料层；以及在高 k 材料层上沉积金属，以形成金属栅极。

20 优选地，所述高 k 材料包括 Al_2O_3 、 HfO_2 、 ZrO_2 、 La_2O_3 、ZAZ、 TiO_2 和 STO 组成的组中至少一种。

优选地，所述金属包括 TaC、TiN、TaTbN、TaErN、TaYbN、TaSiN、HfSiN、MoSiN、 RuTa_x 、 NiTa_x 、 MoN_x 、TiSiN、TiCN、TaAlC、TiAlN、TaN、 PtSi_x 、 Ni_3Si 、Pt、Ru、Ir、Mo、HfRu、 RuO_x 和 W 组成的组中至少一种。

25 优选地，该方法还包括：在形成栅极之后，在整个半导体衬底上沉积保护层。

优选地，该方法在沉积保护层之后还包括：在源/漏区形成接触孔，接触孔底部进入源/漏材料层中；在接触孔底部沉积金属层，使该金属层与源/漏材料层发生硅化反应，生成硅化物层，并去除未反应的金属层；在接触孔底部和侧壁沉积扩散阻挡层；以及在接触孔中填充金属，以形成源/漏接触部。

30 根据本发明的另一方面，提供了一种 MOSFET，根据上述方法制造得到。

根据本发明的实施例，使用高迁移率材料作为沟道层，从而可以有效增加沟道区的载流子迁移率，在给定单位长度导通电流的情况下，可以减小漏电流。另外，根据本发明的实施例，首先形成源/漏区，然后再形成沟道层，这样可以减少沟道层中的缺陷，并避免源/漏区的掺杂剂向沟道层扩散，从而有效地改善了器件的性能。

5

附图说明

通过以下参照附图对本发明实施例的描述，本发明的上述以及其他目的、特征和优点将更为清楚，在附图中：

图 1 示出了一种常规晶体管的简化结构示意图；

10 图 2~4 示出了根据本发明实施例的 MOSFET 制作流程中各阶段的结构示意图；
以及

图 5~18 示出了根据本发明另一实施例的 MOSFET 制作流程中各阶段的结构示意图。

15 具体实施方式

以下，通过附图中示出的具体实施例来描述本发明。但是应该理解，这些描述只是示例性的，而并非要限制本发明的范围。此外，在以下说明中，省略了对公知结构和技术的描述，以避免不必要地混淆本发明的概念。

20 在附图中示出了根据本发明实施例的半导体器件的各种结构图及截面图。这些图并非是按比例绘制的，其中为了清楚的目的，放大了某些细节，并且可能省略了某些细节。图中所示出的各种区域、层的形状以及它们之间的相对大小、位置关系仅是示例性的，实际中可能由于制造公差或技术限制而有所偏差，并且本领域技术人员根据实际所需可以另外设计具有不同形状、大小、相对位置的区域/层。

25 图1示出了一种常规晶体管的简化结构示意图。具体地，该晶体管包括：半导体衬底101，在该半导体衬底101上形成的栅极介质层102（例如， SiO_2 ），在栅极介质层102上形成的栅极主体103（例如，多晶硅），在栅极区侧壁形成的侧壁间隔物104（例如， SiN ），以及在半导体衬底101中形成源/漏区105。现有技术中存在多种工艺来形成如此构造的晶体管，因而在此不再赘述。

30 如以上背景技术部分所述，当器件尺寸日益减小时，图1所示结构的晶体管将遭遇如漏电流增大等问题。使用高迁移率材料作为沟道区，可以显著解决这些问题。

为此，例如可以在半导体衬底101上先沉积一高迁移率材料层，然后再如常规技术中那样来形成栅极区（栅极介质层102、栅电极103）、侧壁间隔物104以及源/漏区105。这样，该高迁移率材料层位于栅极区之下的部位充当沟道区，从而使得沟道区的迁移率增加。

5 但是，根据常规技术，在形成源/漏区105时，例如需要进行掺杂剂注入以及高温退火等处理，以便对源/漏区进行有效掺杂。而高温处理会增加高迁移率材料层中的缺陷，从而使其性能受到影响。

为此，根据本发明的实施例，提供了一种制造MOSFET（金属氧化物半导体场效应晶体管）的方法，其中首先在半导体衬底上形成伪栅极，并形成源/漏区；在形成源/漏区之后，对伪栅极进行选择刻蚀，直至将要形成沟道的位置；以及在将要形成沟道的位置处外延生长沟道层，并在沟道层上形成栅极。

具体地，首先如图1所示，在半导体衬底上形成伪栅极（伪栅极介质层102、伪栅极主体103）；然后以该伪栅极为基础，来形成源/漏区105。

15 以伪栅极为基础来形成源/漏区105的工艺有多种。例如，可以如下进行：以伪栅极为掩模，进行延伸区注入，以便在沟道两端形成极浅的源/漏延伸区（SDE），SDE在沟道两端形成的浅结有利于抑制短沟道效应；之后，在伪栅极侧壁形成侧壁间隔物104，并以伪栅极和侧壁间隔物104为掩模来进行源/漏区注入，以形成源/漏区105。

然后，如图2所示，对伪栅极进行选择刻蚀。具体地，通过刻蚀去掉伪栅极主体103和伪栅极介质层102，并刻蚀掉一部分的衬底。衬底中被刻蚀掉的部分对应于将要形成的沟道区。随后，如图3所示，在衬底101中被刻蚀掉的部分中形成沟道层106，以此来充当将要形成的MOSFET的沟道区。该沟道层106包括高迁移率材料。在形成沟道层106之后，可以再重新形成栅极107（图4中并未示出栅极107的具体构造）。

25 这样，根据本发明的实施例，在形成了源/漏区105之后再形成沟道层106（沟道区）。这相当于在形成了MOSFET结构（如图1所示）之后，然后将其“沟道区”替换掉（如图3所示，以沟道层106来替换）。因而可以避免形成源/漏区105时所需的高温退火对于沟道区的影响。并且，可以避免掺杂剂向沟道区的扩散，进而改善短沟道效应。

高迁移率材料例如SiGe，可以增加沟道区的迁移率并从而提高器件性能。可选的高迁移率材料例如包括InP、InAlAs、InGaAs等III-V族半导体化合物。

30 在以上的实施例中，在对伪栅极进行选择刻蚀时，直接刻蚀进入衬底101中，以便替换沟道。但是，刻蚀进入衬底101中的深度不容易控制，从而不易控制沟道层

106的与源/漏延伸区的相对位置，因此容易导致增加道层106与源/漏延伸区之间的电阻并降低晶体管的性能。为了更好地控制沟道层的形成，优选地，首先在半导体衬底上形成一沟道预备层，该沟道预备层对应于最终沟道层的位置。在形成有沟道预备层的半导体衬底上，依次形成伪栅极、漏/源区。随后，对伪栅极进行选择刻蚀，并继续刻蚀沟道预备层，直至到达半导体衬底表面。然后，在半导体衬底上形成沟道层。也就是说，最终的沟道层替换了预先形成的沟道预备层，这样可以更容易地控制最终沟道层的位置。

图5~18示出了根据本发明实施例制作MOSFET流程中各阶段的结构示意图。以下，将参照这些图示来描述本发明的实施例。

10 如图5所示，提供一半导体衬底1001，例如Si衬底。根据本发明的优选实施例，可以在该半导体衬底1001上形成浅沟道隔离（STI）1002。这种STI 1002例如包括SiO₂。对整个衬底进行构图，使得半导体衬底1001的表面相对于STI 1002下凹一定的距离。

之后，参照图6，在半导体衬底1001的表面上选择性外延生长一沟道预备层1003。该沟道预备层1003所处的位置对应于将要形成的沟道层，且优选地包括与将要形成的沟道层相同的材料。如上所述，在后继的处理中，该沟道预备层1003位于（伪）栅极之下的部位（对应于沟道区）将被沟道层“替换”。

在本发明中，例如可以选择SiGe材料来形成沟道层。因此，沟道预备层1003优选地也包括SiGe。例如，沟道预备层1003包括Ge原子百分比为大约5~15%的SiGe，且形成的厚度大约为3~7nm。

20 在形成沟道预备层1003之后，如上所述，在衬底上形成伪栅极。具体地，在整个衬底（包括半导体衬底1001、STI 1002、沟道预备层1003）上，形成伪栅极叠层。例如，可以在衬底上依次沉积伪栅极介质层1004（例如，SiO₂）、伪栅极主体层1005（例如，多晶硅）、以及伪栅极刻蚀停止层1006（例如，SiO₂）。例如，伪栅极主体层1005的厚度为约30~60nm，伪栅极刻蚀停止层1006的厚度为约10~20nm。

25 优选地，在上述伪栅极叠层之上还形成一覆盖层1007。该覆盖层1007用来随后例如在源/漏区进行外延生长时，覆盖住栅极部位，避免在栅极区进行外延生长。该覆盖层例如包括Si₃N₄，厚度为约20~50nm。

之后，如图7所示，通过在图6所示的结构上涂覆光刻胶1008，并对其进行构图然后进行刻蚀，例如通过反应离子刻蚀（RIE），以形成伪栅极。在此，优选地，以伪栅极介质层1004为刻蚀停止层。具体地，对伪栅极主体层1005、伪栅极刻蚀停止层1006，

以及在沉积覆盖层1007的情况下对覆盖层1007进行刻蚀，直至达到伪栅极介质层1004。这样，通过利用伪栅极介质层1004作为刻蚀停止层，可以防止对之下的沟道预备层1003进行不必要的刻蚀。

在形成伪栅极之后，如上所述，在衬底中形成源/漏区。具体地，如图8所示，去除光刻胶1008。以伪栅极为掩模，进行SDE注入。例如，在形成PMOSFET的情况下，可以注入p型掺杂剂，如B或BF₂；而在形成NMOSFET的情况下，可以注入n型掺杂剂，如As或P。掺杂浓度例如可以是大约1E19~4E20 cm⁻²。如果需要的话，还可以进行尖峰退火（约1000~1080℃）以激活掺杂剂。然后，在伪栅极侧壁形成侧壁间隔物1009。例如，侧壁间隔物1009包括Si₃N₄。

10 在形成了图8所示的结构之后，可以通过进一步掺杂来形成源/漏区。在此，优选地，为了向将要形成的沟道层施加应力而在沟道层中导致应变，并因此进一步增加沟道区的迁移率，可以如下来形成源/漏区。具体地，如图9所示，选择性刻蚀（例如，通过RIE）伪栅极介质层1004和沟道预备层1003，并进一步回蚀半导体衬底1001；然后在露出的半导体衬底1001上选择性外延生长源/漏材料层1010。选择该源/漏材料层15 1010的材料，使得其可以向沟道区施加应力。例如，该源/漏材料层1010包括Ge原子百分比为约20~70%的SiGe或包括碳原子百分比为约0.2~2%的Si:C。

在源/漏区进行外延生长时，伪栅极被覆盖层1007（例如，Si₃N₄）覆盖，从而不会在伪栅极上发生外延生长。

20 这里，源/漏材料层1010（例如，SiGe或Si:C）可以进行原位掺杂，即，在生长源/漏材料层1010同时，引入掺杂剂原子。或者，也可以通过离子注入来进行掺杂，即，在生长源/漏材料层1010之后，通过离子注入来引入掺杂剂。如果需要的话，还可以进行退火以激活掺杂剂。

如上所述，在形成了伪栅极、源/漏区之后，需要在伪栅极部位进行选择性的刻蚀，以刻蚀掉原有沟道区，从而替换沟道。为了更好的控制对伪栅极进行的选择性刻蚀，25 优选地，如图10所示，在图9所示的结构上依次沉积抛光停止层1011和刻蚀停止层1012。该抛光停止层1011用来随后对刻蚀停止层1012进行抛光（例如，化学机械抛光CMP）时充当停止层，例如包括SiN。该刻蚀停止层1012用来随后在对覆盖层1007进行刻蚀时充当停止层，例如包括SiO₂。在沉积了刻蚀停止层1012之后，对该层进行CMP，直至露出抛光停止层1011，并且进一步回蚀刻蚀停止层1012。

30 接着，如图11所示，进行选择性的刻蚀，以刻蚀掉伪栅极顶部的覆盖层1007。由于

伪栅极刻蚀停止层1006（例如， SiO_2 ）和刻蚀停止层1012（例如， SiO_2 ）的存在，刻蚀后得到如图11所示的结构。

然后，如图12所示，对伪栅极部位进一步进行刻蚀。具体地，刻蚀掉伪栅极刻蚀停止层1006，并接着刻蚀（例如，通过RIE）伪栅极主体层1005、伪栅极介质层1004、
5 沟道预备层1003，直至露出半导体衬底1001的表面。

然后，如图13所示，在露出的半导体衬底1001表面上外延生长沟道层1013。例如，该沟道层1013包括Ge原子百分比为约50~100%的SiGe，且厚度为约2~5nm。

优选地，为了进一步抑制短沟道效应，可以对沟道层1013下方进行浅阱注入。例如，在形成PMOSFET的情况下，可以形成浅n阱，即注入n型杂质如As；在形成
10 NMOSFET的情况下，可以形成浅p阱，即注入p型杂质如B。这种阱的形成有助于阻断穿通电流，从而抑制短沟道效应。如果需要的话，可以进行激光退火，以激活杂质。在此，也可先形成浅阱和激光退火再在表面上外延生长沟道层1013，以便减少激光退火造成的缺陷。

在如上形成了沟道层1013之后，就可以接着形成栅极。由于在器件尺寸不断减小的情况下，栅极介质层的厚度也在日益减小。为了减小由此导致的漏电流增加，优选地，可以使用高k材料来作为栅极介质层。为此，在沟道层1013之上沉积高k材料层
15 1014。例如，可以沉积一层约2~5nm厚的 HfO_2 ，作为该高k材料层1014。通常，所谓高k材料是指介电常数k大于4.0的材料。例如，高k材料可以包括 Al_2O_3 、 HfO_2 、 ZrO_2 、 La_2O_3 、ZAZ、 TiO_2 和STO组成的组中至少一种。

接着，如图14所示，在高k材料层之上沉积金属层并回蚀，以形成金属栅极1015。这种金属层例如可以包括TaC、TiN、TaTbN、TaErN、TaYbN、TaSiN、HfSiN、MoSiN、
20 RuTa_x 、 NiTa_x 、 MoN_x 、TiSiN、TiCN、TaAlC、TiAlN、TaN、 PtSi_x 、 Ni_3Si 、Pt、Ru、Ir、Mo、HfRu、 RuO_x 和W组成的组中至少一种。这样，最终得到了根据本发明实施例的MOSFET。

当然，在如上所述形成MOSFET之后，还可以如图15所示，在整个器件表面上沉积一保护层1016，以保护器件。该保护层1016例如可以是 Si_3N_4 。

在形成保护层1016之后，为了形成源/漏极接触，可以在源/漏区中形成接触孔1017，如图16所示。该接触孔1017的底部接触到，优选地进入到，源/漏材料层1010中，以便更好地与源/漏区接触。

30 为了减小接触电阻，优选地，如图17所示，在接触孔底部上沉积一金属层，例如

Ni, 并通过例如在300~500℃之间进行退火, 使该金属层与源/漏材料层1010发生硅化反应, 从而在接触孔1017底部周围形成金属硅化物1018如NiSi。之后, 去除未反应的金属层。

接着, 如图18所示, 在接触孔1017中注入金属例如W, 以形成源/漏接触部1019。

- 5 优选地, 在注入金属之前, 在接触孔底部和侧壁上沉积一扩散阻挡层(图中未示出), 例如TiN, 以防止金属扩散。

在以上的描述中, 对于各层的构图、刻蚀等技术细节并没有做出详细的说明。但是本领域技术人员应当理解, 可以通过现有技术中的各种手段, 来形成所需形状的层、区域等。另外, 为了形成同一结构, 本领域技术人员还可以设计出与以上描述的方法

- 10 并不完全相同的方法。

以上参照本发明的实施例对本发明予以了说明。但是, 这些实施例仅仅是为了说明的目的, 而并非为了限制本发明的范围。本发明的范围由所附权利要求及其等价物限定。不脱离本发明的范围, 本领域技术人员可以做出多种替换和修改, 这些替换和修改都应落在本发明的范围之内。

权 利 要 求

1. 一种制作金属半导体氧化物场效应晶体管的方法，包括：
5 提供半导体衬底；
在半导体衬底上形成伪栅极；
形成源/漏区；
对伪栅极进行选择刻蚀，直至将要形成沟道的位置；以及
在将要形成沟道的位置处外延生长沟道层，并在沟道层上形成栅极，
10 其中，所述沟道层包括高迁移率材料。
2. 如权利要求 1 所述的方法，其中，所述高迁移率材料包括 Ge 原子百分比为 50～100% 的 SiGe。
3. 如权利要求 1 所述的方法，其中，
该方法还包括：在形成伪栅极之前，在半导体衬底（1001）上形成沟道预备层
15 （1003）；
以及对伪栅极进行选择刻蚀直至将要形成沟道的位置包括：选择性刻蚀伪栅极，并继续刻蚀沟道预备层（1003），直至露出半导体衬底（1001）的表面。
4. 如权利要求 3 所述的方法，其中，所述沟道预备层（1003）包括 Ge 原子百分比为 5～15% 的 SiGe。
20 5. 如权利要求 3 所述的方法，其中，形成源/漏区包括：
以伪栅极为掩模，进行源/漏延伸区注入；
在伪栅极侧壁形成侧壁间隔物（1009）；
在侧壁间隔物（1009）两侧将要形成源/漏区的部位进行刻蚀，直至进入半导体衬底一定深度；
25 在刻蚀后的半导体衬底上外延生长源/漏材料层（1010），选择该源/漏材料层（1010）的材料使得其向沟道层（1013）施加应力；以及
对源/漏材料层（1010）进行掺杂，以形成源/漏区。
6. 如权利要求 5 所述的方法，其中，所述源/漏材料层（1010）包括 Ge 原子百分比为 20～70% 的 SiGe。
30 7. 如权利要求 5 所述的方法，其中，所述源/漏材料层（1010）包括 C 原子百分

比为 0.2~2% 的 Si:C。

8. 如权利要求 5 所述的方法, 其中, 在半导体衬底上形成伪栅极的步骤包括:

在沟道预备层 (1003) 上依次形成伪栅极介质层 (1004)、伪栅极主体层 (1005)、伪栅极刻蚀停止层 (1006) 和覆盖层 (1007); 以及

5 对伪栅极主体层 (1005)、伪栅极刻蚀停止层 (1006) 和覆盖层 (1007) 进行构图, 使其成形为伪栅极。

9. 如权利要求 8 所述的方法, 其中, 对伪栅极进行选择刻蚀包括:

在形成有伪栅极、源/漏区的半导体衬底上依次沉积抛光停止层 (1011) 和刻蚀停止层 (1012);

10 对刻蚀停止层 (1012) 进行抛光, 直至到达抛光停止层 (1011);

对刻蚀停止层 (1012) 进行进一步回蚀;

以伪栅极刻蚀停止层 (1006) 和刻蚀停止层 (1012) 为刻蚀停止层, 刻蚀掉覆盖层 (1007);

依次刻蚀伪栅极刻蚀停止层 (1006)、伪栅极主体层 (1005)、伪栅极介质层 (1004)、

15 沟道预备层 (1003), 直至露出半导体衬底 (1001) 的表面。

10. 如权利要求 9 所述的方法, 其中, 外延生长沟道层包括:

在露出的半导体衬底 (1001) 表面上外延生长沟道层 (1013)。

11. 如权利要求 10 所述的方法, 其中, 该方法还包括:

在外延生长沟道层 (1013) 之后且在沟道层上形成栅极之前, 进行浅阱注入。

20 12. 如权利要求 10 所述的方法, 其中, 该方法还包括: 在外延生长沟道层 (1013) 之前, 进行浅阱注入。

13. 如权利要求 10 所述的方法, 其中, 在沟道层上形成栅极包括:

在沟道层上沉积高 k 材料层 (1014); 以及

在高 k 材料层上沉积金属 (1015), 以形成金属栅极。

25 14. 如权利要求 13 所述的方法, 其中, 所述高 k 材料包括 Al_2O_3 、 HfO_2 、 ZrO_2 、 La_2O_3 、ZAZ、 TiO_2 和 STO 组成的组中至少一种。

15. 如权利要求 13 所述的方法, 其中, 所述金属包括 TaC、TiN、TaTbN、TaErN、TaYbN、TaSiN、HfSiN、MoSiN、 RuTa_x 、 NiTa_x 、 MoN_x 、TiSiN、TiCN、TaAlC、TiAlN、TaN、 PtSi_x 、 Ni_3Si 、Pt、Ru、Ir、Mo、HfRu、 RuO_x 和 W 组成的组中至少一种。

30 16. 如权利要求 13 所述的方法, 其中, 该方法还包括:

在形成栅极之后，在整个半导体衬底上沉积保护层（1016）。

17. 如权利要求 16 所述的方法，其中，该方法在沉积保护层（1016）之后还包括：

在源/漏区形成接触孔（1017），接触孔底部进入源/漏材料层（1010）中；

5 在接触孔（1017）底部沉积金属层，使该金属层与源/漏材料层（1010）发生硅化反应，生成硅化物层（1018），并去除未反应的金属层；

在接触孔（1017）底部和侧壁沉积扩散阻挡层；以及

在接触孔（1017）中填充金属，以形成源/漏接触部（1019）。

18. 一种金属半导体氧化物场效应晶体管 MOSFET，根据权利要求 1 所述的方法制造得到。

1/6

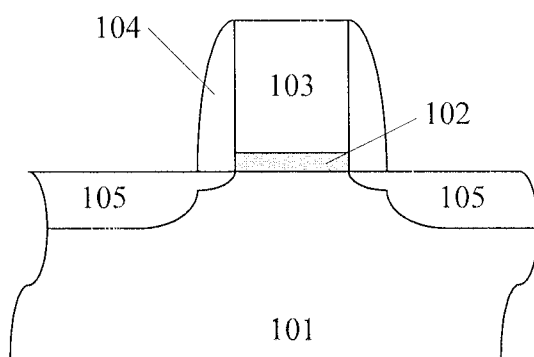


图 1

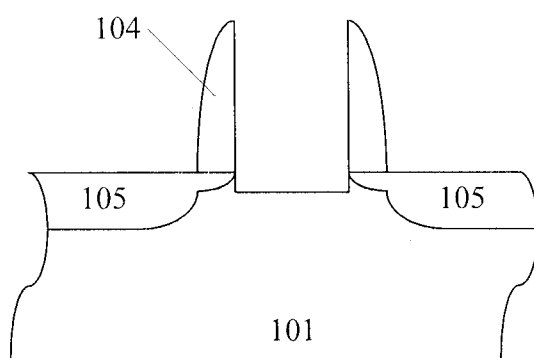


图 2

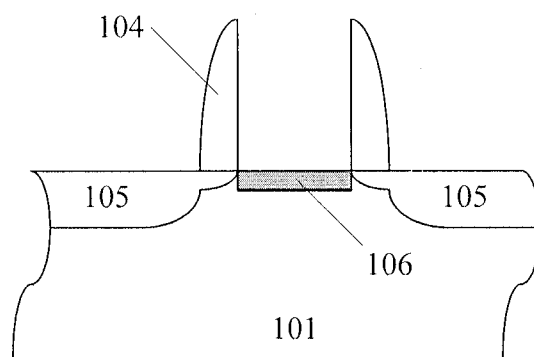


图 3

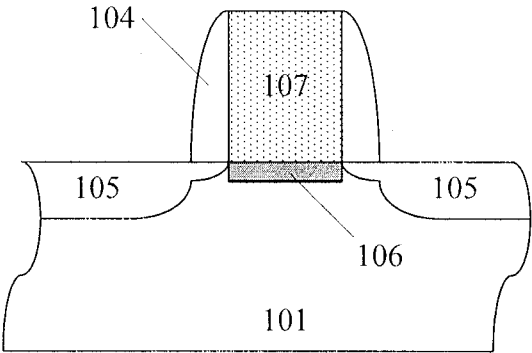


图 4

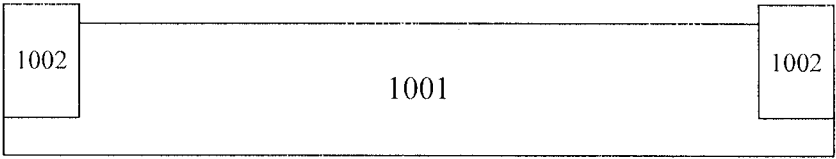


图 5

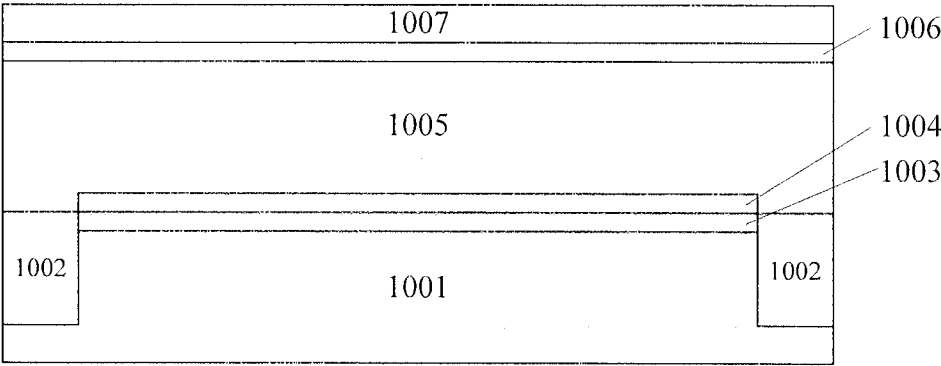


图 6

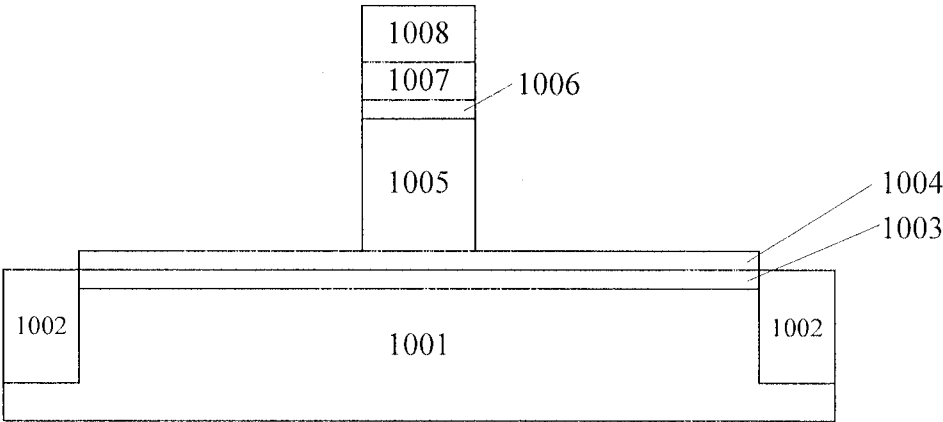


图 7

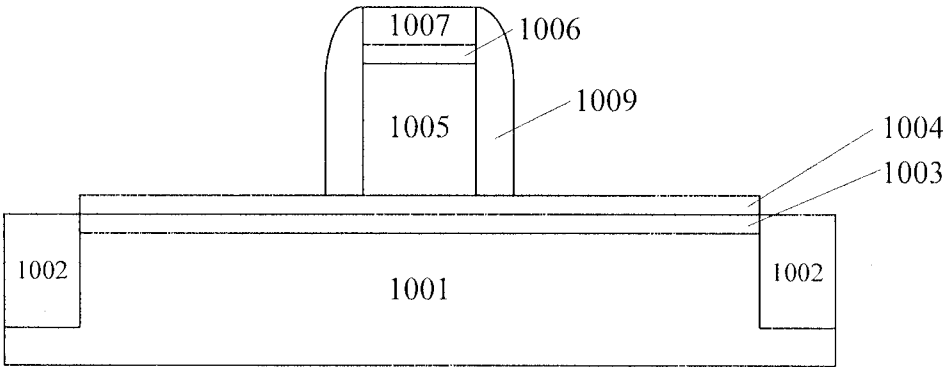


图 8

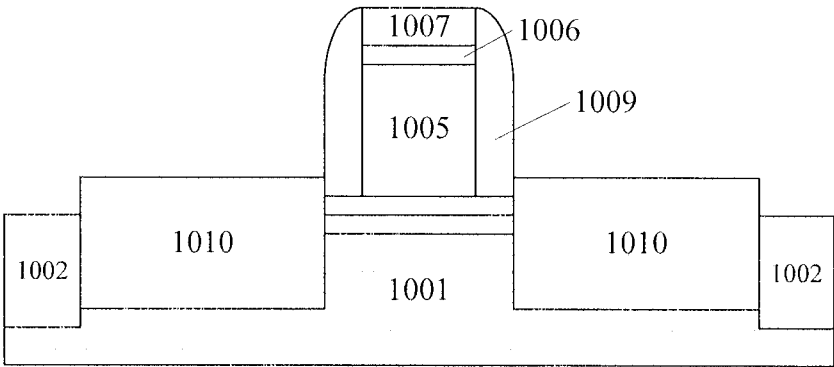


图 9

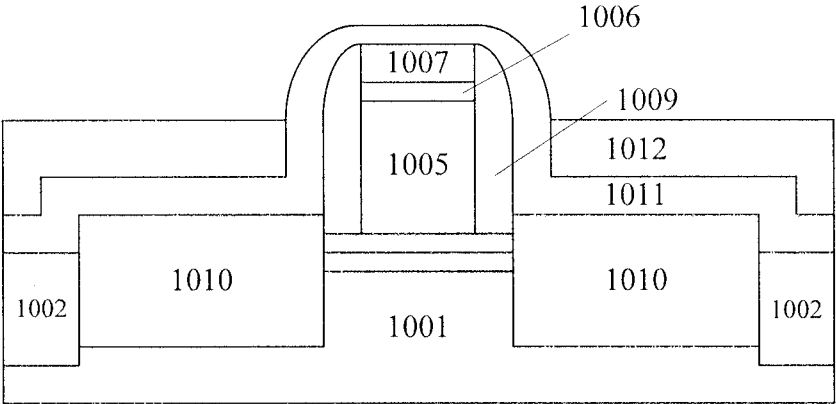


图 10

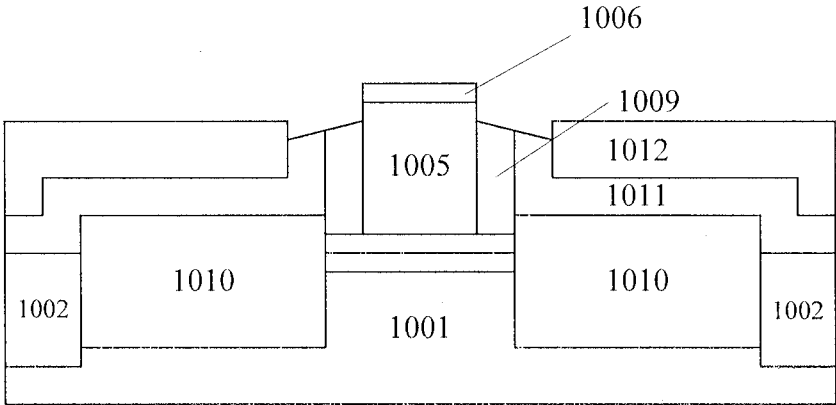


图 11

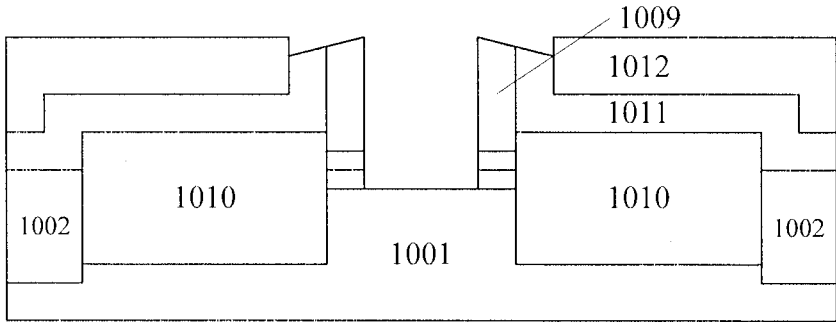


图 12

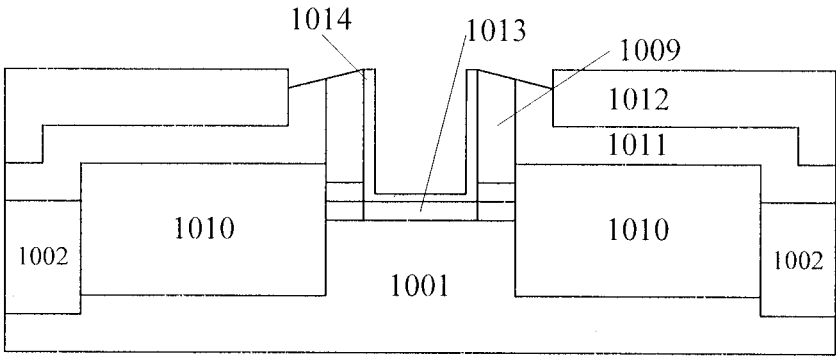


图 13

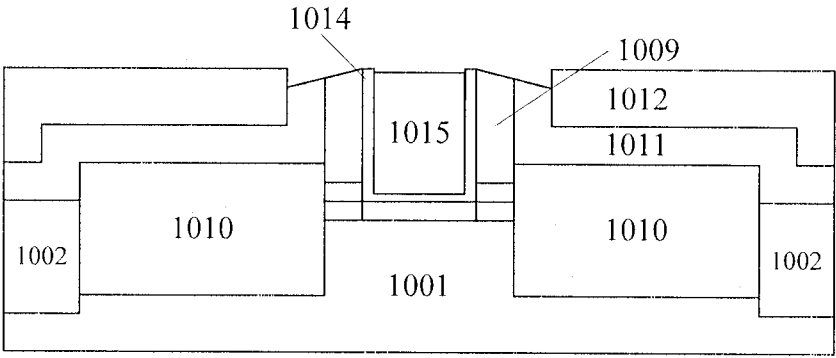


图 14

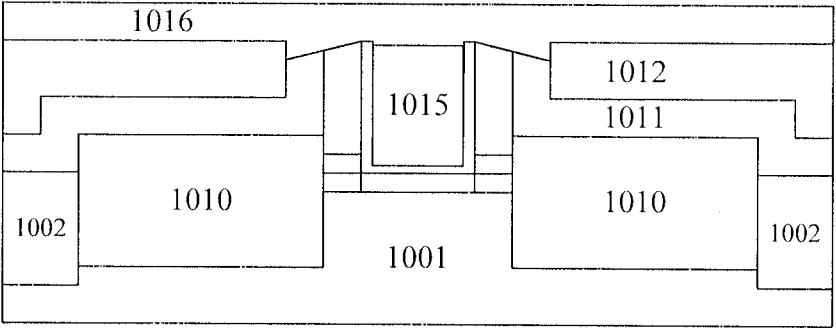


图 15

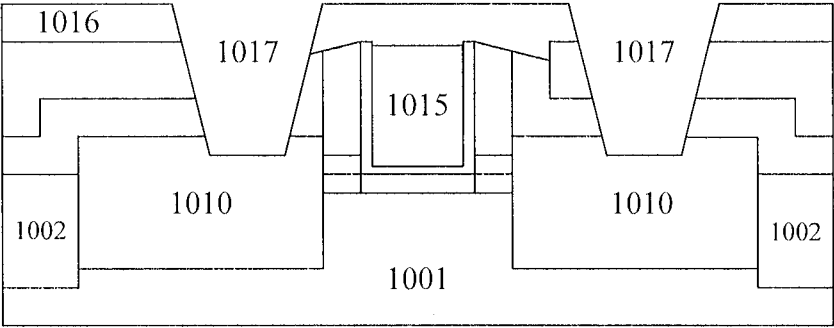


图 16

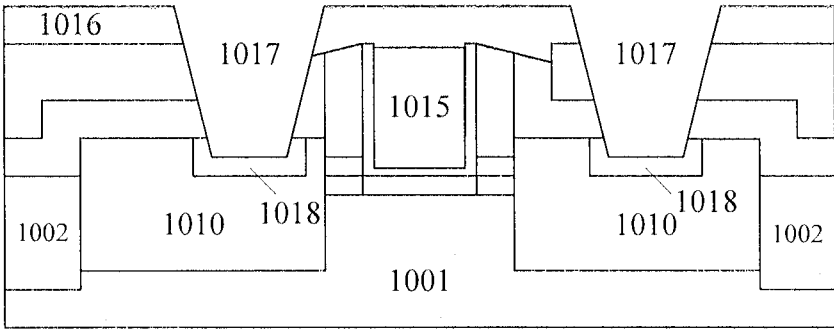


图 17

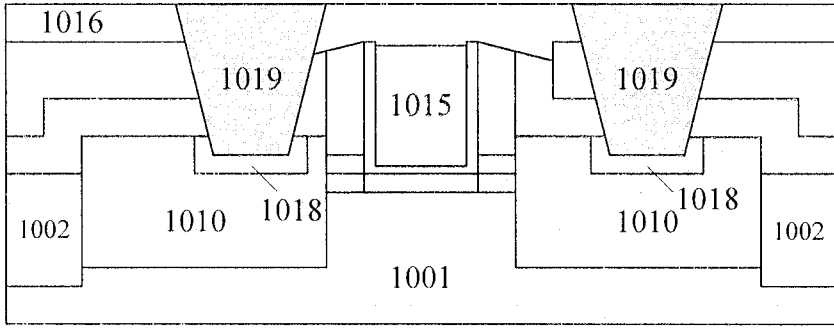


图 18

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2010/074397

A. CLASSIFICATION OF SUBJECT MATTER

H01L 21/336 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC: H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

WPI,EPODOC,CPRS,CNKI: gate, MOSFET, transistor, channel, source, drain, high, SiGe, Ge, Si, mobility, dummy, implantation,

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	CN 1591803A (IBM CORP (US)) 09 Mar. 2005 (09.03.2005) pages 4-8 of description and figs. 2-11	1,18
A	JP2001-44421A (MITSUBISHI DENKI KK (JP)) 16 Feb. 2001(16.02.2001) the whole document	1-18

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:	“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
“A” document defining the general state of the art which is not considered to be of particular relevance	“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
“E” earlier application or patent but published on or after the international filing date	“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
“L” document which may throw doubts on priority claim (S) or which is cited to establish the publication date of another citation or other special reason (as specified)	“&”document member of the same patent family
“O” document referring to an oral disclosure, use, exhibition or other means	
“P” document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search
15 Sep. 2010 (15.09.2010)

Date of mailing of the international search report
21 Oct. 2010 (21.10.2010)

Name and mailing address of the ISA/CN
The State Intellectual Property Office, the P.R.China
6 Xitucheng Rd., Jimen Bridge, Haidian District, Beijing, China
100088
Facsimile No. 86-10-62019451

Authorized officer
XIE,Shaojun
Telephone No. (86-10)62411593

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2010/074397

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN1591803A	09.03.2005	US2005045972A1	03.03.2005
		US6916694B2	12.07.2005
		CN100568467C	09.12.2009
		US2005196926A	08.09.2005
		US7214972B2	08.05.2007
JP2001-44421A	16.02.2001	US6235564B1	22.05.2001

国际检索报告

国际申请号

PCT/CN2010/074397

A. 主题的分类

H01L 21/336 (2006.01) i

按照国际专利分类(IPC)或者同时按照国家分类和 IPC 两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

IPC: H01L

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词 (如使用))

WPI,EPODOC,CPRS,CNKI: 栅, MOSFET, 晶体管, 沟道, 源, 漏, 衬底, 高, 迁移率, 伪, SiGe, Ge, Si, 注入, 外延, 半导体,gate, MOSFET, transistor ,channel, source, drain, high, SiGe, Ge, Si, mobility, dummy, implantation, substrate, extension

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
X	CN1591803A (国际商业机器公司(美国)) 09.3 月 2005 (09.03.2005) 说明书第 4-8 页, 图 2-11	1, 18
A	JP2001-44421A (三菱电机株式会社(日本)) 16.2 月 2001 (16.02.2001) 全文	1-18

☐ 其余文件在 C 栏的续页中列出。

☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期
12.9 月 2010 (12.09.2010)

国际检索报告邮寄日期
21.10 月 2010 (21.10.2010)

ISA/CN 的名称和邮寄地址:
中华人民共和国国家知识产权局
中国北京市海淀区蓟门桥西土城路 6 号 100088
传真号: (86-10)62019451

受权官员

谢绍俊
电话号码: (86-10) **62411593**

国际检索报告
关于同族专利的信息

国际申请号
PCT/CN2010/074397

检索报告中引用的 专利文件	公布日期	同族专利	公布日期
CN1591803A	09.03.2005	US2005045972A1	03.03.2005
		US6916694B2	12.07.2005
		CN100568467C	09.12.2009
		US2005196926A	08.09.2005
		US7214972B2	08.05.2007
JP2001-44421A	16.02.2001	US6235564B1	22.05.2001