

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5044808号
(P5044808)

(45) 発行日 平成24年10月10日 (2012. 10. 10)

(24) 登録日 平成24年7月27日 (2012. 7. 27)

(51) Int. Cl.	F I
HO 1 L 21/76 (2006. 01)	HO 1 L 21/76 L
HO 1 L 21/762 (2006. 01)	HO 1 L 21/76 R
HO 1 L 21/265 (2006. 01)	HO 1 L 21/76 D
HO 1 L 29/786 (2006. 01)	HO 1 L 21/265 G O 2 A
HO 1 L 27/08 (2006. 01)	HO 1 L 21/265 F
請求項の数 14 (全 21 頁) 最終頁に続く	

(21) 出願番号	特願2005-213971 (P2005-213971)	(73) 特許権者	390009531
(22) 出願日	平成17年7月25日 (2005. 7. 25)		インターナショナル・ビジネス・マシーンズ・コーポレーション
(65) 公開番号	特開2006-41526 (P2006-41526A)		INTERNATIONAL BUSINESS MACHINES CORPORATION
(43) 公開日	平成18年2月9日 (2006. 2. 9)		アメリカ合衆国10504 ニューヨーク州 アーモンク ニュー オーチャードロード
審査請求日	平成20年6月3日 (2008. 6. 3)		
(31) 優先権主張番号	10/902557	(74) 代理人	100108501
(32) 優先日	平成16年7月29日 (2004. 7. 29)		弁理士 上野 剛史
(33) 優先権主張国	米国 (US)	(74) 代理人	100112690
			弁理士 太佐 種一
		(74) 代理人	100091568
			弁理士 市位 嘉宏
		最終頁に続く	

(54) 【発明の名称】 集積半導体構造の形成方法 (二重S I M O Xハイブリッド配向技術 (HOT) 基板)

(57) 【特許請求の範囲】

【請求項 1】

第1の結晶配向を有する下部半導体基板層を含む基板を設ける工程であって、前記下部半導体基板層が、第1の絶縁層によって第2の結晶配向を持つ上部半導体層から分離され、前記第1の結晶配向が前記第2の結晶配向とは異なる工程と、

前記下部半導体基板層の表面を露出させる少なくとも1つの開口を前記基板に形成する工程と、

前記少なくとも1つの開口の前記下部半導体基板層の前記露出表面上にエピタキシャル成長半導体材料を充填して前記第1の結晶配向と同じ結晶配向を有するエピタキシャル成長半導体層を形成する工程と、

注入およびアニーリングにより、前記上部半導体層および前記エピタキシャル成長半導体層の下方に前記第1の絶縁層よりも厚く且つ均一な厚みをもった第2の絶縁層を形成する工程であって、該第2の絶縁層の上面が前記第1の絶縁層の上面の高さまたはそれより上に位置し、該第2の絶縁層の下面が前記第1の絶縁層の下面の高さまたはそれより下に位置するように形成する工程と、

前記注入およびアニーリングした半導体材料を平坦化して、前記エピタキシャル成長半導体層の上面と前記上部半導体層の上面が共平面であり、前記エピタキシャル成長半導体層の厚みと前記上部半導体層の厚みが同一である構造を設ける工程と、

を含む集積半導体構造の形成方法。

【請求項 2】

副埋め込み絶縁体層上に第1の結晶配向を有する下部半導体基板層を含む基板を設ける工程であって、前記下部半導体基板層が、第1の絶縁層によって第2の結晶配向を持つ上部半導体層から分離され、前記第1の結晶配向が前記第2の結晶配向とは異なる工程と、

前記下部半導体基板層の表面を露出させる少なくとも1つの開口を前記基板に形成する工程と、

前記少なくとも1つの開口の前記下部半導体基板層の前記露出表面上にエピタキシャル成長半導体材料を充填して前記第1の結晶配向と同じ結晶配向を有するエピタキシャル成長半導体層を形成する工程と、

注入およびアニーリングにより、前記上部半導体層および前記エピタキシャル成長半導体層の下方に均一な厚みをもった第2の絶縁層を形成する工程であって、該第2の絶縁層を前記副埋め込み絶縁体層から少なくとも前記第1の絶縁層まで延在させる工程と、

前記注入およびアニーリングした半導体材料を平坦化して、前記エピタキシャル成長半導体層の上面と前記上部半導体層の上面が共平面であり、前記エピタキシャル成長半導体層の厚みと前記上部半導体層の厚みが同一である構造を設ける工程と、

を含む集積半導体構造の形成方法。

【請求項3】

第1の結晶配向を有する下部半導体基板層の上に半導体-半導体界面が直接接触するように第2の結晶配向を持つ上部半導体層を含む基板を設ける工程であって、前記第1の結晶配向が前記第2の結晶配向とは異なる工程と、

前記下部半導体基板層の表面を露出させる少なくとも1つの開口を前記基板に形成する工程と、

前記少なくとも1つの開口の前記下部半導体基板層の前記露出表面上にエピタキシャル成長半導体材料を充填して前記第1の結晶配向と同じ結晶配向を有するエピタキシャル成長半導体層を形成する工程と、

注入およびアニーリングにより、前記上部半導体層および前記エピタキシャル成長半導体層の下方に均一な厚みをもった埋め込み絶縁体層を形成する工程であって、該埋め込み絶縁体層の上部を前記半導体-半導体界面またはこれより上に残すように形成する工程と、

前記注入およびアニーリングした半導体材料を平坦化して、前記エピタキシャル成長半導体層の上面と前記上部半導体層の上面が共平面であり、前記エピタキシャル成長半導体層の厚みと前記上部半導体層の厚みが同一である構造を設ける工程と、

を含む集積半導体構造の形成方法。

【請求項4】

前記注入工程が酸素または窒素イオンを注入する工程を含む、請求項1に記載の方法。

【請求項5】

前記アニーリングを、酸化性雰囲気中、約700°～約1400℃の温度で行う、請求項1に記載の方法。

【請求項6】

前記酸化性雰囲気が、不活性ガスで希釈された酸素含有ガスである、請求項5に記載の方法。

【請求項7】

前記注入およびアニーリング工程が、前記注入工程の後に前記エピタキシャル成長半導体層および前記上部半導体層の上にバリヤー層を堆積する工程と、前記アニーリングの後に前記バリヤー層を除去する工程とをさらに含む、請求項1に記載の方法。

【請求項8】

前記バリヤー層が、SiO₂、SiN_x、およびシリコンからなる群から選択される材料の、1つまたは複数の層を含む、請求項7に記載の方法。

【請求項9】

前記バリヤー層の厚みが30～300nmの範囲である、請求項7に記載の方法。

【請求項10】

前記平坦化工程が、前記アニーリング中に前記上部半導体層および前記エピタキシャル成長半導体層の上に形成された酸化物を選択的に除去する少なくとも1つのエッチング工程を含む、請求項1～3のいずれか一項に記載の方法。

【請求項11】

前記上部半導体層および前記エピタキシャル成長半導体層の上に、少なくとも1つのp F E Tおよび少なくとも1つのn F E Tを形成する工程をさらに含む、請求項1に記載の方法。

【請求項12】

前記少なくとも1つのp F E Tを(110)結晶面上に設置し、一方前記少なくとも1つのn F E Tを(100)結晶面上に設置する、請求項11に記載の方法。

10

【請求項13】

前記上部半導体層が(110)面配向を有し、前記半導体材料が(100)面配向を有する、請求項1に記載の方法。

【請求項14】

前記(110)面上に少なくとも1つのp F E Tを形成し、前記(100)面上に少なくとも1つのn F E Tを形成する工程をさらに含む、請求項13に記載の方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、デジタルまたはアナログ用の高性能金属酸化物半導体電界効果トランジスタ(MOSFET)に関し、より具体的には、基板表面配向からのキャリア移動度エンハンスメント(carrier mobility enhancement)を用いたMOSFETに関する。

20

【背景技術】

【0002】

本出願は、「High-performance CMOS SOI devices on hybrid crystal-oriented substrates」と題する、2003年6月17日に出願された、同時係属中および同一譲受人の米国特許出願第10/250,241号、「Self-aligned SOI with different crystal orientation using wafer bonding and SIMOX processes」と題する、2003年8月5日に出願された、同時係属中および同一譲受人の米国特許出願第10/634,446号、および「Planar substrate with selected semiconductor crystal orientations formed by localized amorphization and recrystallization of stacked template layers」と題する、2003年12月2日に出願された、同時係属中および同一譲受人の米国特許出願第10/725,850号に関する。上記3件それぞれの出願のすべての内容を参照により本明細書に組み込む。

30

【0003】

第10/250,241号出願には、バルク・シリコン上に配置された、第1の配向を有する第1の単結晶半導体の1つまたは複数の領域と、埋め込み酸化物(buried oxide, BOX)層上に配置された、第1の配向とは異なる第2の配向を有する第2の単結晶半導体の1つまたは複数の領域とを含む、平面ハイブリッド配向基板を作るためのエピタキシャル成長方法が記載されている。

40

【0004】

第10/634,446号出願は、第10/250,241号出願の方法を敷衍して、マスクの開口を通してSIMOX(separation by implanted oxygen, 酸素注入による分離)処理を施すことによって、第2の半導体の1つまたは複数の領域の下にBOX層を選択的に形成する工程を追加している。

【0005】

第10/725,850号出願には、第1の配向を有する第1の単結晶半導体の1つまたは複数の領域と、第2の配向を有する第2の単結晶半導体の1つまたは複数の領域とを含み、第1および第2の半導体領域が両方とも、両半導体領域に施したSIMOX処理で作られたBOX層上に配置されている平面ハイブリッド配向基板を作るための、アモルフ

50

ァス化／テンプレート再結晶化 (amorphization/templated recrystallization、A T R) 方法が記載されている。

【0006】

第10／634, 446号出願と同様、本出願も、S I M O X処理を行って第2の半導体領域の下に埋め込み絶縁層を形成することによって、第10／250, 241号出願の方法を敷衍している。しかし、本出願ではS I M O X処理を第1の半導体領域および第2の半導体領域の両方に施して、少なくとも部分的にS I M O Xによって作られた埋め込み絶縁層の上に両半導体領域が配置された状態にする。

【0007】

現在の半導体技術では、n F E T (即ち、n-チャネルM O S F E T) またはp F E T (即ち、p-チャネルM O S F E T) などの相補形金属酸化膜半導体 (C M O S) デバイスは、通常、単一配向の結晶を有するS i などの半導体ウェーハ上に製造される。特に、今日の半導体デバイスの大部分は、(100)配向結晶を有するS i 上に構築される。

10

【0008】

電子はS i (100)面の配向に高い移動度を有することが知られているが、正孔は(110)面の配向に高い移動度を有することが知られている。即ち、S i (100)上の正孔移動度の値は、この結晶配向での相当する電子移動度のほぼ1／2～1／4である。この不一致を補償するために、通常、p F E Tをより大きな幅で設計して、n F E Tプルダウン電流に対してプルアップ電流をバランスさせて均一な回路スイッチングを実現する。より大きな幅を有するp F E Tは、著しい量のチップ領域を取るのでは望ましくない。

20

【0009】

一方、S i (110)上の正孔移動度は、S i (100)上と比べて2倍高い。したがって、(110)面上に形成されたp F E Tは、(100)面上に形成されたp F E Tより著しく高い駆動電流を示す。残念ながら、S i (110)面上の電子移動度は、S i (100)面と比べて著しく低下している。

【0010】

上記から推定できるように、S i (110)面は優れた正孔移動度のためにp F E Tデバイスには最適であるが、こうした結晶配向はn F E Tデバイスにはまったく適していない。逆に、S i (100)面は結晶配向が電子移動度に有利であるために、n F E Tデバイスに最適である。

30

【0011】

上記を考慮すると、特定のデバイスに最適の性能をもたらす、異なる配向の結晶を有する基板上に形成された集積半導体デバイスを提供する必要がある。また、n F E Tとp F E Tの両方を異なる結晶配向を有するシリコン・オン・インシュレータ基板上に形成する方法であって、デバイスを構築する半導体層が実質的に共平面であり、かつ実質的に同一の厚みを有する、こうした集積半導体デバイスの形成方法を提供する必要もある。

【0012】

この問題に対する先行技術の手法を図1～15に示した。具体的には、図1～6は、米国特許出願第10／250, 241号に記載の、バルク・シリコン上に配置された、第1の配向を有する第1の単結晶半導体の1つまたは複数の領域と、B O X層上に配置された、第1の配向とは異なる第2の配向を有する第2の単結晶半導体の1つまたは複数の領域とを含む平面ハイブリッド配向基板を作るための、先行技術のエピタキシャル成長方法の各工程を示す。

40

【0013】

図1は、第1の配向を有する下部半導体基板層20、誘電体または埋め込み酸化物層30、第1の配向とは異なる第2の配向を有するS O I層40、および任意選択の表面誘電体マスキング／パシベーション層50を含む初期半導体オン・インシュレータ (S O I) 基板10を示す。初期S O I基板10の層20、30、および40は、通常、2つの異なる半導体ウェーハを接合することによって形成される。下部半導体基板層20は、下部半導体基板の上面部分が単結晶半導体の上層を含むという条件で、必要に応じ半導体と絶縁

50

層の任意の組み合わせで代替させることができる。

【0014】

図2は、層50、40、および30に1つまたは複数の開口60を形成して、下部半導体基板20の表面を露出させた後の図1の構造を示す。図3に示したように、開口60の露出したサイドウォール上にサイドウォール・スペーサ70を形成することができる。次に、下部半導体基板20の結晶配向と同じ結晶配向を有する半導体材料80を、層20の露出面上の開口60内にエピタキシャル成長させ、その後必要に応じ平坦化工程を用いて図4の構造を形成することができる。図5は、追加の平坦化工程でマスクング／パシベーション層50を除去した後の図4の構造を示し、図6は、必要に応じてシャロー・トレンチ・アイソレーション領域90を形成した後の図5の構造を示す。

10

【0015】

上記の図1～6に示した方法の欠点は、この加工では、半導体配向の1つのみがBOX上に配置された状態になることである。図7～11は、米国特許出願第10／634, 446号に記載の、図4、5、または6の構造に適用して、エピタキシャル成長半導体80の1つまたは複数の領域に選択的にBOX層を形成することができる、追加のマスクングおよびSIMOX（酸素注入による分離）工程を示す。図7は、マスク開口110を用いてパターン化マスク100を形成した後の図4の構造を示す。図8は、酸素イオン120を注入して、マスク開口110によって露出された半導体層80内に酸素リッチなシリコン層130および損傷した単結晶半導体領域140を形成している図7の構造を示す。図9は、酸素含有環境で高温アニーリングして、酸素リッチのシリコン層130を埋め込み酸化層150に変換し、損傷した半導体領域140をデバイス品質の半導体層140'に変換した後の図8の構造を示す。高温アニーリング工程中に表面酸化層170も形成される。図10は、マスクング層50および100を除去し、表面酸化層170を除去し、サイドウォール・スペーサ70を部分的に除去した後の図9の構造を示す。図11は、必要に応じシャロー・トレンチ・アイソレーション領域190を形成した後の図10の構造を示す。

20

【0016】

上記の図7～11に示した手法の欠点は、半導体層40をSIMOX注入およびアニールから保護するために追加のマスクング層が必要なことである。こうしたマスクング層の使用は、通常、マスク層の堆積、ならびにリソグラフィーの調整およびパターン化の追加の工程を必要とする。

30

【0017】

図12～15には、第1の配向を有する第1の単結晶半導体の1つまたは複数の領域と、第2の配向を有する第2の単結晶半導体の1つまたは複数の領域とを有し、第1および第2の半導体領域は両方とも、両半導体領域に施されたSIMOX処理によって作られたBOX層上に配置されている、平面ハイブリッド配向基板を作るための、米国特許出願第10／725, 850号に記載の別のアモルファス化／テンプレート再結晶化(ATR)方法の要点を示した。図12は、接合界面215で接合された、第1の結晶配向を有する半導体基板210と、第2の配向を有する半導体層220とを含む接合基板200を示す。基板200の選択領域をイオン注入などのプロセスでアモルファス化して、アモルファス化領域230と非アモルファス化領域220'を含む図13の構造を生成する。次いで、アモルファス化領域230をアニーリングなどのプロセスで再結晶化して、図14に示すように、半導体基板210の配向を有する結晶性半導体240を形成する。（図示していないトレンチまたはシャロー・トレンチ・アイソレーション領域は、横方向のテンプレート化を防止するために、通常、半導体層220のアモルファス化領域と非アモルファス化領域（それぞれ、230と220'）との界面に形成される。次いで、図15に示すように、両方の半導体領域に施されたSIMOX処理によって、埋め込み酸化層250を、異なる配向を有する半導体領域220'および240の下に形成する。

40

【0018】

図12～15に示したATR手法は非常に魅力的だが、この手法は(i)エピタキシャ

50

ル再成長法と比べるとまだ未成熟であり、(i i) 接合界面 2 1 5 の酸化物および汚染の影響を受けやすい。

【0019】

先行技術手法の上記欠点を考慮すると、結晶配向が異なる複数の半導体層であって、実質的に共平面、かつ実質的に同一厚みであり、これらが両方とも埋め込み絶縁層、例えば BOX 層の上に配置されている半導体層を有する半導体基板材料を作り出すことができる方法を提供する必要がある。

【特許文献 1】米国特許出願第 10 / 250, 241 号

【特許文献 2】米国特許出願第 10 / 634, 446 号

【特許文献 3】米国特許出願第 10 / 725, 850 号

10

【非特許文献 1】G. K. セラー (G.K. Celler) および S. クリストロボヌ (S.Cristoloveanu)、応用物理学会誌 (J. Appl.Phys.) 93 4955 頁 (2003)

【発明の開示】

【発明が解決しようとする課題】

【0020】

本発明の 1 つの目的は、異なる種類の CMOS デバイスを、各デバイスの性能を高める、シリコン・オン・インシュレータ (SOI) 基板の特定の配向の結晶上に形成する、集積半導体デバイスの製造方法を提供することである。

【0021】

本発明の別の目的は、p FET を (110) 結晶面上に配置し、一方 n FET を同じ SOI 基板の (100) 結晶面上に配置する、集積半導体デバイスの製造方法を提供することである。

20

【0022】

本発明の他の目的は、単純で容易な加工工程を用いた CMOS 技術で SOI 技術を集積する方法を提供することである。

【0023】

本発明のさらに他の目的は、両 CMOS デバイス、即ち p FET および n FET が SOI 状の、集積半導体構造の形成方法を提供することである。

【0024】

本発明のさらに別の目的は、実質的に共平面、かつ実質的に同一厚みである、異なる配向の半導体層を有するハイブリッド配向 SOI 基板の形成方法を提供することである。

30

【課題を解決するための手段】

【0025】

これらおよび他の目的ならびに利点は、接合およびエピタキシャル成長方法を用いて、第 1 の埋め込み絶縁層上に直接配置された、ある結晶配向を持つ接合半導体領域と、第 1 の埋め込み絶縁層上に直接配置されていない、これと異なる結晶配向を持つエピタキシャル成長半導体領域とを含む平面ハイブリッド基板を形成し、次いで (1 つまたは複数の酸素もしくは窒素イオン注入工程と 1 つまたは複数のアニーリング工程とを含む) SIMOX 的处理を接合およびエピタキシャル成長半導体領域に施して、(i) 第 2 の埋め込み絶縁領域をエピタキシャル成長半導体材料に形成し、(i i) 接合半導体層の下にある第 1 の埋め込み絶縁層を厚くすることによって本発明において実現される。SIMOX アニーリング工程で生成した表面酸化物があればこれを除去し、必要に応じ修正平坦化工程を施した後、接合半導体およびエピタキシャル成長半導体は、実質的に共平面であり、実質的に同一の厚みを有する SOI 領域として残る。

40

【0026】

次いで、どちらの表面配向がデバイスに最適であるかに応じて、接合半導体層またはエピタキシャル成長半導体材料の上に、少なくとも 1 つの n FET および少なくとも 1 つの p FET を形成することができる。両 CMOS デバイス、即ち n FET および p FET は、埋め込み絶縁体上に配置された SOI 層に存在するので、SOI 状のデバイスである。

【0027】

50

具体的には、本発明は、

第1の結晶配向を有する下部半導体基板層を含む基板を設ける工程であって、前記下部半導体基板層が、第1の絶縁層によって第2の結晶配向を持つ上部半導体層から分離され、前記第1の結晶配向が前記第2の結晶配向とは異なる工程と、

前記下部半導体基板層の表面を露出させる少なくとも1つの開口を前記基板に形成する工程と、

前記少なくとも1つの開口の前記下部半導体基板層の前記露出表面上にエピタキシャル成長半導体材料を充填する工程であって、前記エピタキシャル成長半導体材料が前記第1の結晶配向と同じ結晶配向を有する工程と、

注入およびアニーリングにより、(i)前記エピタキシャル成長半導体材料に第2の絶縁層を形成し、(ii)前記上部半導体層の下にある前記第1の絶縁層を厚くする工程と、

を含む集積半導体構造の形成方法を提供する。

【0028】

注入およびアニーリング工程に引き続き、任意選択の平坦化または表面処理あるいはその両方を用いて、残った第1の結晶配向を有するエピタキシャル成長半導体材料が、実質的に共平面であり、残った上部半導体層と実質的に同一厚みを有する、構造を形成することができる。

【0029】

上記の半導体基板層は、半導体と、例えば副埋め込み絶縁体層を含めた絶縁層との任意の組み合わせの上に配置することができる。この場合、(i)エピタキシャル成長半導体材料内に第2の絶縁層を形成する工程と、(ii)上部半導体層の下にある前記第1の絶縁層を厚くする工程は、それぞれ、副埋め込み絶縁体層を、(i)エピタキシャル成長半導体材料内に、かつ(ii)上部半導体層の下にある第1の絶縁層まで、上方に延在させる工程としてより正確に記述される。

【0030】

また本発明は、下部半導体基板層と上部半導体層を分離する第1の絶縁層を省いて、下部および上部半導体層を半導体-半導体界面で直接接触させる、上記方法の変形を包含する。この形では、イオン注入およびアニーリング・プロセスを行って、得られる第2の絶縁層の上部を、半導体-半導体界面の高さ以上とする。

【発明を実施するための最良の形態】

【0031】

二重SIMOX HOT（ハイブリッド配向技術）基板を提供する本発明を、本発明に付随する図面を参照することにより、以下さらに詳細に説明する。付随する図面では、類似の要素および対応する要素は、類似の参照符号で呼ぶ。本出願の図面は、例示を目的として提供するものであり、したがって一律の縮尺に従わずに描かれていることに留意されたい。

【0032】

図16～23は、本発明で 사용할 ことができる、可能な初期基板を示す横断面図である。図16～23の初期基板は、第1の配向を有する下部半導体基板層20と、第1の配向と異なる第2の配向を有する1つまたは複数の上部半導体層または領域300を含む、すべて平面の、ハイブリッド配向基板である。この1つまたは複数の上部半導体領域300は、通常、既に参照により本明細書に組み込まれている第10/250, 241号出願に記載の手法を用いて接合することによって形成される。この1つまたは複数の半導体領域300は、(図16～19、および23に示すように)第1の絶縁層330上に配置することができる。あるいは、これらは、(図21および22に示すように)下部半導体基板層20上に直接配置して界面331を形成することができる。第1の絶縁層330は、酸化物または窒化物を含むことができ、通常、約2～約200nmの厚みを有する。

【0033】

下部半導体基板層20は、半導体と絶縁層の任意の組み合わせ上に配置することができ

10

20

30

40

50

る。図16～19、および22～23の構造では、下部半導体基板層20はバルク半導体基板ウェーハを含む。図20および21の構造では、下部半導体基板層20は、基板335の上に位置した副埋め込み絶縁体層325上に配置されている。副埋め込み絶縁体325は酸化物または窒化物を含み、通常、約50～約500nmの厚みを有する。基板335は、下記の半導体材料の1種を含む。

【0034】

下部半導体基板層20は、例えば、Si、SiC、SiGe、SiGeC、Ge、GaAs、InAs、InP、およびその他のIII/VまたはII/VI化合物半導体を含めた任意の種類の半導体材料を含む。下部半導体基板層20は、これらの半導体材料の組み合わせも含む。下部半導体基板層20は、歪み層でも無歪み層でもよく、または歪み層と無歪み層の組み合わせを用いることもできる。また、下部半導体基板層20は、例えば、(110)、(111)または(100)のいずれかの第1の結晶配向を持つことを特徴とする。

【0035】

1つまたは複数の上部半導体層300は上記半導体材料の1種を含む。したがって、本発明では、1つまたは複数の上部半導体層300は、下部半導体基板層20と同じ半導体材料を含むことが可能であり、あるいは下部半導体基板層20とは異なる半導体材料を含むこともできる。上記のように、1つまたは複数の上部半導体層300は、下部半導体基板層20の第1の結晶配向とは異なる第2の結晶配向を有する。

【0036】

1つまたは複数のエピタキシャル成長半導体領域310は、下部半導体基板層20上に直接配置されており、(好ましくは絶縁性、即ち酸化物、窒化物、酸窒化物および多層を含めたこれらの組み合わせの)サイドウォール・スペーサ320によって1つまたは複数の上部半導体層300から分離されている。このエピタキシャル成長半導体領域310は、上記の半導体材料の1種(下部半導体基板層20と同じ半導体材料でも、これと異なる半導体でもよい)からなり、下部半導体基板層20の結晶配向と同じ結晶配向を有する。図16～23で参照符号311と表示した線は、下部半導体基板層20とエピタキシャル成長半導体領域310との見えない界面を示すために用いられている。

【0037】

図16～22の基板は、マスキング層350が十分に薄く実質的にその後のSIMOX(注入酸素による分離)工程の妨げにならない場合は、(図16の構造の場合について図23に示したような)残ったマスキング層350を含むこともできる。存在する場合は、マスキング層350は、例えば酸化物または窒化物などの絶縁材料からなる。マスキング層350の厚みは、通常、約20～約50nmである。

【0038】

図16～19の構造では、第1の絶縁層330(第1の絶縁層およびその後形成される第2の絶縁層は、どちらも埋め込み絶縁領域と呼ぶことができることに留意されたい)の厚み、およびサイドウォール・スペーサ320の深さが異なる。図16および17の構造は、厚みが一般的に1～20nm、より一般的に2～10nmの薄い第1の絶縁層330を有する。図18および19の構造は、厚みが一般的に20～1000nm、より一般的に50～200nmのより厚い第1の絶縁層330を有する。サイドウォール・スペーサ320は、図16および18の構造では第1の絶縁層330の底部まで延在しており、図17および19の構造では第1の絶縁層330を通り過ぎて下部半導体基板層20の内部まで延在している。

【0039】

図16～22などの構造は、当技術分野で公知の方法と材料、例えば、図1～6に関連して説明した方法、ならびに既に本明細書に組み込んだ米国特許出願第10/250,241号および第10/634,446号に記載の方法および材料を用いて製造することができることを再度留意されたい。

【0040】

図24～28および29～32は、SIMOX的处理(1つまたは複数の酸素もしくは窒素イオン注入工程、および1つまたは複数のアニーリング工程を含む)を、図16～23に示した構造に施すことができる方法の要点を示す。特に、図16および20に示した構造の特定のケース(第1の絶縁層330が存在し薄い場合)について図示した。図24～28は埋め込み絶縁体325のない初期構造の場合についてこれを図示し、図29～32は副埋め込み絶縁体325を持つ初期構造の場合についてこれを図示した。

【0041】

具体的には、図24～28は、SIMOX的处理を1つまたは複数の上部半導体層300およびエピタキシャル成長半導体領域310の両方に施して、(i)エピタキシャル成長半導体領域310内に第2の埋め込み絶縁層を形成し、(ii)上部半導体層300の下にある第1の埋め込み絶縁層330(または他の誘電体層)を厚くすることができる方法の要点を示す。

10

【0042】

図24は、図16の構造を有する初期基板に対するこのプロセスの第1工程を示す。酸素もしくは窒素などのイオン380を図24の構造に注入して、今はそれぞれ損傷接合半導体領域300'および損傷エピタキシャル成長領域310'と表されている、1つまたは複数の上部半導体層300およびエピタキシャル成長半導体領域310の上面の下方に、埋め込み注入領域400を有する図25に示した構造を形成する。埋め込み注入領域400は、その後の高温アニーリング工程中に第2の埋め込み絶縁層410を形成することができる高濃度の注入化学種を含有する。注入領域400の深さおよび程度は、その後注入領域400から形成される第2の埋め込み絶縁層410が、第1の埋め込み絶縁層330(その位置を370で示す)と所望の深さアライメントを有するように選択される。第2の埋め込み絶縁層410は、図26の構造ではほぼ第1の埋め込み絶縁層330の位置370に中心があり、図27の構造では位置370の上に中心があり、図28に示した構造では位置370の下に中心がある。

20

【0043】

図29～32は、SIMOX的处理を1つまたは複数の上部半導体層300およびエピタキシャル成長半導体領域310の両方に施して、副埋め込み絶縁体325を、(i)エピタキシャル成長半導体310内に、かつ(ii)半導体下部基板層20の下にある第1の絶縁層330まで、上方に延在させることができる方法の要点を示す。図29は、図20の構造を有する初期基板に対するこのプロセスの第1工程を示す。酸素もしくは窒素などのイオン380を図29の構造に注入して、例えば、埋め込み注入領域400を有する図30に示した構造を形成する。埋め込み注入領域400は、今はそれぞれ損傷接合半導体領域300'および損傷エピタキシャル成長領域310'と表されている、1つまたは複数の上部半導体領域300およびエピタキシャル成長半導体領域310の上面の下方に位置しており、副埋め込み絶縁体325内に延在している。この実施形態では、注入領域400は、その後の高温アニーリング工程中に第2の埋め込み絶縁層410を形成することができる高濃度の注入化学種を含有する。注入領域400の深さおよび程度は、その後注入領域400から形成される第2の埋め込み絶縁層410が、第1の埋め込み絶縁層330(その位置を370で示す)と所望の深さアライメントを有するように選択される。第2の埋め込み絶縁層410は、図31に示したように、第1の絶縁層330の位置370の上方に延在することができるが、例えば図32に示したように、位置370で終わることが好ましい。

30

40

【0044】

図24～28および29～32は、薄い第1の埋め込み絶縁層330を有する構造へのSIMOX处理の適用を図示しているが、本発明は、第1の絶縁層330がより厚い構造、および第1の絶縁層330のない構造にも適用できることに留意されたい。第1の絶縁層330がない場合は、半導体-半導体界面の高さまたはそれより上に、得られる第2絶縁層の上部を残すように、イオン注入およびアニーリング・プロセスを行う。しかし、SIMOX处理を用いた埋め込み絶縁体の形成は、初期構造に少なくとも何らかの埋め込み

50

絶縁体（330または325）が存在すると容易になる傾向がある。

【0045】

埋め込み注入層400を作るのに用いるイオン注入には、例えば以下の高線量および低線量のイオン注入条件を含めて、様々な周知のイオン注入条件を含めることができる（例えば、G. K. セラー（G.K. Celler）およびS. クリストロボヌ（S. Cristoloveanu）、応用物理学誌（J. Appl.Phys.）93 4955頁（2003）を参照のこと）。

【0046】

高線量注入

本明細書で用いる用語「高線量」とは、約 $4 \times 10^{17} \text{ cm}^{-2}$ 以上の O^+ イオン線量を示し、イオン線量約 $4 \times 10^{17} \sim 2 \times 10^{18} \text{ cm}^{-2}$ がより好ましい。高線量の使用に加え、この注入は、一般的にイオン注入装置において約10～約1000 keVのエネルギーで行われる。約60～約250 keVの注入エネルギーがより一般的に用いられる。

【0047】

この注入は、ベース・イオン注入とも呼ぶことができ、約 $200^\circ \sim 800^\circ \text{C}$ の温度で、約 $0.05 \sim 50 \mu \text{A cm}^{-2}$ のビーム電流密度で行われる。より好ましくは、ベース・イオン注入は、約 $200^\circ \sim 600^\circ \text{C}$ の温度で、約 $5 \sim 20 \mu \text{A cm}^{-2}$ のビーム電流密度で行われる。

【0048】

所望により、ベース注入工程に引き続いて、第2の O^+ 注入を行うことができる。この第2の O^+ 注入は、線量約 $1 \times 10^{14} \sim 1 \times 10^{16} \text{ cm}^{-2}$ を用いて行われ、イオン線量約 $1 \times 10^{15} \sim 4 \times 10^{15} \text{ cm}^{-2}$ が特に好ましい。第2の注入は、約40 keV以上のエネルギーで行われ、約120～約450 keVの注入エネルギーがより好ましい。

【0049】

この第2の注入は、約4 K～約 200°C の温度で、約 $0.05 \sim 10 \mu \text{A cm}^{-2}$ のビーム電流密度で行われる。より好ましくは、第2の注入は、約 $25^\circ \sim 100^\circ \text{C}$ の温度で、約 $0.5 \sim 5.0 \mu \text{A cm}^{-2}$ のビーム電流密度で行われる。

【0050】

第2の注入を用いると、ベース・イオン注入工程が引き起こす損傷領域の下方にアモルファス領域が形成される。その後のアニーリング中に、このアモルファスおよび損傷領域は、上記の第2の埋め込み絶縁領域に変換される。

【0051】

低線量注入

本発明のこの実施形態について本明細書で用いる用語「低線量」とは、約 $4 \times 10^{17} \text{ cm}^{-2}$ 以下のイオン線量を示し、イオン線量約 $1 \times 10^{17} \sim 3.9 \times 10^{17} \text{ cm}^{-2}$ がより好ましい。この低線量注入は、約40～約500 keVのエネルギーで行われ、約60～約250 keVの注入エネルギーが特に好ましい。

【0052】

この注入は、ベース・イオン注入とも呼ぶことができ、約 $100^\circ \sim 800^\circ \text{C}$ の温度で行われる。より好ましくは、ベース・イオン注入は、約 $200^\circ \sim 650^\circ \text{C}$ の温度で行われる。低線量注入で用いられるビーム電流密度は約 $0.05 \sim 50 \mu \text{A cm}^{-2}$ である。

【0053】

所望により、ベース低線量注入工程に引き続いて、第2の O^+ 注入を行うことができる。この第2の O^+ 注入は、上記の条件を用いて行われる。

【0054】

上記のイオン注入のタイプは例示を目的とするものであり、本発明の範囲を限定するものではないことを再度強調しておく。むしろ、本発明は、より一般的な基板でSIMOX加工に有用であることが見出されているすべての一般的なイオン注入条件、アニーリング条件、ならびにイオン注入とアニールのシーケンスの組み合わせを予期するものである。

【0055】

イオン注入の後、注入領域 400 を含む図 25 および 30 の構造は、注入領域 400 を第 2 の埋め込み絶縁層 410 に変換することができる高温アニーリング・プロセスにかける。上記のように、第 2 の埋め込み絶縁層 410 は、第 1 の埋め込み絶縁層 330 に対して所望の深さアライメントで作ることが好ましい。また、このアニーリング・プロセスは、損傷半導体領域 300' および損傷エピタキシャル成長半導体領域 310' を、デバイス品質の半導体領域 300'' および 310'' に変換する。

【0056】

具体的には、本発明のアニーリング工程は、約 700 ° ~ 約 1400 °C の温度で行われ、約 1100 ° ~ 約 1300 °C の温度が特に好ましい。さらに、本発明のアニーリング工程は酸化性雰囲気で行われる。アニーリング工程時に用いられる酸化性雰囲気としては、 O_2 、NO、 N_2O 、オゾン、空気などの少なくとも 1 種の酸素含有ガス、ならびに他の酸素含有ガス類似物が挙げられる。酸素含有ガスは、互いに混合することもでき (O_2 と NO の混合物など)、あるいは、このガスを He、Ar、 N_2 、Xe、Kr、または Ne などの不活性ガスで希釈することもできる。

【0057】

アニーリング工程を行う時間は変えることができ、通常約 1 ~ 約 100 時間の範囲であり、約 2 ~ 約 24 時間が特に好ましい。アニーリング工程は、単一の目的温度で行うこともできるが、様々な温度変化および保持時間を用いて様々な温度変化および保持サイクル (ramp and soak cycles) で行うこともできる。

【0058】

アニーリングは酸化性雰囲気で行われるので、図 33 ~ 35 に示したように、半導体材料 300' および 310' の上部は、バリヤー層が存在しないと酸化することが予想される。図 33 は、アニーリング前の代表的な注入後の構造を示す。一方、図 34 は、表面酸化物層 430 が形成された後の図 33 の構造を示す。Si 半導体の場合は、表面酸化物層 430 の厚みは、消費されたシリコンの厚みにほぼ等しい厚みから、ほぼその 2 倍であると思われる。

【0059】

次に図 34 を参照すると、表面酸化物層 430、ならびにマスクング層 350 (存在する場合) およびサイドウォール・スペーサ 320 の少なくとも一部は、半導体材料に対して選択的に除去される。この工程は、図 35 に示した平面構造を形成するので、平坦化プロセスと呼ぶことができる。半導体材料と比べて酸化物を選択的に除去する湿式化学エッチング液の一例はバッファード・フッ酸である。スペーサ 320 は通常 (活性デバイス領域ではなく) 分離領域に位置しているので、スペーサ 320 に凹みを作ること、あるいはこれを除去することは問題ない。損傷スペーサ 320' は、トレンチ・アイソレーション領域の形成時に交換または修復することができる。

【0060】

図 36 ~ 39 は、イオン注入およびアニーリング・プロセスに必要なアニーリング工程を行う別法を示す。バリヤー層を用いて半導体表面酸化を防止または低減する方法である。図 36 は、アニーリング前の代表的な注入後の構造を示す。図 37 は、堆積層 420 を堆積させた後の図 36 の構造を示す。堆積層 420 は、単一材料であっても、あるいは材料の積層であってもよいが、熱的に安定であること、下にある半導体領域に対して反応しないこと、およびアニーリング後に選択的に容易に除去できることが好ましい。層 420 の好ましい材料としては、 SiO_2 、 SiN_x 、 SiN_x/SiO_2 二重層 (SiN_x が下 (エッチ・ストップ) 層)、およびアニーリング中に完全に SiO_2 に変換される、十分薄い Si 上層で任意のこれらの層を覆ったものが挙げられる。バリヤー層の厚みは、好ましくは 30 ~ 300 nm の範囲、より好ましくは 50 ~ 100 nm の範囲である。

【0061】

高温アニーリングおよび任意選択の平坦化工程の後、少なくとも 1 つの nFET および少なくとも 1 つの pFET を、どちらの表面配向がそのデバイスに最適であるかに応じて、接合半導体領域 300'' またはエピタキシャル成長半導体領域 310'' 上に形成するこ

10

20

30

40

50

とができる。図40は、サイドウォール・スペーサ320がシャロー・トレンチ・アイソレーション領域520に組み込まれた後、図35または39の基板構造上に最適に配置されたnFET550およびpFET560を示す。

【0062】

1つまたは複数のnFET550およびpFET560は、当分野の技術者に周知の標準CMOS加工工程を用いて形成される。米国特許出願第10/634,446号に記載されているように、各FETは、ゲート誘電体、ゲート導体、ゲート導体上に設けられた任意選択のハード・マスク、少なくともゲート導体のサイドウォール上に設けられたスペーサ、および拡散領域を含む。pFETは、通常、(110)または(111)配向を有する半導体材料の上に形成される。一方、nFETは、(100)または(111)配向を有する半導体表面の上に形成される。

10

【0063】

第2の埋め込み絶縁層410は均一の厚みを持つように示されているが、異なる半導体領域では異なる厚みであってもよいことに留意されたい。例えば、第2の埋め込み絶縁層410は、「全SIMOX」領域(SIMOXで作られた埋め込み絶縁体がエピタキシャル成長半導体領域310に作られている)では所定の厚みを持つことができ、「部分SIMOX」領域(SIMOXで作られた埋め込み絶縁体が元から存在する第1の埋め込み絶縁層330を拡大させている)では別の厚みを持つことができる。第2の埋め込み絶縁層410の厚みは、(i)元の埋め込み絶縁層330の厚み、(ii)その中(またはその間)にSIMOX埋め込み絶縁体、即ち第2の埋め込み絶縁層410が形成される半導体の配向(何故なら、化学反応性、半導体/酸化物界面の安定性、および拡散速度は著しく配向に左右される)を含むいくつかの要因の影響を受けることがある。

20

【0064】

通常、SIMOX埋め込み酸化物層を110配向Siに作ることは、これを100配向Siに作るより難しいので、110配向と100配向を有するSi半導体の場合、図35または39の均一厚みの埋め込み絶縁体構造への好ましいルートでは、110配向を有するSiを接合半導体層300として用い、100配向を有するSiを基板20およびエピタキシャル成長半導体層310として用いる。この手法を用いて、全SIMOX埋め込み酸化物は100Siに形成され、部分SIMOX埋め込み絶縁体はSi(110)/Si(100)界面またはその周囲に形成される。第1の埋め込み絶縁層330の厚みは、埋め込み絶縁体のSIMOXで作られた部分の厚みが配向によって異なることを見込んでこれを補償するように選択することが好ましく、これによって第2の埋め込み絶縁層410の厚みを実質的に均一にすることができる。

30

【0065】

あるいは、SIMOXで作られた埋め込み絶縁体層が比較的半導体配向の影響を受けない場合(例えば、所定のSIMOX条件または半導体材料の種類あるいはその両方のため)は、第1の埋め込み絶縁層330の厚みはできるだけ薄いことが好ましい。

【0066】

本発明を、その好ましい実施形態に関して具体的に示し説明してきたが、当分野の技術者なら、形式および詳細における上記およびその他の変化を、本発明の精神および範囲を逸脱することなく行うことができることが分かるであろう。したがって、本発明は、説明し例示した厳密な形式および詳細に限定されるものではなく、頭記の特許請求の範囲内に入るものである。

40

【図面の簡単な説明】

【0067】

【図1】半導体領域のいくつかはBOX層の上であり、他の半導体領域はBOX層の上でない平面ハイブリッド配向基板を形成する先行技術の方法の各工程を示す横断面図である。

【図2】半導体領域のいくつかはBOX層の上であり、他の半導体領域はBOX層の上でない平面ハイブリッド配向基板を形成する先行技術の方法の各工程を示す横断面図である

50

。
【図 3】半導体領域のいくつかが BOX 層の上であり、他の半導体領域は BOX 層の上
ない平面ハイブリッド配向基板を形成する先行技術の方法の各工程を示す横断面図である

。
【図 4】半導体領域のいくつかが BOX 層の上であり、他の半導体領域は BOX 層の上
ない平面ハイブリッド配向基板を形成する先行技術の方法の各工程を示す横断面図である

。
【図 5】半導体領域のいくつかが BOX 層の上であり、他の半導体領域は BOX 層の上
ない平面ハイブリッド配向基板を形成する先行技術の方法の各工程を示す横断面図である

。
【図 6】半導体領域のいくつかが BOX 層の上であり、他の半導体領域は BOX 層の上
ない平面ハイブリッド配向基板を形成する先行技術の方法の各工程を示す横断面図である

。
【図 7】半導体の配向が両方とも BOX 層の上にある平面ハイブリッド配向基板を形成す
る、図 1～6 に示した先行技術を拡張した方法を示す横断面図である。

【図 8】半導体の配向が両方とも BOX 層の上にある平面ハイブリッド配向基板を形成す
る、図 1～6 に示した先行技術を拡張した方法を示す横断面図である。

【図 9】半導体の配向が両方とも BOX 層の上にある平面ハイブリッド配向基板を形成す
る、図 1～6 に示した先行技術を拡張した方法を示す横断面図である。

【図 10】半導体の配向が両方とも BOX 層の上にある平面ハイブリッド配向基板を形成
する、図 1～6 に示した先行技術を拡張した方法を示す横断面図である。

【図 11】半導体の配向が両方とも BOX 層の上にある平面ハイブリッド配向基板を形成
する、図 1～6 に示した先行技術を拡張した方法を示す横断面図である。

【図 12】半導体の配向が両方とも BOX 層の上にある平面ハイブリッド配向基板を形成
する、先行技術のアモルファス化／テンプレート再結晶化（ATR）方法の各工程を示す
横断面図である。

【図 13】半導体の配向が両方とも BOX 層の上にある平面ハイブリッド配向基板を形成
する、先行技術のアモルファス化／テンプレート再結晶化（ATR）方法の各工程を示す
横断面図である。

【図 14】半導体の配向が両方とも BOX 層の上にある平面ハイブリッド配向基板を形成
する、先行技術のアモルファス化／テンプレート再結晶化（ATR）方法の各工程を示す
横断面図である。

【図 15】半導体の配向が両方とも BOX 層の上にある平面ハイブリッド配向基板を形成
する、先行技術のアモルファス化／テンプレート再結晶化（ATR）方法の各工程を示す
横断面図である。

【図 16】本発明で使用するすることができる、可能な初期基板を示す横断面図である。

【図 17】本発明で使用するすることができる、可能な初期基板を示す横断面図である。

【図 18】本発明で使用するすることができる、可能な初期基板を示す横断面図である。

【図 19】本発明で使用するすることができる、可能な初期基板を示す横断面図である。

【図 20】本発明で使用するすることができる、可能な初期基板を示す横断面図である。

【図 21】本発明で使用するすることができる、可能な初期基板を示す横断面図である。

【図 22】本発明で使用するすることができる、可能な初期基板を示す横断面図である。

【図 23】本発明で使用するすることができる、可能な初期基板を示す横断面図である。

【図 24】バルク基板上の下部半導体層から出発して、平面ハイブリッド配向基板を形成
する本発明の方法を示す横断面図である。

【図 25】バルク基板上の下部半導体層から出発して、平面ハイブリッド配向基板を形成
する本発明の方法を示す横断面図である。

【図 26】バルク基板上の下部半導体層から出発して、平面ハイブリッド配向基板を形成
する本発明の方法を示す横断面図である。

【図 27】バルク基板上の下部半導体層から出発して、平面ハイブリッド配向基板を形成

10

20

30

40

50

する本発明の方法を示す横断面図である。

【図 28】バルク基板上的の下部半導体層から出発して、平面ハイブリッド配向基板を形成する本発明の方法を示す横断面図である。

【図 29】埋め込み絶縁体層基板上的の下部半導体層から出発して、平面ハイブリッド配向基板を形成する本発明の方法を示す横断面図である。

【図 30】埋め込み絶縁体層基板上的の下部半導体層から出発して、平面ハイブリッド配向基板を形成する本発明の方法を示す横断面図である。

【図 31】埋め込み絶縁体層基板上的の下部半導体層から出発して、平面ハイブリッド配向基板を形成する本発明の方法を示す横断面図である。

【図 32】埋め込み絶縁体層基板上的の下部半導体層から出発して、平面ハイブリッド配向基板を形成する本発明の方法を示す横断面図である。

10

【図 33】イオン注入およびアニーリング・プロセスのアニーリング工程を行う一方法を示す横断面図である。

【図 34】イオン注入およびアニーリング・プロセスのアニーリング工程を行う一方法を示す横断面図である。

【図 35】イオン注入およびアニーリング・プロセスのアニーリング工程を行う一方法を示す横断面図である。

【図 36】イオン注入およびアニーリング・プロセスのアニーリング工程を行う別の方法を示す横断面図である。

【図 37】イオン注入およびアニーリング・プロセスのアニーリング工程を行う別の方法を示す横断面図である。

20

【図 38】イオン注入およびアニーリング・プロセスのアニーリング工程を行う別の方法を示す横断面図である。

【図 39】イオン注入およびアニーリング・プロセスのアニーリング工程を行う別の方法を示す横断面図である。

【図 40】本発明の基板構造を用いて、結晶配向は異なるが実質的に同一の SOI 厚みを有する共平面な表面上に形成された、n FET および p FET を含む集積半導体構造をいかにして形成できるかを示す横断面図である。

【符号の説明】

【0068】

30

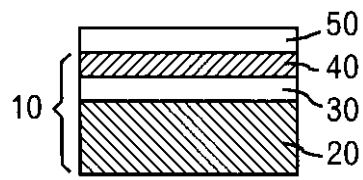
- 10 初期半導体オン・インシュレータ (SOI) 基板
- 20 下部半導体基板層
- 30 誘電体または埋め込み酸化物層
- 40 第 1 の配向とは異なる第 2 の配向を有する SOI 層
- 50 表面誘電体マスキング／パシベーション層
- 60 開口
- 70 サイドウォール・スペーサ
- 80 エピタキシャル成長半導体
- 90 シャロー・トレンチ・アイソレーション
- 100 パターン化マスク
- 110 マスク開口
- 120 酸素イオン
- 130 酸素リッチなシリコン層
- 140 損傷した単結晶半導体領域
- 140' デバイス品質の半導体層
- 150 埋め込み酸化物層
- 170 表面酸化物層
- 190 シャロー・トレンチ・アイソレーション
- 200 接合基板
- 210 半導体基板

40

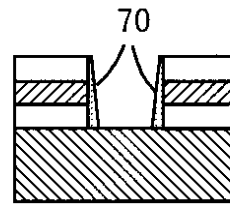
50

2 1 5	接合界面	
2 2 0	半導体層	
2 2 0 '	非アモルファス化領域	
2 3 0	アモルファス化領域	
2 4 0	結晶性半導体	
2 5 0	埋め込み酸化物領域	
3 0 0	接合半導体層または領域	
3 0 0 '	損傷接合半導体領域	
3 0 0 "	デバイス品質の半導体領域	
3 1 0	エピタキシャル成長半導体領域	10
3 1 0 '	損傷エピタキシャル成長領域	
3 1 0 "	デバイス品質の半導体領域	
3 1 1	下部半導体基板層 2 0 とエピタキシャル成長半導体領域 3 1 0 との見えない界 面	
3 2 0	サイドウォール・スペーサ	
3 2 5	埋め込み絶縁体	
3 3 0	第 1 の絶縁層	
3 3 1	界面	
3 3 5	基板	
3 5 0	マスキング層	20
3 7 0	第 1 の埋め込み絶縁層の位置	
3 8 0	イオン	
4 0 0	埋め込み注入領域	
4 1 0	第 2 の埋め込み絶縁層	
4 2 0	堆積層	
4 3 0	表面酸化物層	
5 2 0	シャロー・トレンチ・アイソレーション領域	
5 5 0	n F E T	
5 6 0	p F E T	

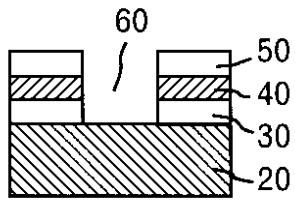
【図 1】



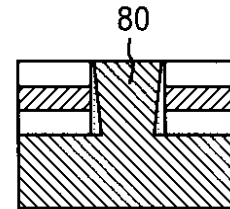
【図 3】



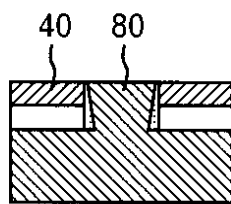
【図 2】



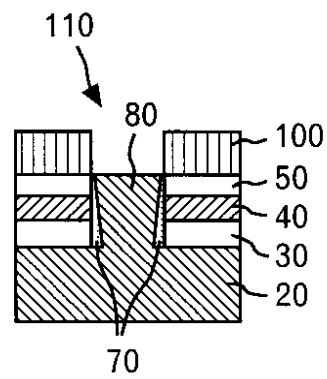
【図 4】



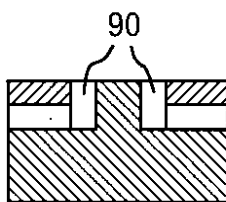
【図 5】



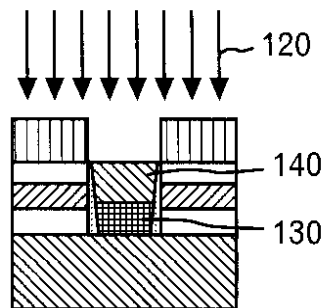
【図 7】



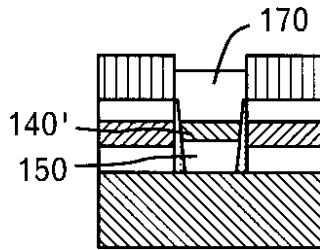
【図 6】



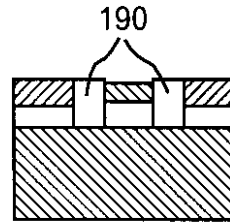
【図 8】



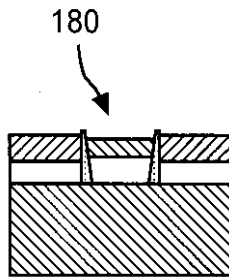
【図 9】



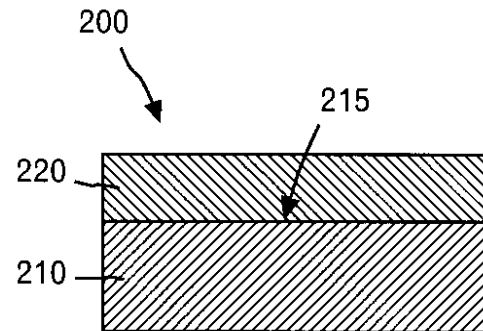
【図 11】



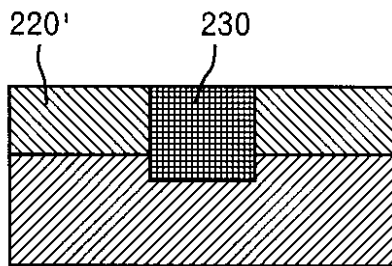
【図 10】



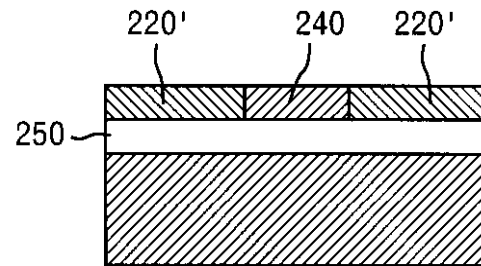
【図 12】



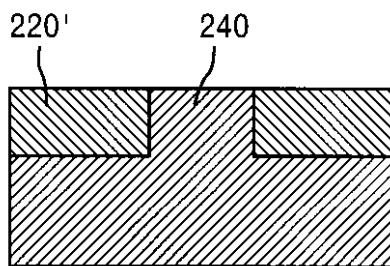
【図 13】



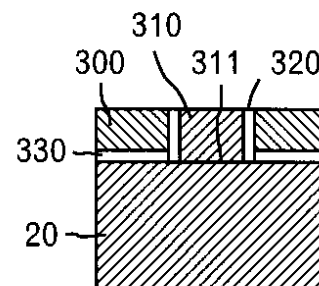
【図 15】



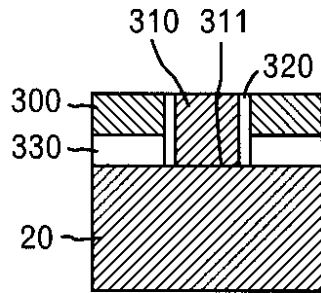
【図 14】



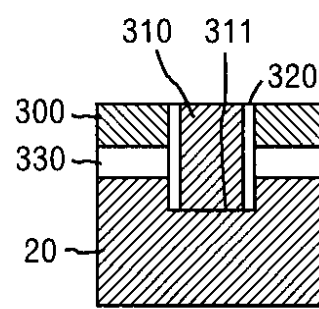
【図 16】



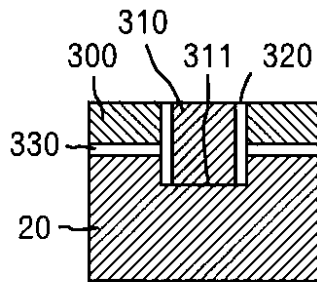
【図 17】



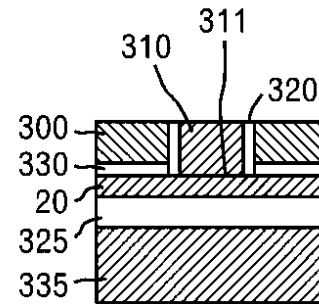
【図 19】



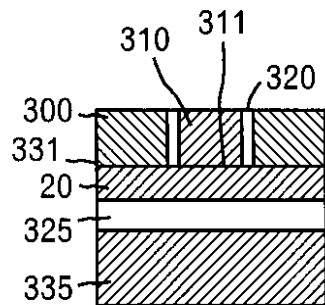
【図 18】



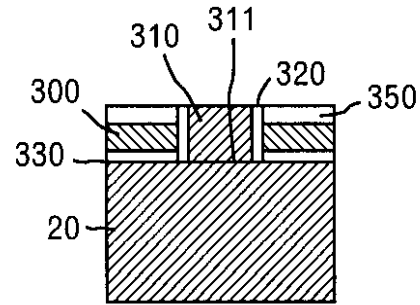
【図 20】



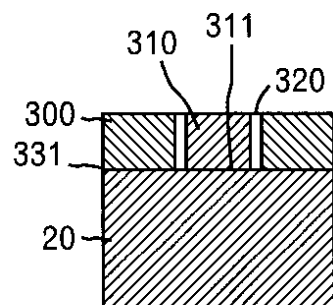
【図 21】



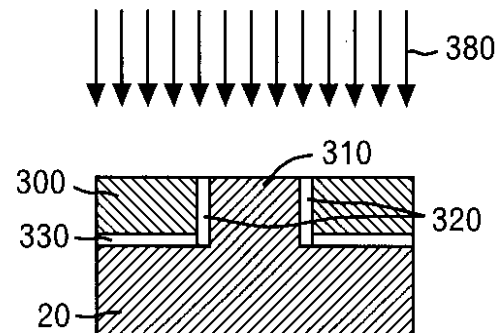
【図 23】



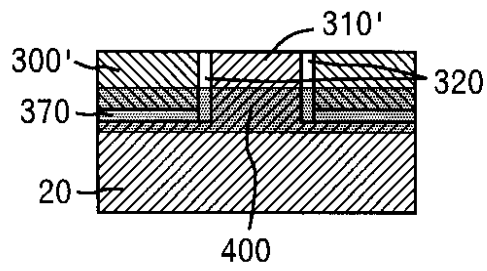
【図 22】



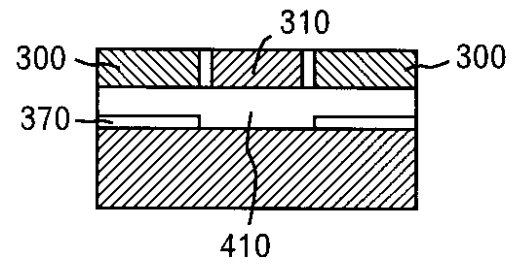
【図 24】



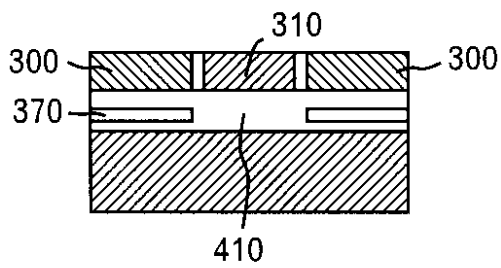
【図 2 5】



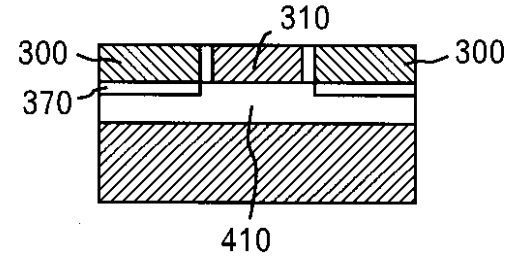
【図 2 7】



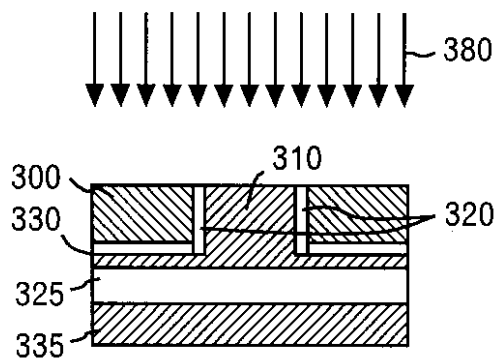
【図 2 6】



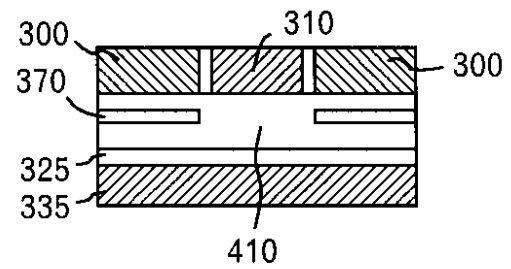
【図 2 8】



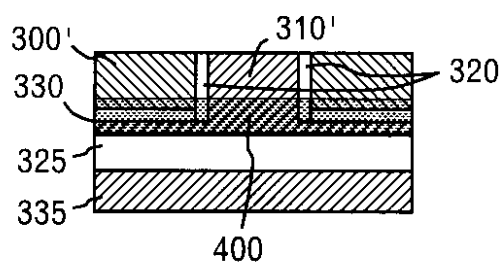
【図 2 9】



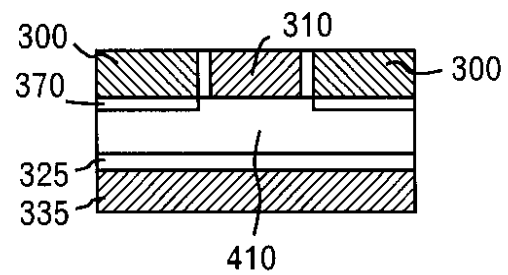
【図 3 1】



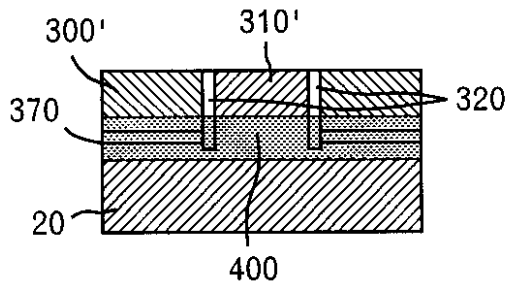
【図 3 0】



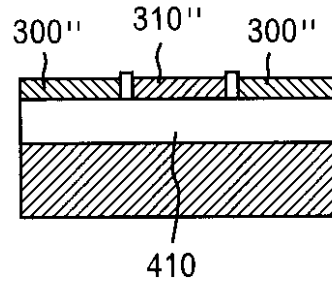
【図 3 2】



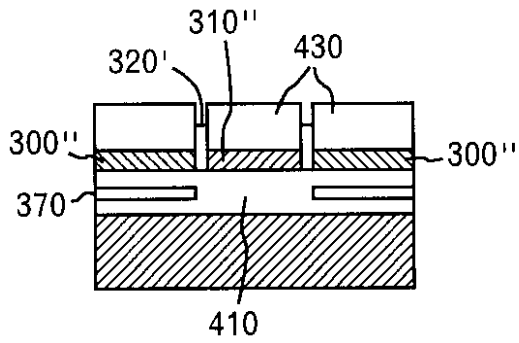
【図 3 3】



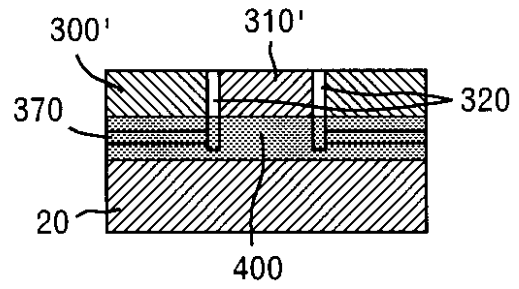
【図 3 5】



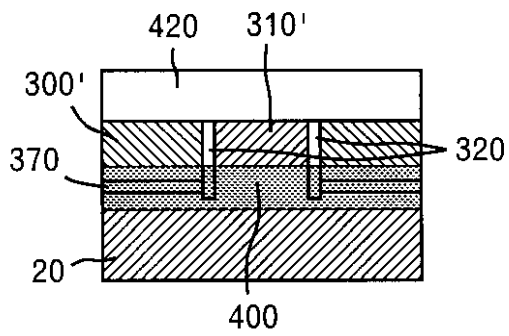
【図 3 4】



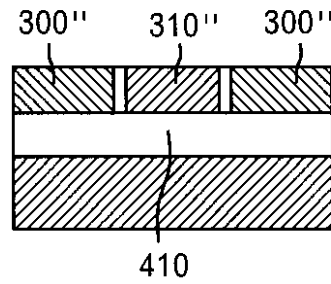
【図 3 6】



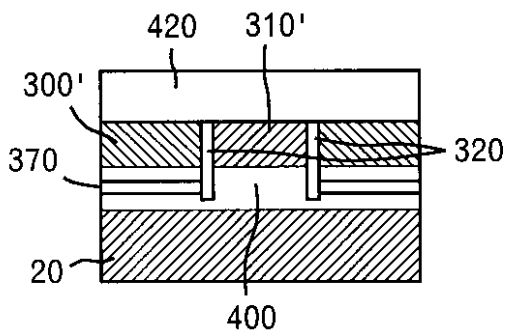
【図 3 7】



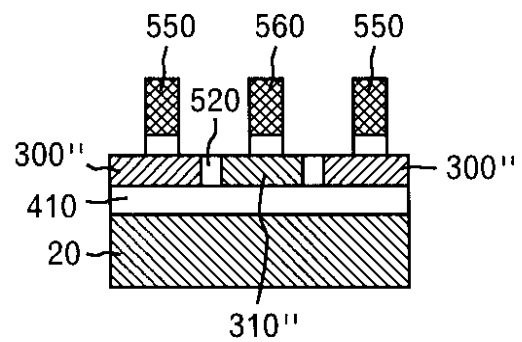
【図 3 9】



【図 3 8】



【図 4 0】



フロントページの続き

(51)Int.Cl.		F I	
H01L 27/12	(2006.01)	H01L 29/78	613A
H01L 21/02	(2006.01)	H01L 27/08	331E
H01L 21/336	(2006.01)	H01L 29/78	620
H01L 21/8238	(2006.01)	H01L 27/12	E
H01L 27/092	(2006.01)	H01L 27/12	F
		H01L 29/78	626C
		H01L 27/08	321A

(74)代理人 100086243

弁理士 坂口 博

(72)発明者 ケビン・ケイ・チャン

アメリカ合衆国10314 ニューヨーク州スタテン・アイランド スレイトン・アベニュー 4
1

(72)発明者 ジョエル・ビー・デ ソウザ

アメリカ合衆国10579 ニューヨーク州パットナム・パレー ウェスト・ショア・ドライブ
10

(72)発明者 アレキサンダー・レッツニセク

アメリカ合衆国10549 ニューヨーク州マウント・キスコ カーペンター・アベニュー 84

(72)発明者 デベンドラ・ケイ・サダナ

アメリカ合衆国10570 ニューヨーク州プレザントビル スカイ・トップ・ドライブ 90

(72)発明者 キャサリン・エル・ゼンガー

アメリカ合衆国10562 ニューヨーク州オッシニング アンダーヒル・ロード 115

審査官 松本 陶子

(56)参考文献 特開2006-040911 (JP, A)

特開2003-309254 (JP, A)

特開平04-372166 (JP, A)

特開平05-094928 (JP, A)

特開2003-197868 (JP, A)

国際公開第2006/049833 (WO, A1)

米国特許第6949420 (US, B1)

特開2005-057284 (JP, A)

米国特許第7094634 (US, B2)

(58)調査した分野(Int.Cl., DB名)

H01L 21/76

H01L 21/02

H01L 21/265

H01L 21/336

H01L 21/762

H01L 21/8238

H01L 27/08

H01L 27/092

H01L 27/12

H01L 29/786