

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号
特許第5696540号
(P5696540)

(45) 発行日 平成27年4月8日 (2015.4.8)

(24) 登録日 平成27年2月20日 (2015.2.20)

(51) Int.Cl.

F I

HO 3M 1/52 (2006.01)

HO 3M 1/06 (2006.01)

HO 3M 1/52

HO 3M 1/06

請求項の数 7 (全 12 頁)

(21) 出願番号	特願2011-58177 (P2011-58177)	(73) 特許権者	000006747
(22) 出願日	平成23年3月16日 (2011.3.16)		株式会社リコー
(65) 公開番号	特開2012-195764 (P2012-195764A)		東京都大田区中馬込1丁目3番6号
(43) 公開日	平成24年10月11日 (2012.10.11)	(74) 代理人	100081422
審査請求日	平成26年2月17日 (2014.2.17)		弁理士 田中 光雄
		(74) 代理人	100068526
			弁理士 田村 恭生
		(74) 代理人	100091524
			弁理士 和田 充夫
		(72) 発明者	安田 俊朗
			東京都大田区中馬込1丁目3番6号 株式
			会社リコー内
		(72) 発明者	半下石 誠
			東京都大田区中馬込1丁目3番6号 株式
			会社リコー内

最終頁に続く

(54) 【発明の名称】 AD変換器、ダイヤル式入力装置、及び抵抗－電圧変換回路

(57) 【特許請求の範囲】

【請求項1】

被第1積分電圧が入力されているときに前記被第1積分電圧と基準電圧との差分の電圧を積分する第1積分を行い、前記第1積分の実行後、被第2積分電圧が入力されているときに前記被第2積分電圧と基準電圧との差分の電圧を積分する第2積分を行い、少なくとも前記第2積分に応じた積分電圧を出力する積分器と、前記積分器から出力される積分電圧と前記基準電圧とを入力し、前記第2積分を開始してから前記積分電圧と前記基準電圧とが等しくなるまでの時間を計測してデジタル値で出力する出力部と、を備えた2重積分型ADコンバータと、

可変抵抗と、

前記可変抵抗の可変後の抵抗値と前記可変抵抗を流れる電流の値の積に比例して前記被第1積分電圧を変化させるとともに、前記可変抵抗の総抵抗値と前記可変抵抗を流れる電流の積に比例して前記被第2積分電圧及び前記基準電圧を変化させる抵抗－電圧変換回路と、

を備え、

前記可変抵抗は、

両端の固定端子と、接地された調整端子とを備え、

前記抵抗－電圧変換回路は、

前記可変抵抗の両端の固定端子に電流を流すための二つの電流源と、

前記可変抵抗の両端の固定端子間に直列に接続された二つの抵抗と、

前記二つの抵抗同士の接続部に生じる電圧に比例する第1の電圧と第2の電圧とを生成する電圧生成部とを備え、

前記可変抵抗のうちの一方の固定端子の電圧を前記被第1積分電圧として出力し、

前記第1の電圧を前記被第2積分電圧として出力し、

前記第2の電圧を前記基準電圧として出力する、

ことを特徴とするA/D変換器。

【請求項2】

前記抵抗－電圧変換回路は一つの集積回路に集積されていることを特徴とする請求項1記載のA/D変換器。

【請求項3】

前記二つの電流源はカレントミラー回路で構成されていることを特徴とする請求項1または2記載のA/D変換器。

【請求項4】

請求項1から3のいずれか1項に記載のA/D変換器を用いたダイヤル式入力装置。

【請求項5】

被第1積分電圧が入力されているときに前記被第1積分電圧と基準電圧との差分の電圧を積分する第1積分を行い、前記第1積分の実行後、被第2積分電圧が入力されているときに前記被第2積分電圧と基準電圧との差分の電圧を積分する第2積分を行い、少なくとも前記第2積分に応じた積分電圧を出力する積分器と、前記積分器から出力される積分電圧と前記基準電圧とを入力し、前記第2積分を開始してから前記積分電圧と前記基準電圧とが等しくなるまでの時間を計測してデジタル値で出力する出力部と、を備えた2重積分型A/Dコンバータに、可変抵抗の抵抗値に基づいて前記被第1積分電圧を生成して出力するとともに、前記被第2積分電圧及び前記基準電圧を生成して出力する抵抗－電圧変換回路であって、

前記可変抵抗の可変後の抵抗値と前記可変抵抗を流れる電流の値の積に比例して前記被第1積分電圧を変化させるとともに、前記可変抵抗の総抵抗値と前記可変抵抗を流れる電流の積に比例して前記被第2積分電圧及び前記基準電圧を変化させ、

前記可変抵抗は、

両端の固定端子と、接地された調整端子とを備え、

前記抵抗－電圧変換回路は、

前記可変抵抗の両端の固定端子に電流を流すための二つの電流源と、

前記可変抵抗の両端の固定端子間に直列に接続された二つの抵抗と、

前記二つの抵抗同士の接続部に生じる電圧に比例する第1の電圧と第2の電圧とを生成する電圧生成部とを備え、

前記可変抵抗のうちの一方の固定端子の電圧を前記被第1積分電圧として出力し、

前記第1の電圧を前記被第2積分電圧として出力し、

前記第2の電圧を前記基準電圧として出力する、

ことを特徴とする抵抗－電圧変換回路。

【請求項6】

前記抵抗－電圧変換回路は一つの集積回路に集積されていることを特徴とする請求項5記載の抵抗－電圧変換回路。

【請求項7】

前記二つの電流源はカレントミラー回路で構成されていることを特徴とする請求項5または6記載の抵抗－電圧変換回路。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、2重積分型A/Dコンバータを有するA/D変換器、ダイヤル式入力装置、及び抵抗－電圧変換回路に関する。

【背景技術】

10

20

30

40

50

【0002】

図3は一般的な2重積分型ADコンバータ10の構成を示した図である。2重積分型ADコンバータ10は、スイッチ11、積分器12、コンパレータ13及びLOGICブロック14を備える。スイッチ11は、LOGICブロック14からの指示にしたがい、入力される被第1積分電圧 V_{in} と被第2積分電圧 $-V_{ref}$ とのうちの一方を選択的に出力する。積分器12は、オペアンプ12aと、抵抗12bと、コンデンサ12cとを有する。オペアンプ12aは、一端に抵抗12bを介してスイッチ11からの出力が入力され、+端子が接地されている。オペアンプ12aは、抵抗12bの抵抗値 R とコンデンサ12cの容量 C とで定まる時定数にしたがって、一端に入力された電圧と+端子に入力された電圧との差分を積分し、積分結果に応じた電圧を出力する。コンパレータ13は、積分器12の出力電圧が一端に入力され、+端子が接地され、積分器12の出力電圧が接地電位と等しいときに信号を出力する。LOGICブロック14は、コンパレータ13の出力とクロックを入力する。LOGICブロック14は、入力したクロックをカウントし、カウント値（以下、適宜「積分時間」という）に基づいてスイッチ11を制御する。LOGICブロック14は、コンパレータ13からの信号を受信したときに、そのときのカウント値（積分時間）をデジタル値で出力する。

10

【0003】

図4を参照して2重積分型ADコンバータ10による積分動作を説明する。図4は2重積分型ADコンバータ10の積分器12の出力の時間変化を示す図である。この2重積分型ADコンバータ10ではAD変換動作を開始する際、まずLOGICブロック14は、スイッチ11を被第1積分電圧 V_{in} が入力されるように切替え、この切替と同時に積分時間のカウントを開始する。スイッチ11が被第1積分電圧 V_{in} 側に切替えられると、積分器12は、カウント値（積分時間）が第1カウント値 T_0 （以下、適宜「第1積分時間 T_0 」という）となるまでの間、第1の積分（以下、「第1積分」という）を行う。第1積分中、積分器12の出力は図4に示すように一定の傾き $-V_{in}/RC$ で低下する。カウント値（積分時間）が第1カウント値 T_0 （第1積分時間 T_0 ）となると、LOGICブロック14はスイッチ11を被第2積分電圧 $-V_{ref}$ が入力されるように切替え、この切替と同時に新たに積分時間のカウントを開始する。また、この切替と同時に、積分器12による第2の積分（以下、「第2積分」という）が開始する。被第2積分電圧 $-V_{ref}$ は被第1積分電圧 V_{in} とは極性が逆である。そのため、第2積分中、積分器12の出力は一定の傾き V_{ref}/RC で上昇する。積分器12の出力が0に戻ると、コンパレータ13は、LOGICブロック14に対して積分器12の出力が0に戻ったことを示す信号を出力する。LOGICブロック14は、この信号を受信したときに、そのときのカウント値 T （以下、適宜「第2積分時間 T 」という）をADコンバータ10の出力としてデジタル値で出力する。被第2積分電圧 $-V_{ref}$ は一定であるため、第2積分時間 T は被第1積分電圧 V_{in} に比例した値になる。

20

30

【0004】

上述の2重積分動作を数式で示すと数式1のようになる。数式1を解いて、第2積分時間 T について整理すると、数式2のようになる。被第2積分電圧 $-V_{ref}$ 、カウント値 T_0 は一定の値であるため、第2積分時間 T は被第1積分電圧 V_{in} に比例した値になる。また、数式2から第2積分時間 T は抵抗 R 、容量 C に依存しないことが分かる。

40

【0005】

【数1】

$$-\frac{1}{RC} \int_0^{T_0} V_{in} dt + \frac{1}{RC} \int_0^T V_{ref} dt = 0$$

【0006】

【数 2】

$$T = \frac{V_m}{V_{ref}} T_0$$

【0007】

一般に2重積分型ADコンバータは、被第1積分電圧 V_{in} の積分を行う第1積分と被第2積分電圧 $-V_{ref}$ の積分を行う第2積分との2回の積分動作を行うため変換速度が他タイプのADコンバータに比べて遅いが、高い精度で変換できるという特徴があり、デジタルマルチメータやデジタル温度センサ等の用途で使用されている。

【0008】

10

特許文献1には、2重積分型ADコンバータの積分器及びコンパレータの基準電圧として被第2積分電圧を分圧して入力することが開示されている。

【発明の概要】

【発明が解決しようとする課題】

【0009】

ダイヤル式チューニングラジオ等においては、受信周波数の切替えをダイヤルを操作することにより行う。ダイヤルは例えばポテンショメータにより構成される。ポテンショメータは例えば回転角度によって抵抗値が変化する可変抵抗で構成される。2重積分型ADコンバータを用いてポテンショメータのダイヤルの回転量をデジタル出力に変換するためには、ポテンショメータの可変抵抗の可変後の抵抗値を電圧に変換して2重積分型ADコ

20

【0010】

図5に示すように単純にポテンショメータ21の可変抵抗23に電流源22から電流を流して被第1積分電圧 V_{in} を得る方法を検討した。しかし、この方法では、ポテンショメータ21及び電流源22の製造バラツキや温度等の使用環境によって可変抵抗23の抵抗値 R_v や可変抵抗23を流れる電流の電流値 I が変化すると、被第1積分電圧 V_{in} が変化してしまう。そのため、図4に破線で示すように、第1積分の傾き $-V_{in}/RC$ が変わって、第1積分時間 T_0 経過時における第1積分の積分器12の出力が変化する。一方、被第2積分電圧 $-V_{ref}$ はほぼ一定であり、第2積分における傾き V_{ref}/RC の値は変化しないので、第2積分における積分器12の出力が0となるまでの時間、つまり第2積分時間が T から例えば図4に示すように T' に変化する。つまり、ポテンショメータ21のダイヤルを同じだけ回転させた場合でも、製造バラツキや使用環境により第2積分時間が異なってくるという問題がある。

30

【0011】

これを数式で示すと数式3のようになる。つまり、ポテンショメータ21の可変抵抗23の抵抗値を R_v 、ポテンショメータ21の回転量（回転させた割合）を x 、電流源22による電流を I とすると、被第1積分電圧 V_{in} は数式3のようになる。数式3を数式1に代入すると数式4のようになる。つまり、数式3からもわかるように、 x の値が一定であっても、ポテンショメータ21の可変抵抗23の抵抗値 R_v や電流源22による電流 I が変化してしまうと第2積分時間 T （デジタル出力）の値が変化してしまう。

40

【0012】

【数 3】

$$V_m = xR_v I \quad (0 \leq x \leq 1)$$

【0013】

【数 4】

$$T = \frac{xR_v I}{V_{ref}} T_0$$

【0014】

本発明は、以上のような問題に鑑み、ポテンショメータの可変抵抗の抵抗値や電流源による電流が製造バラツキや使用環境等により変化した場合でも、製造バラツキや使用環境等の影響を受けないデジタル出力を得ることができるA/D変換器、ダイヤル式入力装置、及び抵抗－電圧変換回路を提供することを目的とする。

10

【課題を解決するための手段】

【0015】

本発明の第1の態様として、A/D変換器が提供される。A/D変換器は、2重積分型A/Dコンバータと、可変抵抗と、抵抗－電圧変換回路とを備える。2重積分型A/Dコンバータは、被第1積分電圧が入力されているときに被第1積分電圧と基準電圧との差分の電圧を積分する第1積分を行い、第1積分の実行後、被第2積分電圧が入力されているときに被第2積分電圧と基準電圧との差分の電圧を積分する第2積分を行い、少なくとも第2積分に応じた積分電圧を出力する積分器と、積分器から出力される積分電圧と基準電圧とを入力し、第2積分を開始してから積分電圧と基準電圧とが等しくなるまでの時間を計測してデジタル値で出力する出力部と、を備える。抵抗－電圧変換回路は、可変抵抗の可変後の抵抗値と可変抵抗を流れる電流の値の積に比例して被第1積分電圧を変化させるとともに、可変抵抗の総抵抗値と可変抵抗を流れる電流の積に比例して被第2積分電圧及び基準電圧を変化させる

20

【0016】

本発明の第2の態様として、第1の態様のA/D変換器を用いたダイヤル式入力装置が提供される。

【0017】

本発明の第3の態様として、抵抗－電圧変換回路が提供される。抵抗－電圧変換回路は、被第1積分電圧が入力されているときに被第1積分電圧と基準電圧との差分の電圧を積分する第1積分を行い、第1積分の実行後、被第2積分電圧が入力されているときに被第2積分電圧と基準電圧との差分の電圧を積分する第2積分を行い、少なくとも第2積分に応じた積分電圧を出力する積分器と、積分器から出力される積分電圧と基準電圧とを入力し、第2積分を開始してから積分電圧と基準電圧とが等しくなるまでの時間を計測してデジタル値で出力する出力部と、を備えた2重積分型A/Dコンバータに、可変抵抗の抵抗値に基づいて前記被第1積分電圧を生成して出力するとともに、被第2積分電圧及び基準電圧を生成して出力する。抵抗－電圧変換回路は、可変抵抗の可変後の抵抗値と可変抵抗を流れる電流の値の積に比例して被第1積分電圧を変化させるとともに、可変抵抗の総抵抗値と可変抵抗を流れる電流の積に比例して被第2積分電圧及び基準電圧を変化させる。

30

【発明の効果】

【0018】

本発明によれば、可変抵抗の抵抗値や可変抵抗を流れる電流の値が製造バラツキや使用環境等の影響により変化したことにより、可変抵抗の可変後の抵抗値と可変抵抗を流れる電流の値の積である被第1積分電圧が変化した場合、被第1積分電圧とともに2重積分型A/Dコンバータに入力される被第2積分電圧及び基準電圧についても、可変抵抗の総抵抗値と可変抵抗を流れる電流の積に比例して変化する。これにより、可変抵抗の抵抗値や可変抵抗を流れる電流の値が製造バラツキや使用環境等により変化した場合でも、第2積分を開始してから積分電圧と基準電圧とが等しくなるまでの時間に関するデジタル値の出力（以下、適宜「デジタル出力」という）に対する影響がキャンセルされる。よって、製造バラツキや使用環境等の影響を受けないデジタル出力を得ることができる。

40

【図面の簡単な説明】

50

【0019】

【図1】実施の形態にかかるダイヤル式入力装置の構成

【図2】実施の形態にかかる2重積分型ADコンバータの積分器出力の時間変化を示す図である。

【図3】一般的な2重積分型ADコンバータの構成図である。

【図4】従来における2重積分型ADコンバータの積分器出力の時間変化を示す図である。

【図5】一般的な2重積分型ADコンバータの積分器の入力電圧である被第1積分電圧を可変抵抗に電流を流して得る場合の構成を示す図である。

【発明を実施するための形態】

10

【0020】

本発明の実施の形態を説明する。

【0021】

1. 構成

図1は実施の形態に係るダイヤル式入力装置の構成図である。ダイヤル式入力装置は、ポテンショメータ41、2重積分型ADコンバータ10及び抵抗-電圧変換回路30を有するAD変換器を有して構成される。2重積分型ADコンバータ10の構成は、図3で説明したものと同一であり、説明を省略する。なお、2重積分型ADコンバータ10の積分器12及びコンパレータ13の+端子は接地されるのではなく、後述する基準電圧 V_{com} が入力される。

20

【0022】

ポテンショメータ41は3端子タイプの可変抵抗42を利用して構成される。可変抵抗42は両端の固定端子と中間の調整端子とを備える。ポテンショメータ41としては、回転量を検出するロータリタイプのもものが利用されている。ポテンショメータ41の回転軸には操作用のダイヤルが取り付けられ、このダイヤルを回転させることにより可変抵抗42の調整端子の位置を変更して、調整端子と両端の固定端子との間の抵抗値を変化させることができる。

【0023】

抵抗-電圧変換回路30は、ポテンショメータ41の可変抵抗42の可変後の抵抗値を電圧に変換する回路であり、2つの電流源31、32、オペアンプ33、P型トランジスタ34、及び抵抗35、36、37、38、39を有する。抵抗35、36、37、38、39の抵抗値は、それぞれ R_c 、 R_c 、 R_s 、 R_r 、 R_r に設定されている。本実施形態では $R_s = 2R_r$ としている。ADコンバータ10及び抵抗-電圧変換回路30は、一つの集積回路に集積されているが、集積回路化しなくてもよい。

30

【0024】

電流源31の出力は可変抵抗42の一方の固定端子に接続され、電流源33の出力は可変抵抗42の他方の固定端子に接続されている。2つの電流源31、32は、カレントミラー回路により構成され、同一の電流 I を発生する。

【0025】

抵抗35、36は、ポテンショメータ41の可変抵抗42の両固定端子間に直列に接続されている。

40

【0026】

P型トランジスタ34は、ソースが電源に接続され、ゲートにオペアンプ33の出力が入力される。

【0027】

P型トランジスタ34のドレインと、グランドとの間に、P型トランジスタ34側から順に抵抗37、38、39が直列に接続されている。

【0028】

オペアンプ33は、一端子が2個の抵抗35、36の接続部に接続され、+端子が抵抗37と抵抗38の接続部に接続されている。

50

【0029】

2. 動作

以下、本実施形態のダイヤル式入力装置の動作を説明する。

抵抗－電圧変換回路30は、可変抵抗42の一端子と電流源32の出力との接続部の電圧を2重積分型ADコンバータ10の被第1積分電圧*V_{in}*として出力し、P型トランジスタ34のドレインと抵抗37との接続部の電圧を2重積分型ADコンバータ10の被第2積分電圧*V_{ref}*として出力し、抵抗37と抵抗38との接続部の基準電圧*V_{com}*を2重積分型ADコンバータ10の積分器12のオペアンプ12aの＋端子及びコンパレータ13の＋端子に出力する。これらの電圧がどのような電圧になるかについては、後述する。

10

【0030】

2重積分型ADコンバータ10は、抵抗－電圧変換回路30から被第1積分電圧*V_{in}*、被第2積分電圧*V_{ref}*、及び基準電圧*V_{com}*を受けると、以下のように動作する。すなわち、2重積分型ADコンバータ10の積分器12は、抵抗－電圧変換回路30から被第1積分電圧*V_{in}*が入力されているときに被第1積分電圧*V_{in}*と基準電圧*V_{com}*との差分の電圧を積分する第1積分を行い、第1積分の実行後、被第2積分電圧*V_{ref}*が入力されているときに被第2積分電圧*V_{ref}*と基準電圧*V_{com}*との差分の電圧を積分する第2積分を行い、積分値に応じた積分電圧を出力する。コンパレータ13は、積分器12から出力される積分電圧と基準電圧*V_{com}*とを入力してこれらと比較し、これらが等しくなると、等しくなったことを示す信号をLOGICブロック14に出力する。LOGICブロック14は、等しくなったことを示す信号を受信したときに、そのときのカウンタ値*T*（第2積分時間*T*）をADコンバータ10の出力としてデジタル値で出力する。

20

【0031】

このダイヤル式入力装置における各部の電圧等について数式を用いて説明する。まず、ポテンショメータ41のダイヤルの回転量を*x*とすると、被第1積分電圧*V_{in}*は前記数式3であらわされる。また、オペアンプ33の一端子に入力される電圧*V₋*は数式5であらわされる。

【0032】

【数5】

30

$$V_{-} = \frac{R_v I + 2(1-x)x \frac{R_v^2}{R_c} I}{2 + \frac{R_v}{R_c}}$$

【0033】

本実施形態では、抵抗35、36の抵抗値*R_c*はポテンショメータ41の可変抵抗42の抵抗値*R_v*よりも十分大きく設定されている。そのため、抵抗35、36の接続部の電圧、すなわちオペアンプ33の一端子に入力される電圧*V₋*は数式6で近似できる。また、本実施形態の抵抗－電圧変換回路30では、オペアンプ33の一端子と＋端子とがバーチャルショートするように構成されている。そのため、オペアンプ33の＋端子に入力される電圧*V₊*は数式7に示すように一端子の電圧*V₋*と等しくなる。

40

【0034】

【数6】

$$V_{-} = \frac{R_v I}{2}$$

【0035】

【数 7】

$$V_+ = V_- = \frac{R_v I}{2}$$

【0036】

また、積分器 12 のオペアンプ 12a の＋端子、－端子、及びコンパレータ 13 の＋端子の入力インピーダンスは高くなっている。そのため、基準電圧 V_{com} は数式 8、被第 2 積分電圧 V_{ref} は数式 9 のようになる。

【0037】

【数 8】

$$V_{com} = 2V_+ = R_v I$$

【0038】

【数 9】

$$V_{ref} = 2V_{com} = 2R_v I$$

【0039】

ここで、従来の図 3 や図 5 の回路では積分器 12 の＋端子及びコンパレータ 13 の＋端子はそれぞれ接地されているが、本実施形態の図 1 の回路ではコンパレータ 13 の＋端子には基準電圧 V_{com} が入力されている。そのため、被第 1 積分電圧は $(V_{com} - V_{in})$ 、被第 2 積分電圧は $(V_{ref} - V_{com})$ となる。数式 2 の V_{in} を $V_{com} - V_{in}$ で、 V_{ref} を $V_{ref} - V_{com}$ で置き換えることにより、本実施形態では、第 2 積分時間 T は数式 10 のようになる。

【0040】

【数 10】

$$T = \frac{V_{com} - V_{in}}{V_{ref} - V_{com}} T_0$$

【0041】

数式 10 に数式 3、8、9 を代入して整理すると数式 11 のようになる。数式 11 から明らかなように、第 2 積分時間 T はポテンショメータ 41 の可変抵抗 42 の抵抗値 R_v 及び電流源 31、32 の電流値 I には依存せず、ポテンショメータ 41 の回転の割合 x にのみ依存することになる。つまり、可変抵抗 42 の抵抗値 R_v や可変抵抗 42 を流れる電流の値 I が製造バラツキや使用環境により変化したとしても、第 2 積分時間 T (デジタル出力) に対する影響がキャンセルされる。よって、製造バラツキや使用環境等の影響を受けないデジタル出力を得ることができる。

【0042】

【数 11】

$$T = (1 - x) T_0$$

【0043】

なお、被第 1 積分電圧 V_{in} は、可変抵抗 42 の可変後の抵抗値と可変抵抗 42 を流れる電流の値 I の積に比例して変化するので、 $V_{in} = \alpha \cdot x \cdot R_v \cdot I$ とあらわすことができる。 α は定数である。一方、被第 2 積分電圧 V_{ref} 及び基準電圧 V_{com} は可変抵抗 42 の総抵抗値 (両端間の抵抗値) と可変抵抗 42 を流れる電流の値 I の積に比例して変化するので、 $V_{ref} = \beta \cdot R_v \cdot I$ 、及び $V_{com} = \gamma \cdot R_v \cdot I$ とあらわすことができる。 β 、 γ は定数である。これらの式を上記数式 10 に代入して整理すると、数式 12 となる。

【0044】

10

20

30

40

【数 1 2】

$$T = (\gamma - x \cdot \alpha) / (\beta - \gamma) \cdot T_0$$

【0 0 4 5】

この数式からもわかるように、第 2 積分時間 T は可変抵抗 4 2 の抵抗値 R_v や可変抵抗 4 2 を流れる電流の値 I に依存せず、定数 α 、 β 、 γ 、可変抵抗 4 2 の回転量 x 、及び第 1 積分時間 T_0 にのみ依存することとなる。ここで、定数 α 、 β 、 γ 、及び第 1 積分時間 T_0 は一定であるから、第 2 積分時間 T は回転量 x にのみ基づいて変化する。つまり、可変抵抗 4 2 の抵抗値 R_v や可変抵抗 4 2 を流れる電流の値 I が製造バラツキや使用環境により変化したとしても、第 2 積分時間 T に関するデジタル出力に対する影響がキャンセル

10

【0 0 4 6】

なお、本実施の形態は、数式 1 2 において $\alpha = 1$ 、 $\beta = 2$ 、 $\gamma = 1$ の場合に該当し、これらの値を数式 1 2 に代入すると、上記数式 1 1 を得ることができる。

【0 0 4 7】

図 2 は、積分器 1 2 の出力の変化を示す図である。積分器 1 2 の出力は、第 1 積分中（第 1 積分時間 T_0 が経過するまでの間）一定の傾き $(V_{com} - V_{in}) / RC$ で上昇し、第 1 積分時間 T_0 が経過して第 2 積分が開始すると、一定の傾き $-(V_{ref} - V_{com}) / RC$ で低下する。ここで、仮に可変抵抗 4 2 及び電流源 3 1、3 2 の製造バラツキや使用環境により第 1 積分の傾きが実線から破線のように変わったとしても、第 2 積分の傾きも実線から破線のように変化して同じ第 2 積分時間 T になる。したがって、一定のデジタル出力を得ることができる。つまり、ポテンショメータ 4 1 のダイヤルを同じ角度だけ回転させた場合、製造バラツキや使用環境によらず、回転量 x にのみ基づいた一定の第 2 積分時間 T （デジタル出力）を得ることができる。

20

【0 0 4 8】

3. まとめ

以上説明したように、本実施形態のダイヤル式入力装置（A/D コンバータ）では、被第 1 積分電圧 V_{in} を可変抵抗 4 2 の可変後の抵抗値と可変抵抗 4 2 を流れる電流 I の値の積に比例して変化させ、被第 2 積分電圧 V_{ref} 及び基準電圧 V_{com} を可変抵抗 4 2 の総抵抗値 R_v （両端間の抵抗値）と可変抵抗 4 2 を流れる電流 I の積に比例して変化させる。これにより、第 2 積分時間 T は回転量 x にのみ基づいて変化する。つまり、可変抵抗 4 2 の抵抗値 R_v や可変抵抗 4 2 を流れる電流の値 I が製造バラツキや使用環境により変化したとしても、第 2 積分時間 T に関するデジタル出力に対する影響がキャンセルされる。よって、製造バラツキや使用環境等の影響を受けないデジタル出力を得ることができる。

30

【0 0 4 9】

また、抵抗-電圧変換回路 3 0 及び 2 重積分型 A/D コンバータ 1 0 は一つの集積回路に集積されているので、外付け部品は可変抵抗のみでよい。そのため、コストを削減することができる。

40

【0 0 5 0】

また、2 つの電流源 3 1、3 2 はカレントミラー回路で構成されているので、単純な回路で同一の電流を流す 2 つの電流源を構成できる。

【0 0 5 1】

また、本実施形態のダイヤル式入力装置は、上記のような抵抗-電圧変換回路 3 0 を備えているので、ダイヤルの目盛りに対応する高精度のデジタル出力を得ることができる。

【0 0 5 2】

本実施形態では、ポテンショメータとして回転量を検出するロータリータイプのポテンショメータを利用した場合について説明したが、本発明は、直線的な移動量を検出するリニアタイプのポテンショメータを利用した場合にも適用できる。

50

【0053】

また、本実施の形態では、数式12において $\alpha = 1$ 、 $\beta = 2$ 、 $\gamma = 1$ の場合について説明したが、これは一例であり、 α 、 β 、 γ は他の値であってもよい。

【産業上の利用可能性】

【0054】

本発明にかかるAD変換器、ダイヤル式入力装置、及び抵抗－電圧変換回路によれば、製造バラツキや使用環境等の影響を受けないデジタル出力を得ることができる。本発明にかかるAD変換器は、2重積分型ADコンバータを利用したAD変換器において広く利用することができる。

【符号の説明】

10

【0055】

- 10 2重積分型ADコンバータ
- 11 スイッチ
- 12 積分器
- 13 コンパレータ
- 14 LOGICブロック
- 30 抵抗－電圧変換回路
- 31 電流源
- 32 電流源
- 33 オペアンプ
- 34 P型トランジスタ
- 35 抵抗
- 36 抵抗
- 37 抵抗
- 38 抵抗
- 39 抵抗
- 41 ポテンショメータ
- 42 可変抵抗

20

【先行技術文献】

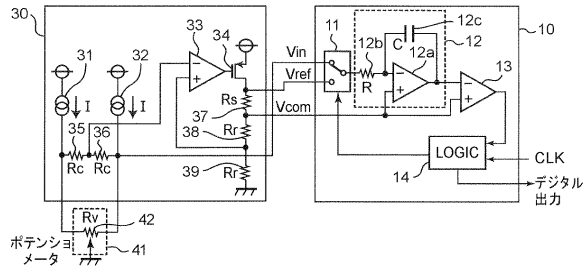
【特許文献】

30

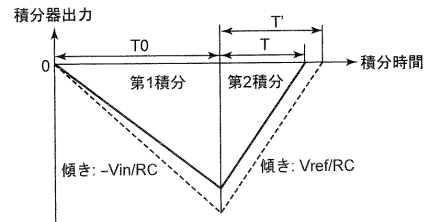
【0056】

【特許文献1】特開平05-083135号公報

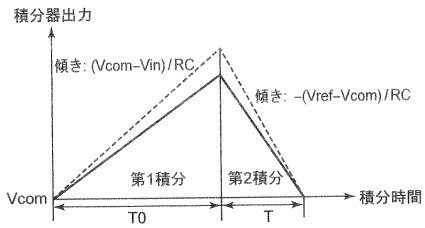
【図 1】



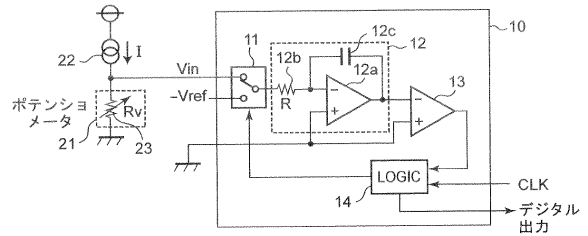
【図 4】



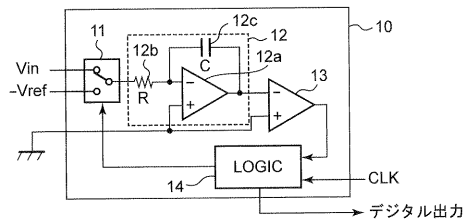
【図 2】



【図 5】



【図 3】



フロントページの続き

審査官 角田 慎治

- (56)参考文献 特開昭60-018726 (JP, A)
特開平07-198305 (JP, A)
特開昭61-125601 (JP, A)
特開平03-201624 (JP, A)
実開平04-049804 (JP, U)
特開昭61-251235 (JP, A)

- (58)調査した分野(Int.Cl., DB名)
H03M 1/00-1/88
G01B 7/00-7/34
G01D 5/00-5/252
G01D 5/39-5/62