



(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 201034933 A1

(43)公開日：中華民國 99 (2010) 年 10 月 01 日

(21)申請案號：098141176

(22)申請日：中華民國 98 (2009) 年 12 月 02 日

(51)Int. Cl. : **B81C1/00 (2006.01)** **B81B7/00 (2006.01)**

(30)優先權：2008/12/19 美國 12/340,202

(71)申請人：飛思卡爾半導體公司 (美國) FREESCALE SEMICONDUCTOR, INC. (US)
美國

(72)發明人：張 麗莎 Z ZHANG, LISA Z. (US) ; 卡琳 莉莎 H KARLIN, LISA H. (US) ; 蒙提
茲 魯邦 B MONTEZ, RUBEN B. (US) ; 朴悟泰 PARK, WOO TAE (KR)

(74)代理人：陳長文

申請實體審查：無 申請專利範圍項數：20 項 圖式數：26 共 44 頁

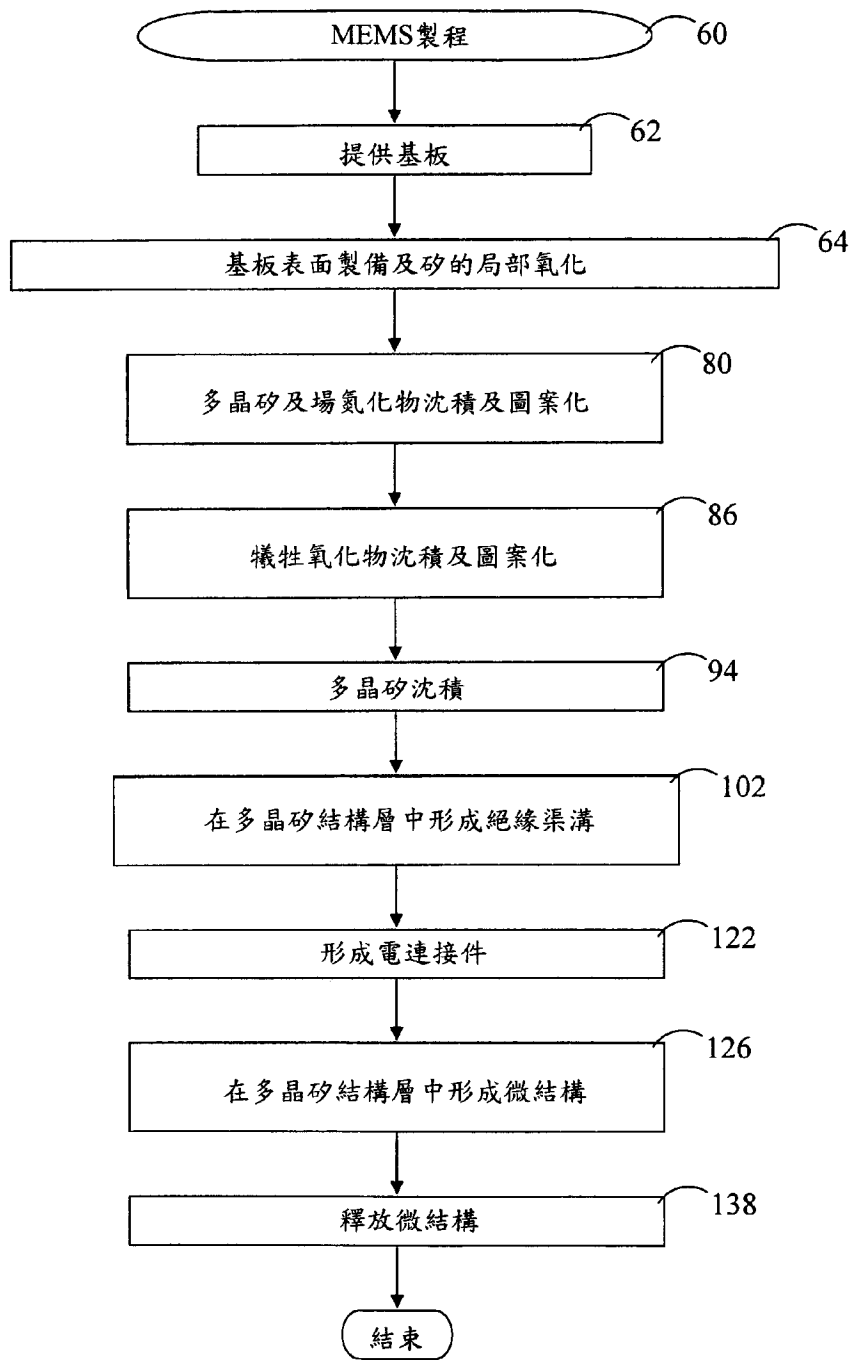
(54)名稱

具有絕緣微結構之微機電裝置及製造其之方法

MICROELECTROMECHANICAL DEVICE WITH ISOLATED MICROSTRUCTURES AND
METHOD OF PRODUCING SAME

(57)摘要

本發明提供一種微機電系統(MEMS)裝置(20)，該裝置(20)包含一多晶矽結構層(46)，多個可移動微結構(28)形成於該多晶矽結構層(46)中且懸垂於一基板 22 的上方。絕緣渠溝 56 延伸穿過該層(46)，使得該等微結構(28)橫向錨定至該等絕緣渠溝(56)。一犧牲層(92)形成於該基板(22)之上，且該結構層(46)形成於該犧牲層(92)之上。該等絕緣渠溝(56)係藉由蝕穿該多晶矽結構層(46)且於該等渠溝(56)中沈積一種氮化物(72)(例如富矽氮化物)而形成。接著，多個微結構(28)形成於該結構層(46)中，且電連接件 30 形成於該等絕緣渠溝(56)之上。隨後將該犧牲層(92)移除以形成該 MEMS 裝置(20)，該 MEMS20 具有多個與該基板(22)隔開的微結構(28)。



60：MEMS 製程

62：提供基板

64：基板表面製備及
矽的局部氧化80：多晶矽及場氮化
物沈積及圖案化86：犧牲氧化物沈積
及圖案化

94：厚多晶矽沈積

102：在多晶矽結構層
中形成絕緣渠溝

122：形成電連接件

126：在多晶矽結構層
中形成微結構

138：釋放微結構



(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 201034933 A1

(43)公開日：中華民國 99 (2010) 年 10 月 01 日

(21)申請案號：098141176

(22)申請日：中華民國 98 (2009) 年 12 月 02 日

(51)Int. Cl. : **B81C1/00 (2006.01)** **B81B7/00 (2006.01)**

(30)優先權：2008/12/19 美國 12/340,202

(71)申請人：飛思卡爾半導體公司 (美國) FREESCALE SEMICONDUCTOR, INC. (US)
美國

(72)發明人：張麗莎 Z ZHANG, LISA Z. (US)；卡琳莉莎 H KARLIN, LISA H. (US)；蒙提茲魯邦 B MONTEZ, RUBEN B. (US)；朴悟泰 PARK, WOO TAE (KR)

(74)代理人：陳長文

申請實體審查：無 申請專利範圍項數：20 項 圖式數：26 共 44 頁

(54)名稱

具有絕緣微結構之微機電裝置及製造其之方法

MICROELECTROMECHANICAL DEVICE WITH ISOLATED MICROSTRUCTURES AND
METHOD OF PRODUCING SAME

(57)摘要

本發明提供一種微機電系統(MEMS)裝置(20)，該裝置(20)包含一多晶矽結構層(46)，多個可移動微結構(28)形成於該多晶矽結構層(46)中且懸垂於一基板 22 的上方。絕緣渠溝 56 延伸穿過該層(46)，使得該等微結構(28)橫向錨定至該等絕緣渠溝(56)。一犧牲層(92)形成於該基板(22)之上，且該結構層(46)形成於該犧牲層(92)之上。該等絕緣渠溝(56)係藉由蝕穿該多晶矽結構層(46)且於該等渠溝(56)中沈積一種氮化物(72)(例如富矽氮化物)而形成。接著，多個微結構(28)形成於該結構層(46)中，且電連接件 30 形成於該等絕緣渠溝(56)之上。隨後將該犧牲層(92)移除以形成該 MEMS 裝置(20)，該 MEMS20 具有多個與該基板(22)隔開的微結構(28)。

六、發明說明：

【發明所屬之技術領域】

本發明係一般關於微機電系統(MEMS)裝置。更具體而言，本發明係關於製造具有絕緣微結構之MEMS裝置及大高寬比表面微加工。

此申請案已於2008年12月19日於美國申請為專利申請案第12/340202號。

【先前技術】

微機電系統MEMS是指一項對位於相同基板上之微機械結構(下文稱為微結構)及微電子電路加以整合以形成一體裝置之技術。MEMS裝置係可用於例如壓力感測、加速度感測、慣性感測、開關、馬達及此類物中。雖然等微電子電路係使用積體電路(IC)製程步驟(例如，CMOS(互補型金屬氧化物半導體)、雙極或BICMOS製程)製作，該等微結構卻係使用相容「微加工」製程製作。

針對執行MEMS技術的材料及製程之選擇可視製造中的裝置及該裝置將要投放之市場部門而定。可用於製作該等微結構之典型微加工製程包括，例如，表面微加工及體型微加工。在表面微加工中，該MEMS裝置係藉由於一基板上沈積一犧牲層而製作。由作為結構微機械材料之多晶矽形成之一層之後被沈積於該犧牲層上方且被蝕刻以產生一針對特定微結構所希望之形狀。之後蝕刻由該多晶矽下方之犧牲材料所形成之層以於該等微結構之多個移動部件之間打開通道或空隙。因此，表面微加工係基於在該基板的

頂部上沈積並蝕刻不同的結構層。相反地，體型微加工係藉由選擇性地直接蝕刻入一矽晶圓中而界定結構，藉此自該單晶矽自身製造該機械微結構。

習知之MEMS電容感測器操作，使得一撓性地安裝之測震質量塊(seismic mass)(亦稱為質量塊(proof mass))可因一正被感測之性質(例如加速度)而於至少一個方向上撓曲。該質量塊的撓曲會造成與之連接之一差動電路的電容發生變化。電容之此變化是對正被感測之性質之一項衡量。一機械微結構之高寬比係其高度相對於其橫向寬度之一比率。一高寬比大之微結構的優點在於使一MEMS電容感測裝置中的感測電容增加，且橫軸敏感度減小。

體型微加工製程係可用以製造此等大高寬比的微結構。然而，較之於表面微加工，體型微加工更受限制且成本較高。

在表面微加工中，使用多晶矽累積層增加整合複雜、可移動微結構特徵的設計自由度。相對於體型微加工，設計自由度包含更多可達成的可行層。然而，該等多晶矽累積層的厚度可能會因殘餘應力而受限，因此造成該等薄膜層可從該製造面撓曲。應力可能會造成破裂、脫層及空隙。此外，應力會導致熱膨脹係數失配及不均勻變形。因此，應力會縮短一組件的壽命，且造成正常操作期間發生故障。據此，使用一表面微加工製程難以達成一希望之大的高寬比。

由於微加工裝置之複雜性增加，改良其等之電靈活性日

益重要。一種改良電靈活性的方法是在從機械上而言仍成一體的多個微結構元件之間提供電絕緣，且使之與該等微電子電路電絕緣以增強該MEMS裝置的性能。在體型微加工中，業已利用絕緣介電層來分離導電金屬層，且藉由啟用渠溝絕緣結構來分離橫向相鄰微結構來完成電絕緣。然而，用於體型微加工製程中的電絕緣技術無法輕易用於表面微加工製程中。

【發明內容】

本發明之實施例包括一具有多個絕緣微機械結構(本文稱為微結構)之微機電系統(MEMS)裝置及製造該MEMS裝置之方法。該方法使用一表面微加工製程製造一由多個微結構形成之高寬比大之多晶矽結構層。該等微結構之間形成有絕緣渠溝，以提供橫向電絕緣及機械應力隔離，以大幅降低因溫度係數失配及基板扭曲或彎曲而造成之電容偏差。此外，實行該方法使得MEMS裝置架構性能高且成本低。

【實施方式】

當結合下文圖來參考該詳盡描述及申請專利範圍時，可更為全面地理解本發明，其中貫穿該等圖，相同的參考符號代表類似之物件。

圖1顯示在一示例性實施例中，一被設置於一基板22上之微機電系統(MEMS)裝置20之一方塊圖。MEMS裝置20包含設置於基板22，例如一矽基板上的一結構區域24及一電路區域26。

結構區域24包含加工之微機械結構，例如，多個微結構28，標示為M1、M2、M3、M4。電路區域26可包含資料處理元件及介面電路。該等資料處理元件可處理並分析由例如一轉換器所產生之資訊及/或控制或監測微結構28。該介面電路可將來自微結構28及/或該等資料處理元件之資訊提供至一外部裝置(未圖示)。未對該電路區域26作詳盡繪，其原因在於電路區域26之電路將視該裝置之用途而定。意即，該電路將取決於MEMS裝置20是否為一角加速度計、陀螺儀、線性加速度計、開關、微致動器及此類物。

可將電路區域26之該等資料處理元件及/或介面電路整合於基板22上。藉此，MEMS裝置20可為一整塊結構，該整塊結構包含結構區域24之多個微結構28以及電路區域26之該等資料處理元件及/或介面電路。然而，電路區域26之資料處理元件及/或介面電路或者可駐留於一獨立、分離基板上，該基板於製作之後係可接合至基板22。

結構區域24中之微結構28係可藉由導電連接件30而電連接至電路區域26。微結構28中的一些特別者另可藉由電連接件30而相互連接，下文將對此予以描述。電連接件30係可由多晶矽或一種金屬，諸如鋁、銅或鎢製成。儘管本文僅呈現四個微結構28(M1、M2、M3、M4)，應瞭解，根據該裝置之用途，MEMS裝置20可包含任何數目之微結構28。

圖2顯示若干可被包含於MEMS裝置20之結構區域24中

之微結構28中的一部分者之一透視圖。所繪示之MEMS裝置20為一線性加速度計。然而，本發明之原則適用於許多其他MEMS裝置，諸如角加速度計、陀螺儀、微致動器、壓力感測器、開關及此類物。

在一實施例中，MEMS裝置20包含一質量塊32，該質量塊32係藉由撓曲件(未圖示)而錨定至基板22。如此項技術中為人熟知的，該等撓曲件係經設計使與該下伏基板22間隔之質量塊32懸垂且允許質量塊32沿由一箭頭34代表之X軸移動，X軸係大體平行於基板22之表面。複數個可移動樑36(有時稱為可移動電極指狀物)大體平行於Y軸(由箭頭38代表)而自質量塊32突出。複數個固定樑40，(有時稱為固定電極指狀物)自一固定框架42延伸且被錨定至設置於基板22上之嵌入式電連接件(不可見)。固定樑40可為激振/驅動電極且大體平行於Y軸38而向內突出。藉此，可移動樑36中之每者得以定位於一對固定樑40之間。

具有可移動樑36之質量塊32及具有固定樑40之固定框架42係於一多晶矽結構層46中形成。多晶矽結構層46，且因此微結構28，呈現出一高度48。在一實施例中，高度48可為約25微米。然而，一較佳高度48係由應用及所希望之敏感度而定。此外，樑36及40呈現出一寬度50，且可移動樑36與固定樑40之間的一間隙呈現出一寬度52。寬度50及52係可小於5微米，例如，約2微米。較佳寬度50及52亦係由應用及所希望之敏感度而定。

當寬度50為約2微米時，在此示例性實施例中，樑36及

40具有一12:1之大高寬比(高度48與寬度50之比率)。同樣地，當寬度52為約2微米時，可移動樑36與固定樑40之間的該間隙具有一12:1之大高寬比(高度48與寬度52之比率)。

大高寬比會增加樑36與40之間的一表面區域，且因此感測電容較大。感測電容增加亦會增加信號－雜訊比率。此外，微結構28之垂直高寬比大可產生一相對大的質量及相對大之慣性矩，且因此熱雜訊減小。此外，垂直高寬比率大會使得微結構28相對於Z軸(由箭頭54代表)更顯剛性，且不太可能移出該製作面。

在一實施例中，質量塊32包含多個絕緣渠溝56，該等絕緣渠溝56完全延伸穿過多晶矽結構層46之高度48。質量塊32之一被橫向錨定至絕緣渠溝56中之至少一者的部分及可移動樑36中之一自質量塊32之彼部分延伸之對應者形成微結構28中之一者。絕緣渠溝56填充有一種絕緣材料。在一實施例中，此絕緣材料為一種氮化物，例如氮化矽。據此，絕緣渠溝56使多個微結構28相互電絕緣。此外，絕緣渠溝56於橫向相鄰之微結構之間提供機械應力隔離，下文將對此予以更詳盡之描述。

此外，絕緣渠溝56可提供一支撐某些微結構28之間的電接觸件，例如電連接件30且至電路區域26(圖1)之橋接件。例如，微結構28中之一標示為MI之第一者係經由電連接件30而電連接至微結構28中之一標示為M3之另一者。更具體言之，電連接件30提供一導電路徑，該導電路徑經由接

觸區域55及57穿過第一微結構28、M1之多晶矽結構層46及第二微結構28、M3之多晶矽結構層46。電流，例如來自微結構28、M1之電流穿過接觸區域55、穿過電連接件30、向後穿過接觸區域57、穿過微結構28、M3且依此類推。然而，標示為M2及M4之微結構28係藉由夾於微結構28、M2及M4與電連接件30之間的絕緣渠溝56及一絕緣層59而與該導電路徑絕緣。

圖3顯示製造MEMS裝置20之一製程60之一流程圖。製程60利用表面微加工技術來製造具有多個絕緣微結構28之大高寬比MEMS裝置20。圖4-26顯示繪示圖3之該製程的操作之示意性橫截面圖。下文將結合圖4-26來論述製程60之操作。因此，貫穿對製程60之操作之論述中，將參考圖4-26中之一些特別者。

儘管可對本發明做出若干變動，(本發明之)基本製程被繪示於圖4-26中，該等圖僅顯示若干製作於基板22上之具有樑(例如可移動樑36(圖2))之絕緣微結構28。然而，應瞭解，一完整MEMS裝置20之該結構區域24係可由任何數目此微結構28組成，根據裝置功能性，該等微結構28被橫向連接至絕緣渠溝56。

製程6係始於一項任務62。在任務62處，提供基板22。在一實施例中，基板22為一矽晶圓。然而，由於製程60採用一項表面微加工技術，在該技術中，該等微結構28被建構於基板的頂部上而非其內側(例如在體型微加工中)，因此該表面之性質並非至關重要。因此，或者基板22可由一

種成本較低之材料，諸如玻璃或塑膠製成。下文製程60之操作描述針對一單一MEMS裝置20(圖1)而製作結構區域24之該等絕緣微結構28。然而，根據製程，可同時於基板22上製作複數個包括結構區域24(圖1)及電路區域26二者之MEMS裝置20，。

製程60繼續進行一項任務64。在任務64處，依據傳統方式執行基板22之表面製備且執行一矽的局部氧化(LOCOS)製程。參考圖4-6，圖4-6繪示發生於製程60之任務64處之操作。一圖表註解66係與圖4關聯。

圖表註解66提供貫穿圖1、2及4-26中所使用之特定圖案之一清單，以代表用於微結構28之製作中之各種材料。因此，一第一圖案68代表一種氧化物，諸如二氧化矽。一第二圖案70代表多晶矽(通常稱為多晶矽)。一第三圖案72代表一種氮化物，諸如氮化矽或富矽氮化物。一第四圖案74代表一種導電材料(諸如摻雜矽、摻雜鍍或各種金屬，即鋁、銅、鉬、鉭、鈦、鎳、鎢等等中之一者)。據此，在一些實施例中，可對該氧化物補充以二氧化矽且對該氮化物補充以氮化矽或富矽氮化物。為使說明清晰起見，下文將氧化物稱為氧化物68。同樣地，下文將氮化物稱為氮化物72。下文將多晶矽稱為多晶矽70且將該導電材料稱為導電材料74。

在圖4中，製作始於對基板22加以清潔。接著，可執行一熱氧化製程，以製造一氧化物墊(未圖示)，使之覆於基板22之上。此氧化物墊，亦被稱為緩衝氧化物，為一應力

消除層且沈積厚度可為約50奈米。接著，將氮化物72沈積於基板22上。可使用低壓化學氣相沈積(LPCVD)或電漿增強式化學氣相沈積(PECVD)來沈積氮化物72，諸如氮化矽，以於基板22之上提供一厚度為例如約150奈米之氮化物層。可使用光微影將一圖案轉移至氮化物72上。之後使用例如反應離子蝕刻(RIE)將此圖案蝕刻入氮化物72中，以提供一氮化物光罩層76。

在圖5中，執行一熱場氧化製程，以於基板22上製造一由氧化物68形成之場氧化物層78。由氧化物68形成之場氧化物層78之厚度可為約2000至3000奈米。在場氧化物層78的生長期間，沿場氧化物層78與氮化物光罩層76之接合處向上推動氮化物光罩層76。在圖6中，執行一氮化物去除製程，以移除氮化物光罩層76的任何含氧氮化物及氮化物72，以使剩餘之場氧化物層78位於基板22上。場氧化物層78於基板22上形成一絕緣屏障，以限制建構於場氧化物層78上的主動裝置之間之串音。儘管本文論述的為一熱場氧化製程，應瞭解，在其他實施例中，亦可採用其他製程來製造場氧化物層78。

回頭參考圖3，在任務64之後，執行一項任務80。在任務80處，沈積並圖案化一多晶矽層及一氮化物層。圖7-9繪示發生於製程60之任務80處之操作。在圖7中，多晶矽70被沈積於基板22及場氧化物層78之上。多晶矽70之沈積厚度可為約300至500奈米。可使用例如光微影製程對多晶矽70予以圖案化並使用例如反應離子蝕刻(RIE)對之加以

蝕刻，以製造一圖案化多晶矽層82。在一些實施例中，希望多晶矽82具有強導電性。因此，可於整個表面區域對多晶矽層82加以摻雜或以其他方式使之高度導電。在圖案化及蝕刻之後，多晶矽層82可產生隱藏之多晶矽導體區域。

在圖8中，氮化物72被沈積於多晶矽層82之上及基板22之暴露部分及場氧化物層78之上。氮化物72之沈積厚度可為約300至600奈米。在圖9中，使用例如光微影製程對氮化物72予以圖案化且使用例如RIE對之加以蝕刻，以製造一圖案化氮化物層84。氮化物層84使多晶矽層82的多個區域相互絕緣。

回頭參考圖3，在任務80後，執行一項任務86。在任務86處，沈積並圖案化一種犧牲氧化物。圖10及11繪示發生於製程60之任務86處之操作。在圖10中，氧化物68被沈積於場氧化物層78、多晶矽層82及氮化物層84之上以形成一犧牲氧化物層之一第一部分88。在一實施例中，可使用例如一種已知的四乙基原矽酸鹽(TEOS)沈積製程形成該犧牲氧化物層之第一部分88。一旦沈積，該TEOS被輕易轉變為二氧化矽，即，氧化物68。該犧牲氧化物層之第一部分88之一沈積厚度可為約900奈米。之後可使用例如一光微影製程對該犧牲氧化物層之第一部分88之氧化物68加以圖案化且使用例如一氧化物濕蝕刻製程對之予以蝕刻。

在圖11中，另一氧化物68層被沈積於該犧牲氧化物層之第一部分88之上以形成該犧牲氧化物層之一第二部分90。可使用以TEOS沈積製程來形成第二部分90且使用光微影

及氧化物反應離子蝕刻(RIE)對之加以圖案化。該犧牲氧化物層之第二部分90之一沈積厚度為約1.65微米(1650奈米)。第一部分88及第二部分90組合形成一上覆於基板22之上之犧牲氧化物層92。在所繪示之實施例中，執行了一雙層犧牲氧化物沈積製程，以達成理想的沈積控制。然而，此一雙層犧牲氧化物沈積製程並非必需。在另一實施例中，可使用一單一層沈積及圖案化技術來形成犧牲氧化物層92。

回頭參考圖3。在任務86之後，執行一項任務94。在任務94處，執行厚多晶矽沈積。圖12繪示發生於製程60之任務94處之多個操作。在圖12中，所形成之多晶矽70上覆於多個先前建構於基板22上之結構之上，以形成多晶矽結構層46。可使用多種針對厚膜沈積所已知的及即將出現的製程來形成多晶矽結構層46。在一實例中，一多晶矽開始層或種晶層可以約100至300奈米之厚度沈積於圖12所示之結構的一表面之上。之後在另一製程步驟中，可於該多晶矽開始層之上沈積一厚度約22,000至28,000奈米之厚矽層。

該厚矽層沈積可於一習知的單一晶圓化學氣相沈積(CVD)反應器中發生。此一單一晶圓CVD反應器為用於矽層的沈積之裝置，矽層沈積一般被用於半導體工業中，用於在一單晶矽基板上製造單晶矽層。然而，在此實例實施例中，在該單一晶圓CVD反應器中之沈積並非發生於一單晶矽開始層上，而是發生於該多晶矽(即多晶矽)開始層上。因此，無厚單晶矽層生成，而是生成一厚多晶矽層，

即多晶矽結構層46。在另一實例中，在一單一晶圓CVD反應器製程中連續處理一導電多晶矽種晶層及一導電厚多晶矽層。由於多晶矽結構層46在此沈積後具有一粗糙表面，隨後使用例如一化學－機械拋光製程使之平面化。

CVD之一優點在於材料生長速率高，這使得形成之膜厚度相當之大。例如，多晶矽結構層46在沈積之後可具有約30微米之沈積厚度。然而，在平面化之後，多晶矽結構層46可能顯現出約25微米之高度48(圖2)。然而，一較佳高度48係由應用及所希望之敏感度而定。

圖12進一步顯示虛線100。虛線100所描繪之圖12的結構之彼部分將於圖13-26中得以放大顯示以求繪示之清晰。

回頭參考圖3，在任務94後，執行一項任務102。在任務102處，根據本發明之一實施例形成若干絕緣渠溝56(圖2)。圖13-20繪示發生於製程60之任務102處之操作。

在圖13中，氧化物68被沈積於多晶矽結構層46之一頂面103之上且被圖案化以形成一光罩104。在一實施例中，可藉由一TEOS沈積製程來形成光罩104，在該TEOS沈積製程中，該TEOS被轉變為一種氧化物，以形成光罩104。光罩104之一沈積厚度可為約630奈米。可執行一光微影製程及氧化物RIE以按照一蝕刻圖案於光罩104中製造若干開口106，藉此使多晶矽結構層46於開口106處暴露。

在圖14中，多晶矽結構層46中經由開口106形成絕緣渠溝56。在一實施例中，可使用例如多晶矽深度反應離子蝕刻(DRIE)蝕穿多晶矽結構層46來形成渠溝56。DRIE是一

種用於在一高寬比為20:1或更大之材料中產生深的、陡傾邊孔及渠溝之各向異性蝕刻製程。針對DRIE之蝕刻深度可達600微米或更大，且速率可達20微米每分鐘，與此相反，針對RIE之蝕刻深度限於約10微米，且速率達1微米每分鐘。多晶矽結構層46之整個厚度被蝕穿以使犧牲層92之一下伏部分108暴露且形成多晶矽結構層46中之渠溝56之側壁109。

在圖15中，一絕緣膜被沈積於渠溝56中及氧化物光罩104之上。在一實施例中，可使用低壓化學氣相沈積(LPCVD)製程沈積(且進行預沈積清潔)呈一氮化物膜110形成之氮化物72。氮化物膜110內襯於渠溝56中之側壁109以及犧牲層92之下伏部分108。氮化物膜之一沈積厚度可為約600奈米以於每個渠溝56中形成子渠溝112(即，較小渠溝)。

在圖16中，每個子渠溝112中沈積有一種犧牲氧化物填料114。在一實施例中，氧化物68係可藉由亞大氣(壓力)化學氣相沈積(SA CVD)而沈積。氧化物68完全填充渠溝112且同時於上覆於光罩104之氮化物膜110上沈積一氧化物層116。犧牲氧化物填料114保護內襯於渠溝56之氮化物膜110免受後續製程操作之影響。

在圖17中，執行一氧化物/氮化物RIE回蝕製程以將氧化物層116及氮化物膜110自光罩104移除。因此，僅犧牲填料114保留於子渠溝112中以保護渠溝56中之氮化物膜110。

在圖 18 中，使用一緩衝氧化物蝕刻 (BOE) 來移除殘餘氧化物。BOE 是一種主要用於例如二氧化矽薄膜之蝕刻中之濕蝕刻劑。BOE 包含緩衝劑，諸如氟化銨與氫氟酸之一混合物。該混合物中包含一種緩衝劑使得蝕刻更為可控，因此在此情形下，氮化物膜 110 及多晶矽結構層 46 在 BOE 期間將不會受到損害。將光罩 104 (圖 17 中所示) 移除以使多晶矽結構層 46 之頂面 103 暴露。此外，藉由該緩衝氧化物蝕刻製程，可將犧牲填料 114 (圖 17 中所示) 自子渠溝 112 中移除。因此，在多個蝕刻操作期間犧牲填料 114 保護氮化物膜 110，直到彼等操作完成 (為止)。隨後，將光罩 104 及犧牲填料 114 移除，且多晶矽結構層 46 之頂面 103 及內襯於渠溝 56 之氮化物膜 110 則保持原封未動。

在圖 19 中，氮化物填料 118 形成於子渠溝 112 中且氮化物絕緣層 59 形成於多晶矽結構層 46 之頂面 103 上。意即，子渠溝 112 填充有氮化物 72。同時，氮化物 72 被沈積於多晶矽結構層 46 之頂面 103 上。可使用 LPCVD 使氮化物 72 沈積於子渠溝 112 中及頂面 103 上以完全填充子渠溝 112 且於頂面 103 上形成一沈積厚度為約 600 奈米之氮化物絕緣層 59。

在圖 20 中，使用例如一光微影製程圖案化沈積於頂面上之氮化物 72 且使用例如 RIE 對之加以蝕刻，以於氮化物絕緣層 59 中製造一圖案。氮化物絕緣層 59 使多晶矽結構層 46 之頂面 103 之多個區域相互絕緣。此外，對氮化物絕緣層 59 進行蝕刻可致使多晶矽結構層 46 之頂面 103 之多個區域 120 暴露，視 MEMS 裝置 20 (圖 1) 之特別設計及功能，該等

區域將用於與電連接件30互連。意即，頂面103之區域120為互連區域，在該等區域，可沈積用於電連接件30之接觸件55及57(圖2)之導電材料74(圖4)。

在一實施例中，氮化物填料118及氮化物絕緣層59係由富矽氮化矽形成。在絕緣渠溝56中之雙重氮化物沈積操作以及富矽氮化物之使用益處良多。該雙重氮化物沈積製程使得對氮化物72之厚度更為可控且界定氮化物絕緣層59中的氮化物72之厚度。由於富矽氮化矽之使用，化學計量氮化矽、 Si_3N_4 經受較強的拉伸應力。此拉伸應力可能會使厚於200奈米之氮化物膜破裂。藉由LPCVD而沈積之富矽氮化物包含之矽較多且氮較少。富矽氮化物為一種折射率高之低應力非晶材料。在氮化物膜110及氮化物填料118中使用富矽氮化物可於橫向相鄰之微結構28之間提供應力消除且較之於化學計量氮化矽可更好地黏附至多晶矽結構層46。

在一實施例中，用於氮化物膜110及/或氮化物填料118之富矽氮化物具有折射率(R)為2至2.5。一種材料的折射率是對光速(或其他波，諸如聲波)在該材料內側被降低之程度之一項衡量。至於富矽氮化物，其折射率隨著矽含量增加而大幅線性增加。因此，一種富矽氮化物之折射率係可用作該富矽氮化物的矽含量之一項指標。在折射率小於2時，該富矽氮化物中之矽(含量)不足以增強該材料(黏附)至多晶矽結構層46之黏性(性質)。相反地，增加該富矽氮化物之矽含量來使該折射率大於2.5可能會不合需要地增

加或增強該富矽氮化物之導電性。因此，其將無法於絕緣渠溝56內發揮其作為一種絕緣材料之能力。因此，折射率在2至2.5範圍內之富矽氮化物可產生一種黏性合乎需要且相對於化學計量氮化矽(Si_3N_4)導電性增加可忽略之材料。

因此，使用折射率為2至2.5之富矽氮化物進行之雙重氮化物沈積製程可提供一種絕緣材料，在該沈積中，厚度可輕易得以控制。此外，在使用一種富矽氮化物進行之雙重氮化物沈積製程中，材料破裂之可能性較小且至絕緣渠溝56之多晶矽側壁109之黏附更佳。

回頭參考圖3，在任務102之後，執行一項任務122。在任務122處，形成有電接觸件，諸如電連接件30(圖2)。圖21及22繪示發生在製程60的任務122處之操作。在圖21中，氮化物絕緣層59之上及多晶矽結構層46之該等暴露區域120之上沈積有導電材料74。在一實施例中，導電材料74之一沈積厚度為約0.3至1.2微米。此外，如上所述，導電材料74可為摻雜矽、摻雜鍺或多種金屬(即，鋁、銅、鉬、鈮、鎳、鎢)中之一者或任何其他合適的導電材料。

在圖22中，對導電材料74加以圖案化及蝕刻，以留出一結構化之導電材料層124。可使用例如一光微影製程對導電材料74予以圖案化且使用例如RIE對之加以蝕刻，以製造一結構化導電材料層124。結構化導電材料層124係可用以形成電接觸件，例如電連接件30，根據MEMS裝置20(圖1)之特定設計及功能，該等電接觸件可上覆於多晶矽結構層46之渠溝56、絕緣層59及/或多晶矽結構層46之頂面

103。

回頭參考圖3，在任務122之後，執行一項任務126。在任務126處，微結構28(圖2)之質量塊32(圖2)及樑36(圖2)係形成於多晶矽結構層46中。圖23-25繪示發生於製程60之任務126處之操作。在圖23中，多晶矽結構層46之頂面103之上及結構化材料層124之上沈積有氧化物68，以形成一氧化物硬質光罩128。在一實施例中，可使用一個四乙基原矽酸鹽(TEOS)沈積製程來形成氧化物硬質光罩128。氧化物硬質光罩128之一沈積厚度為約630奈米。

在圖24中，使用例如一光微影製程對氧化物硬質光罩128予以圖案化且使用例如一氧化物RIE製程對之加以蝕刻。執行對氧化物硬質光罩128之蝕刻目的在於根據針對多晶矽結構層46之結構圖案來於氧化物硬質光罩128中產生若干開口130，以使多晶矽結構層46於開口130處暴露。此外，可對結構化導電材料層124進行修整蝕刻。意即，層124之一部分被修整且自動對準至針對多晶矽結構層46之該結構圖案。

在圖25中，經由開口130(圖24)於多晶矽結構層46中形成通道134。在一實施例中，可使用(例如)多晶矽深度反應離子蝕刻(DRIE)蝕穿多晶矽結構層46來形成通道134。蝕穿多晶矽結構層46的整個厚度以根據該結構圖案使犧牲層92之一下伏部分136暴露，且於多晶矽結構層46中形成微結構28(圖2)的質量塊32及樑36。

回頭參考圖3，在任務126之後，執行一項任務138。在

任務138處，微結構28(圖2)被釋放。圖26繪示發生於製程60之任務138處的操作。在圖26中，執行蝕刻以移除犧牲氧化物層92及氧化物硬質光罩128，該二者係繪示於圖25中，但在圖26中不再可見。在一實施例中，可執行一氣相蝕刻(VPE)製程。氣相蝕刻是一種乾式蝕刻方法，在該方法中，待蝕刻的材料在與氣體分子的化學反應中於表面溶解。在此實例中，可使用氟化氫(HF)氣體移除犧牲氧化物層92及氧化物硬質光罩128。在移除犧牲氧化物層92之後，釋放微結構28且使之與基板22隔開。據此，微結構28之質量塊32(圖2)及樑36(圖2)現被可移動地懸垂(如上文結合圖2所述)，但根據MEMS裝置20之一特別設計，係藉由絕緣渠溝56相互電絕緣。

本文所述之實施例包括一包含多個絕緣微結構的微機電系統(MEMS)裝置及製作該包含多個絕緣微結構之MEMS裝置的方法。該方法使用一表面微加工製程製造一由多個微結構組成之大高寬比的多晶矽結構層。藉由選擇性地蝕穿該多晶矽結構層，在該多晶矽結構層中形成若干絕緣渠溝。執行一雙層沈積製程，以於該等渠溝中形成一第一氮化物層，繼之以用另一氮化物層回填該等渠溝。電連接件係形成於一頂部導電層中。該多晶矽結構層形成有多個微結構，且隨後藉由蝕刻該下伏犧牲層而釋放該等微結構。該氮化物宜為富矽氮化物，以於橫向相鄰微結構之間提供電絕緣及機械應力隔離。此外，選擇該富矽氮化物具有合乎與該多晶矽結構層接合需要的黏性及可忽略的導電性。

此外，執行該方法可輕易產生一種高性能且低成本的MEMS裝置架構。

儘管對本發明之較佳實施例已做詳盡繪示及描述，熟悉此項技術者不難理解，在不脫離本發明之精神或附加申請專利範圍之基礎上，可做出各種修改。

【圖式簡單說明】

圖1顯示設置於一基板上之一微機電系統(MEMS)裝置之一方塊圖；

圖2顯示若干可包含於該MEMS裝置中之微結構中的一部分者之一透視圖；

圖3顯示製造該MEMS裝置的一製程之一流程圖；及

圖4-26顯示繪示圖3的製程之操作之示意性橫截面圖。

【主要元件符號說明】

20	MEMS裝置
22	基板
24	結構區域
26	電路區域
28	微結構
30	導電連接件
32	質量塊
34	箭頭
36	可移動樑
38	箭頭
40	固定樑

42	固定框架
46	多晶矽結構層
48	高度
50	寬度
52	寬度
54	箭頭
55	接觸件
56	絕緣渠溝
57	接觸件
59	氮化物絕緣層
60	製程
62	任務
64	任務
66	圖表註解
68	氧化物
70	氮化物
72	氮化物
74	多晶矽
76	氮化物光罩層
78	場氧化物層
80	任務
82	圖案化多晶矽層
84	圖案化氮化物層
86	任務

88	犧牲氧化物層之一第一部分
90	犧牲氧化物層之一第二部分
92	犧牲氧化物層
94	任務
100	虛線
102	任務
103	多晶矽層46之一頂面
104	光罩
106	開口
108	犧牲層92之一下伏部分
109	渠溝56之側壁
110	氮化物膜
112	子渠溝
114	犧牲氧化物填料
116	氧化物層
118	氮化物填料
120	頂面103之區域
122	任務
124	結構化導電材料層
126	任務
128	氧化物硬質光罩
130	開口
134	通道
138	任務

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：98/41176

※申請日：98.12.2

※IPC 分類：B81C 1/00 (2006.01)

一、發明名稱：(中文/英文)

B81B 7/00 (2006.01)

具有絕緣微結構之微機電裝置及製造其之方法

MICROELECTROMECHANICAL DEVICE WITH ISOLATED
MICROSTRUCTURES AND METHOD OF PRODUCING SAME

二、中文發明摘要：

本發明提供一種微機電系統(MEMS)裝置(20)，該裝置(20)包含一多晶矽結構層(46)，多個可移動微結構(28)形成於該多晶矽結構層(46)中且懸垂於一基板22的上方。絕緣渠溝56延伸穿過該層(46)，使得該等微結構(28)橫向錨定至該等絕緣渠溝(56)。一犧牲層(92)形成於該基板(22)之上，且該結構層(46)形成於該犧牲層(92)之上。該等絕緣渠溝(56)係藉由蝕穿該多晶矽結構層(46)且於該等渠溝(56)中沈積一種氮化物(72)(例如富矽氮化物)而形成。接著，多個微結構(28)形成於該結構層(46)中，且電連接件30形成於該等絕緣渠溝(56)之上。隨後將該犧牲層(92)移除以形成該MEMS裝置(20)，該MEMS20具有多個與該基板(22)隔開的微結構(28)。

三、英文發明摘要：

A microelectromechanical systems (MEMS) device (20) includes a polysilicon structural layer (46) having movable microstructures (28) formed therein and suspended above a substrate (22). Isolation trenches (56) extend through the layer (46) such that the microstructures (28) are laterally anchored to the isolation trenches (56). A sacrificial layer (22) is formed overlying the substrate (22), and the structural layer (46) is formed overlying the sacrificial layer (22). The isolation trenches (56) are formed by etching through the polysilicon structural layer (46) and depositing a nitride (72), such as silicon-rich nitride, in the trenches (56). The microstructures (28) are then formed in the structural layer (46), and electrical connections (30) are formed over the isolation trenches (56). The sacrificial layer (22) is subsequently removed to form the MEMS device (20) having the isolated microstructures (28) spaced apart from the substrate (22).

七、申請專利範圍：

1. 一種製造一具有絕緣微結構之微機電系統(MEMS)裝置之方法，其包括：

提供一基板；

於該基板之上形成一犧牲層；

於該犧牲層之上形成一多晶矽結構層；

藉由蝕穿該多晶矽結構層而於該多晶矽結構層中形成一絕緣渠溝，且於該絕緣渠溝中沈積一絕緣材料，以於該多晶矽結構層中形成絕緣微結構，該等絕緣微結構被橫向錨定至該絕緣渠溝；

於該絕緣渠溝上方形成電連接件；及

選擇性地移除該犧牲層，使得該MEMS裝置之該等絕緣微結構與該基板隔開。

2. 如請求項1之方法，其中該絕緣材料為一氮化物。
3. 如請求項2之方法，其中該氮化物為一富矽氮化物。
4. 如請求項3之方法，其中該富矽氮化物具有一在2至2.5範圍之折射率。
5. 如請求項1之方法，其中：

蝕刻該絕緣渠溝使該犧牲層之一下伏部分暴露；且

沈積該絕緣材料包括於該絕緣渠溝中沈積一絕緣膜，該絕緣膜內襯於該多晶矽結構層的側壁及該犧牲層之該暴露的下伏部分，以形成一子渠溝，且使該絕緣材料沈積於該子渠溝中以填充該子渠溝。

6. 如請求項5之方法，其中沈積該絕緣材料進一步包括：

將一光罩塗佈至該多晶矽結構層之一頂面，其中沈積該絕緣膜進一步包括於該光罩之上沈積該絕緣膜；

於該絕緣渠溝中之該絕緣膜之上及上覆於該光罩之該絕緣膜上沈積一犧牲材料，該犧牲材料填充該絕緣渠溝；

使用一第一蝕刻製程，將該絕緣膜及該犧牲材料自該頂面移除；及

使用一第二蝕刻製程，將該犧牲材料自該絕緣渠溝及該光罩移除，將該絕緣材料沈積於該子渠溝中係發生於移除該犧牲材料之後。

7. 如請求項6之方法，其中該第一蝕刻製程包括執行反應離子蝕刻。
8. 如請求項6之方法，其中該第二蝕刻製程包括執行緩衝氧化物蝕刻。
9. 如請求項5之方法，其中：

在將該絕緣材料沈積於該子渠溝的同時，將該絕緣材料沈積於該多晶矽結構層之一頂面上；且

形成該等電連接件包括：

選擇性地將該絕緣材料之一部分自該多晶矽結構層之該頂面移除，以根據一蝕刻圖案使該頂面之互連區域暴露；

於該頂面上之該等互連區域及該絕緣材料之一剩餘部分之上沈積一導電層；及

選擇性地移除該導電層，以於該絕緣渠溝之上形成

該等電連接件。

10. 如請求項1之方法，進一步包括圖案化並蝕刻該多晶矽結構層以界定一回應於該移除操作而得以釋放之樑，該樑形成該等絕緣微結構中之一可移動地懸垂者。
11. 如請求項10之方法，其中該圖案化及蝕刻係發生於該等電連接件形成之後。
12. 如請求項10之方法，其中該圖案化及蝕刻使該犧牲層暴露。

13. 一種微機電系統(MEMS)裝置，其包括：

一基板；

一上覆於該基板之多晶矽結構層，該多晶矽結構層中形成有多個可移動微結構，該等可移動微結構係懸垂於該基板的上方；及

一絕緣渠溝其延伸穿過該等微結構之間之該多晶矽結構層，使得該等微結構被橫向錨定至該絕緣渠溝，該絕緣渠溝包括一富矽氮化物，該氮化物使該等微結構相互電絕緣。

14. 如請求項13之MEMS裝置，其中該多晶矽結構層係形成於該基板之一第一區域，且該MEMS裝置進一步包括：

形成於該基板之一第二區域處之電路；及

覆於該絕緣渠溝之上之電連接件，該等電連接件係用於將該等微結構連接至該電路。

15. 如請求項13之MEMS裝置，其中該絕緣渠溝包括：

一富矽氮化物膜，其內襯於該多晶矽結構層之側壁，

以於該絕緣渠溝中形成一子渠溝；及

填充該子渠溝之該富矽氮化物。

16. 一種用於製造具有多個絕緣微結構之微機電系統 (MEMS) 裝置之方法，該方法包括：

提供一基板；

於該基板之上形成一犧牲層；

於該犧牲層之上形成一多晶矽結構層；

藉由蝕穿該多晶矽結構層而於該多晶矽結構層中形成一絕緣渠溝，以使該犧牲層之一下伏部分暴露，且於該絕緣渠溝中沈積一氮化物以於該多晶矽結構層中形成多個絕緣微結構，該等微結構係橫向錨定至該絕緣渠溝，該沈積該氮化物包括：

在該絕緣渠溝中沈積一氮化物膜，該氮化物膜內襯於該多晶矽結構層的側壁及該犧牲層之該暴露的下伏部分，以形成一子渠溝；及

在該子渠溝中沈積該氮化物以填充該子渠溝；

於該絕緣渠溝之上形成電連接件；及

選擇性地移除該犧牲層，使得該MEMS裝置之該等絕緣微結構與該基板隔開。

17. 如請求項16之方法，其中該氮化物為一具有2至2.5範圍之折射率的富矽氮化物。

18. 如請求項16之方法，其中沈積該氮化物進一步包括：

將一光罩塗佈於該多晶矽結構層之一頂面上，其中在沈積該絕緣膜的同時，於該光罩之上沈積該絕緣膜；

於該絕緣渠溝中之該絕緣膜之上方及上覆於光罩之該絕緣膜上沈積一犧牲材料，該犧牲材料填充該絕緣渠溝；

使用一第一蝕刻製程，將該絕緣膜及該犧牲材料自該頂面移除；及

使用一第二蝕刻製程，將該犧牲材料自該絕緣渠溝及該光罩移除，於該子渠溝中沈積該絕緣材料係發生於移除該犧牲材料之後。

19. 如請求項16之方法，其中：

在該子渠溝中沈積該絕緣材料的同時，將該絕緣材料沈積於該多晶矽結構層之一頂面上；且

形成該等電連接件包括：

選擇性地將該絕緣材料之一部分自該多晶矽結構層之該頂面移除，以根據一蝕刻圖案使該頂面之互連區域暴露；

於該頂面之該等互連區域及該絕緣材料之一剩餘部分之上沈積一導電層；及

選擇性地移除該導電層，以於該絕緣渠溝上方形成該等電連接件。

20. 如請求項16之方法，進一步包括圖案化並蝕刻該多晶矽結構層，以界定一回應於該移除操作而得以釋放之樑，該樑形成該等絕緣微結構中之一可移動地懸垂者。

八、圖式：

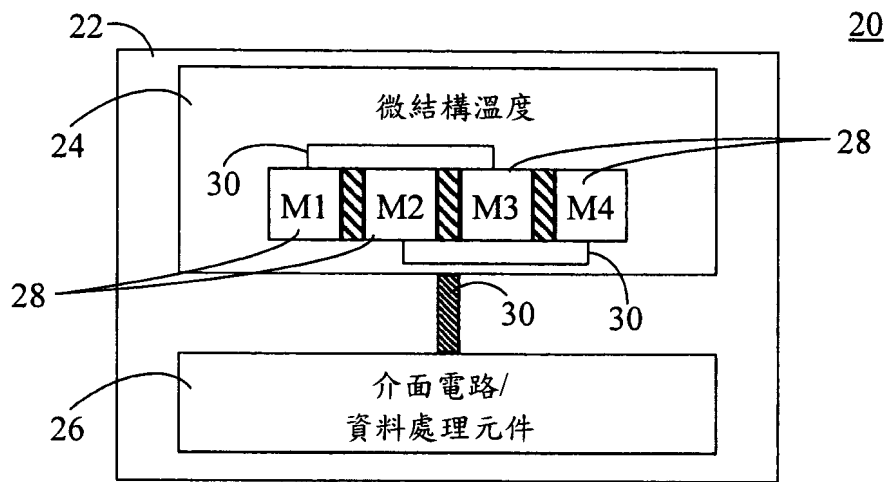


圖 1

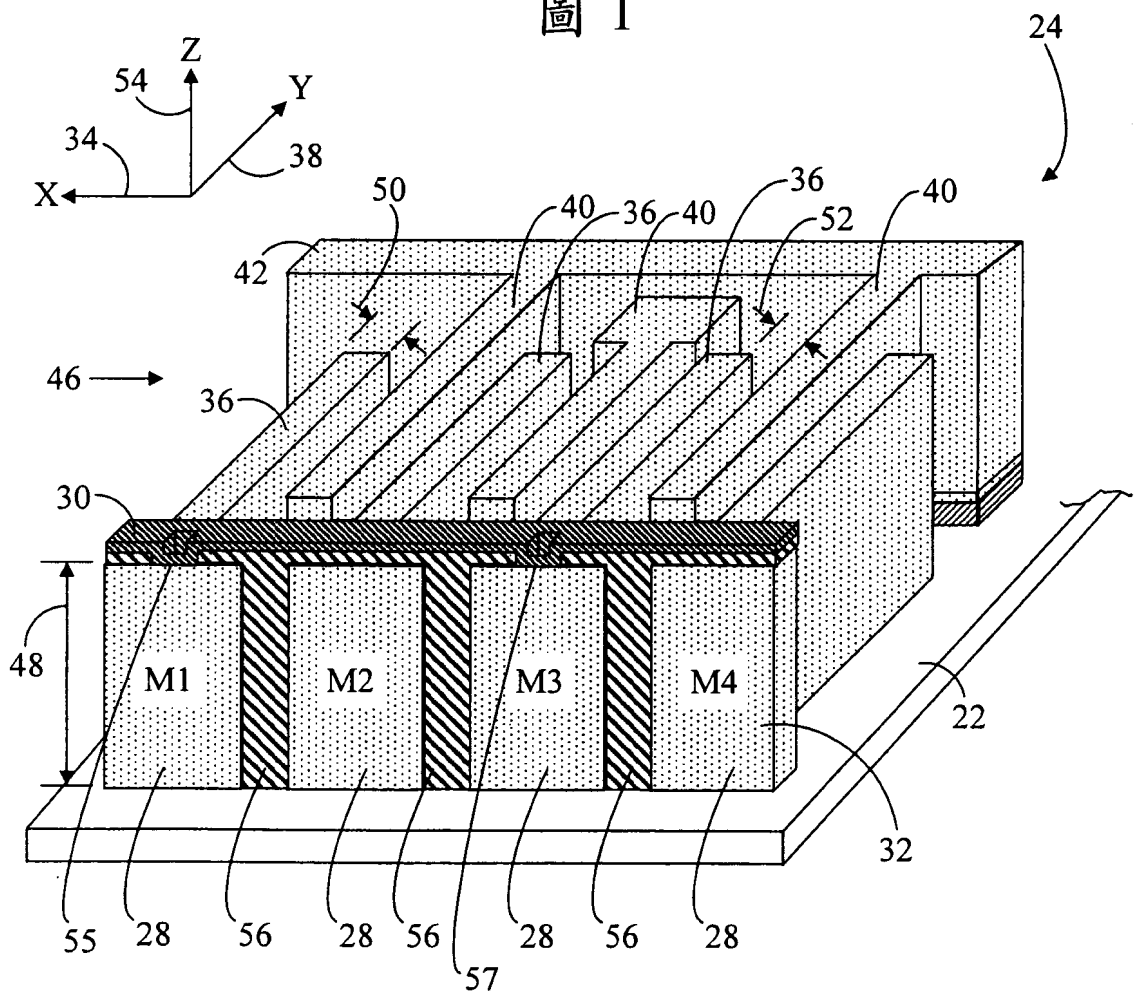


圖 2

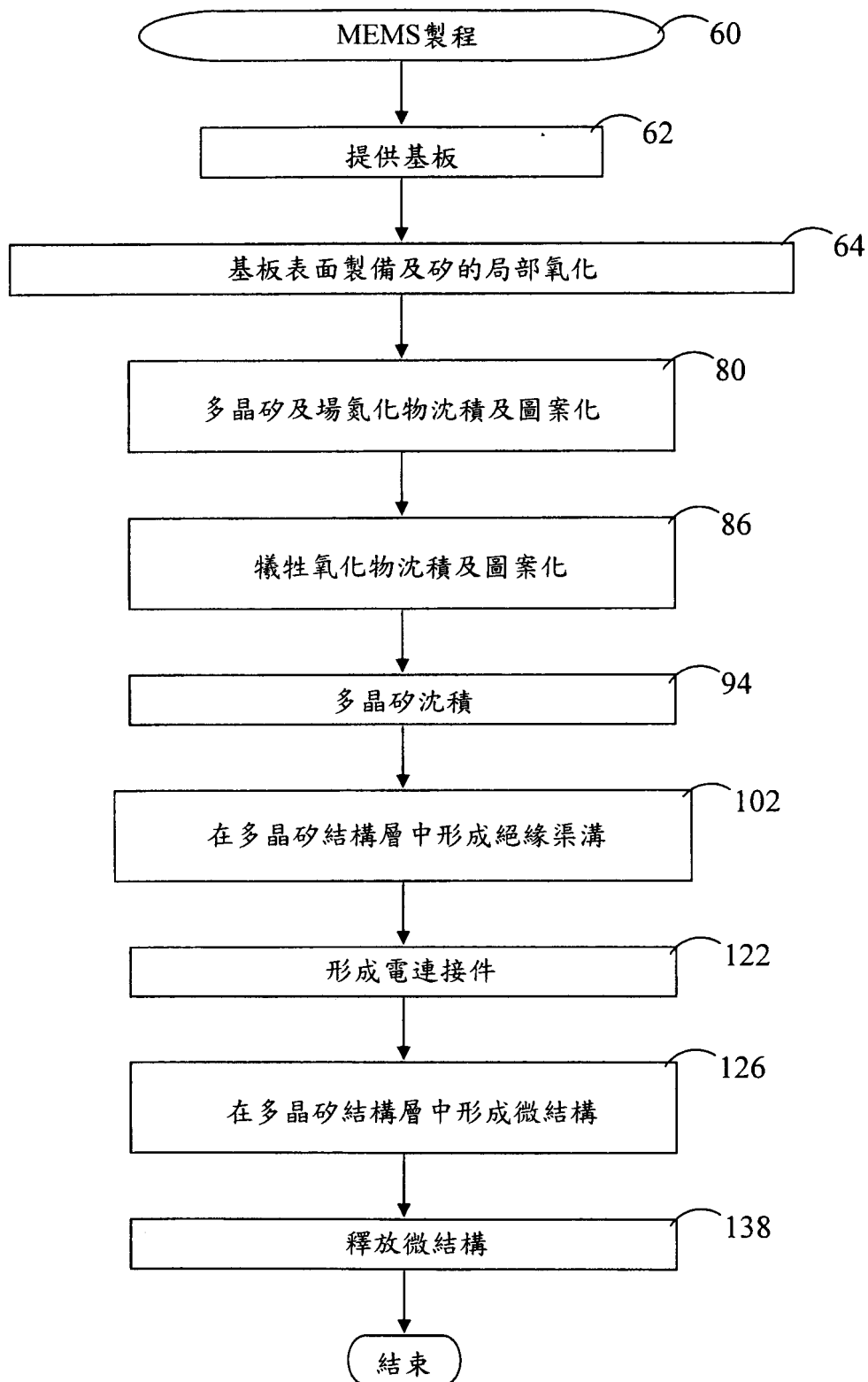


圖 3

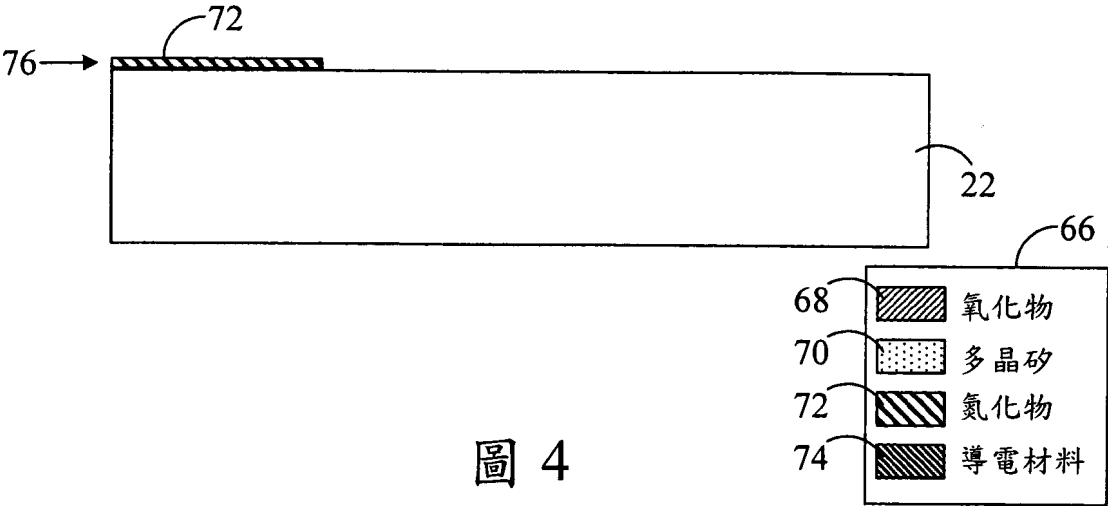


圖 4

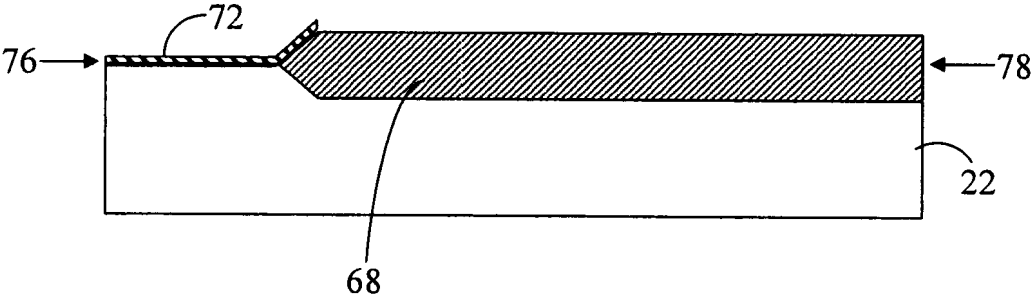


圖 5

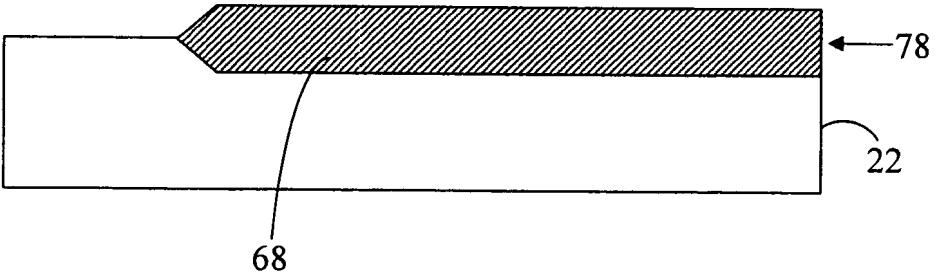


圖 6

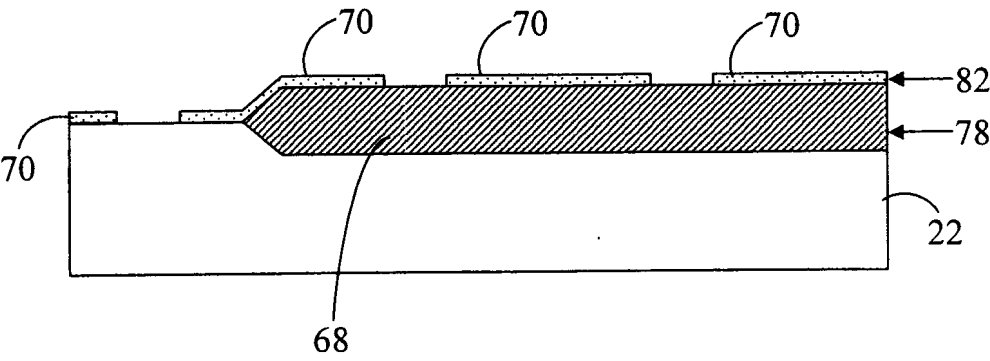


圖 7

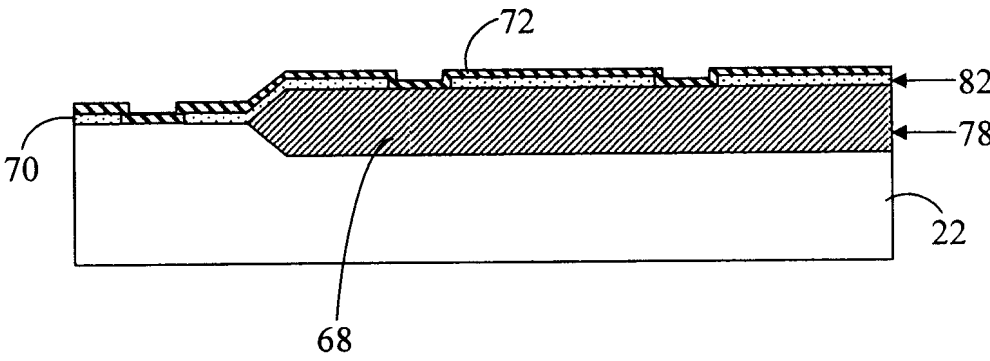


圖 8

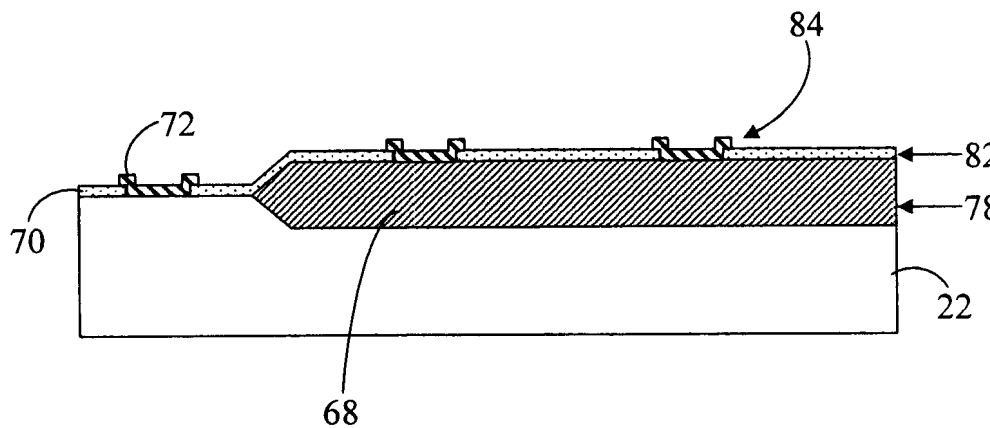


圖 9

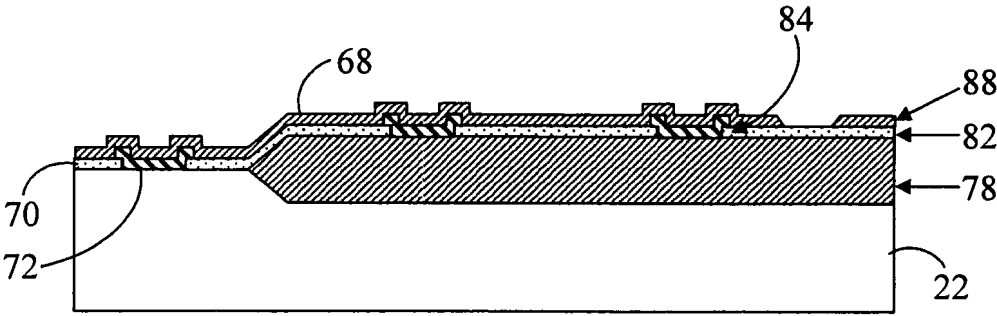


圖 10

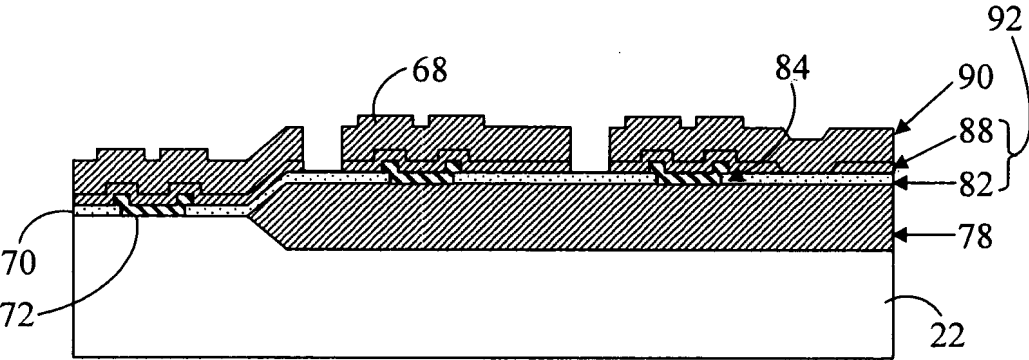


圖 11

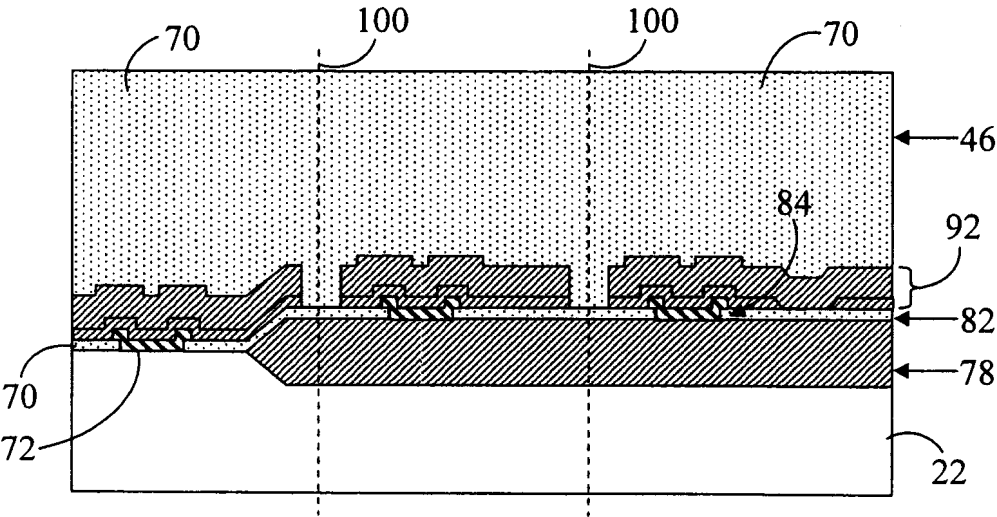


圖 12

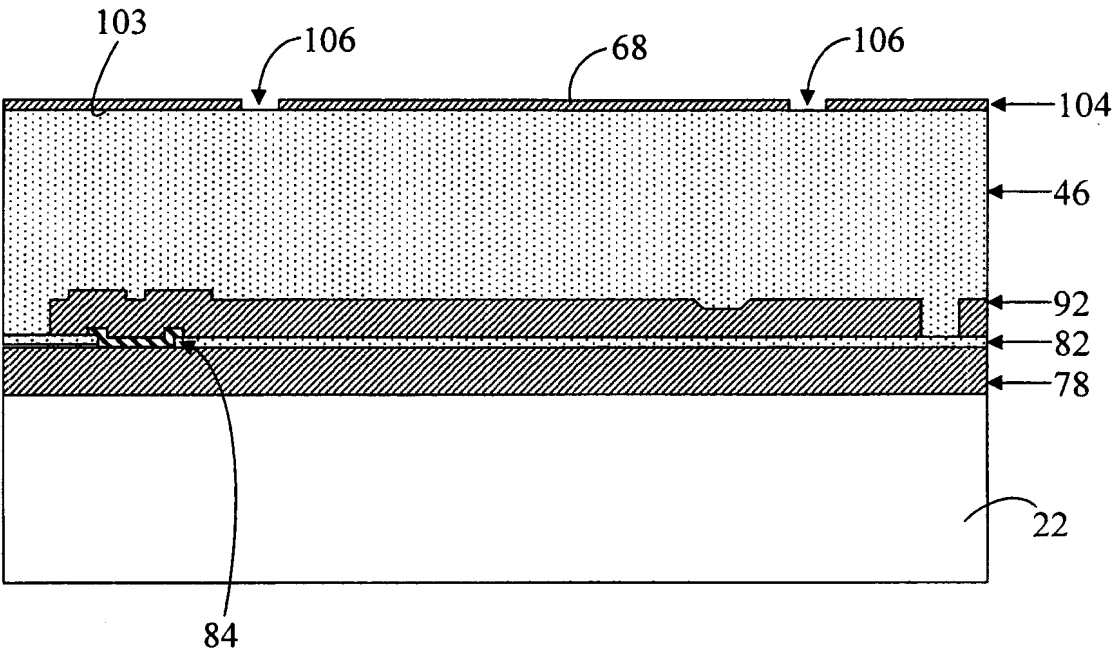


圖 13

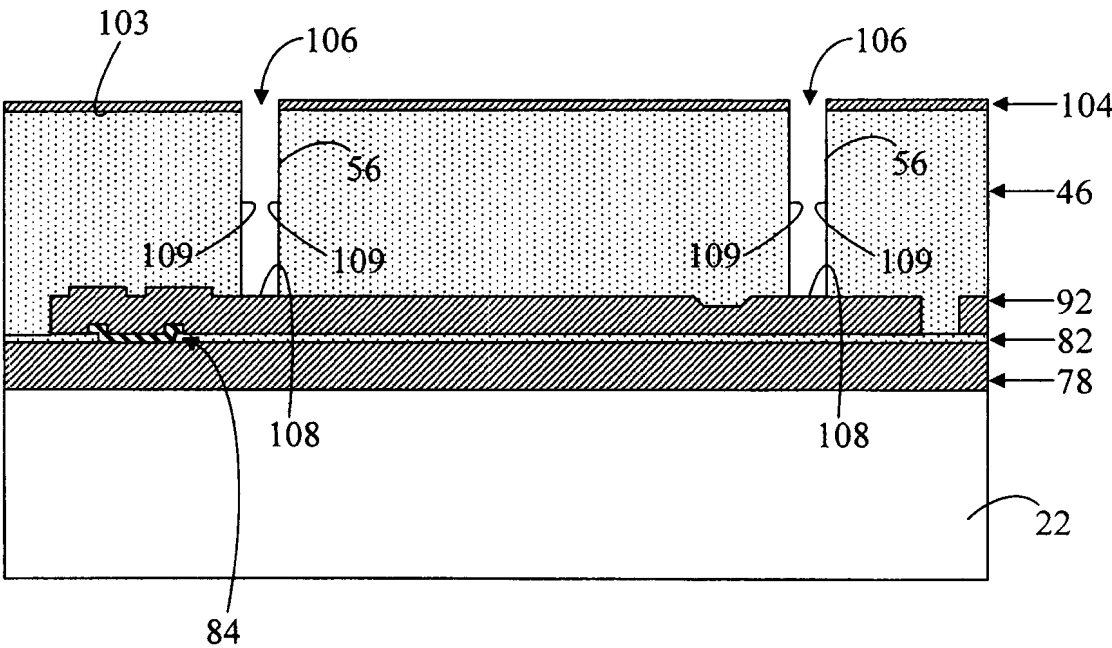


圖 14

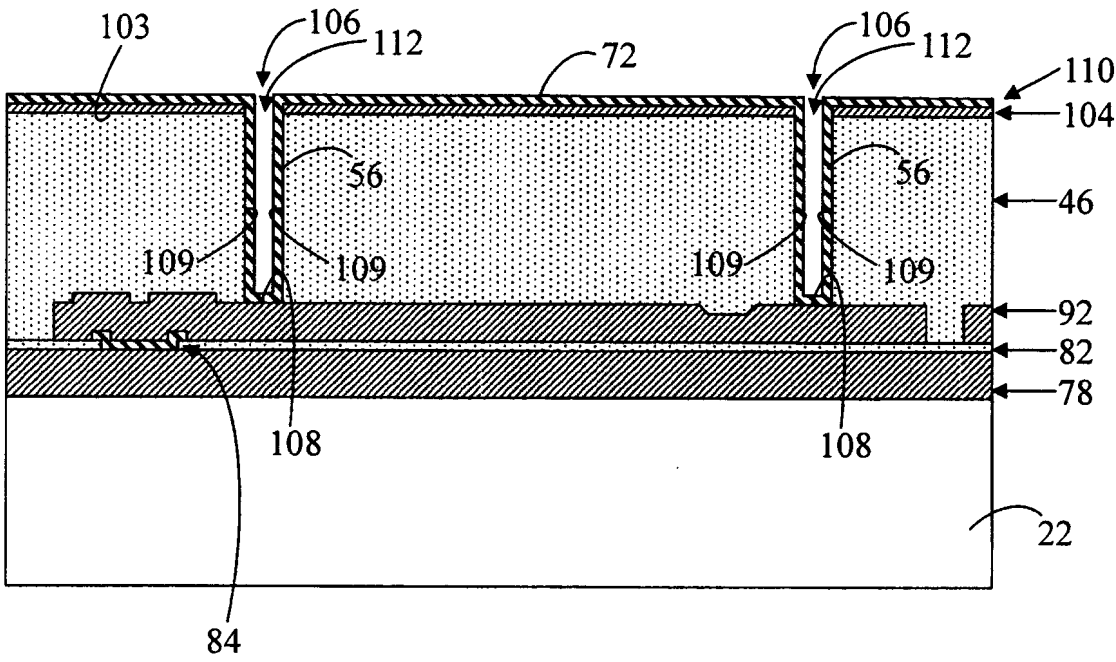


圖 15

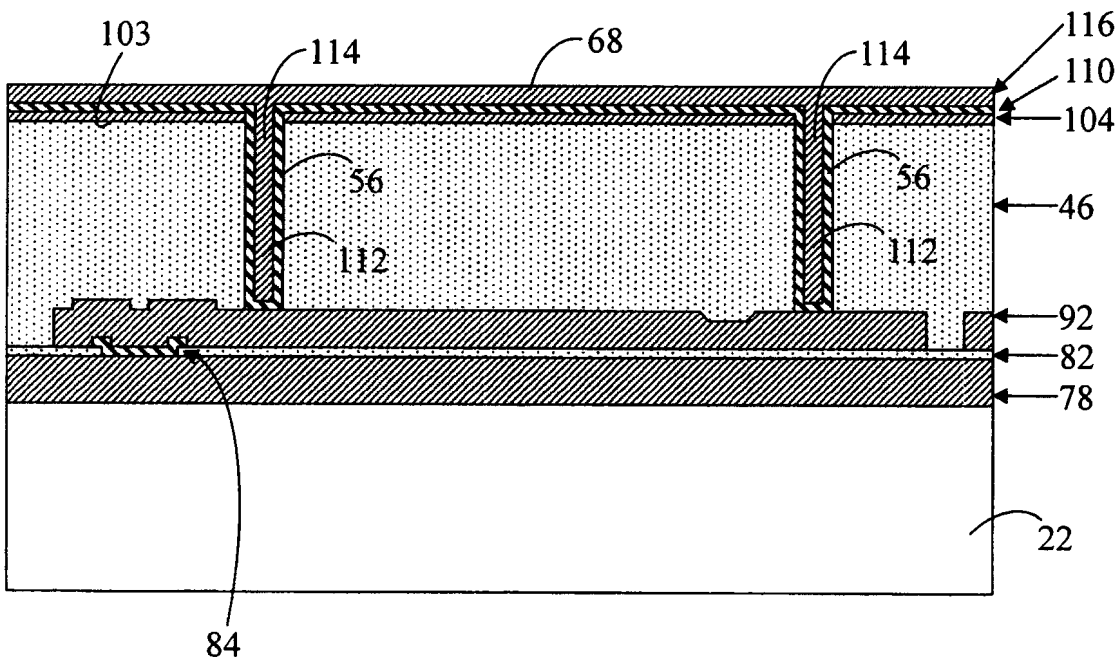


圖 16

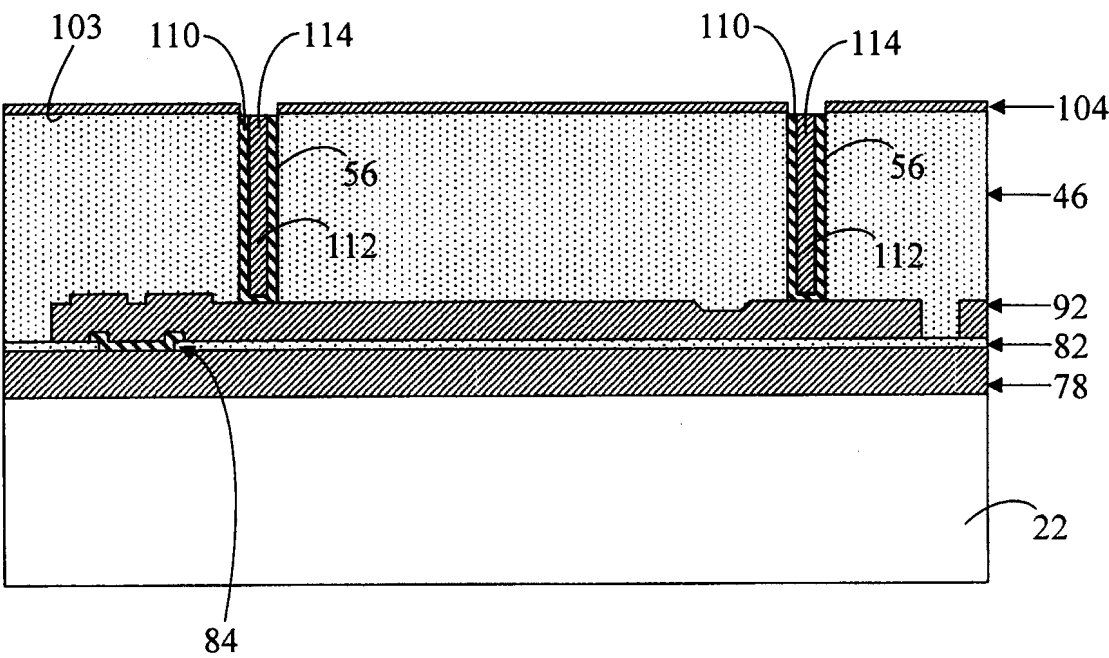


圖 17

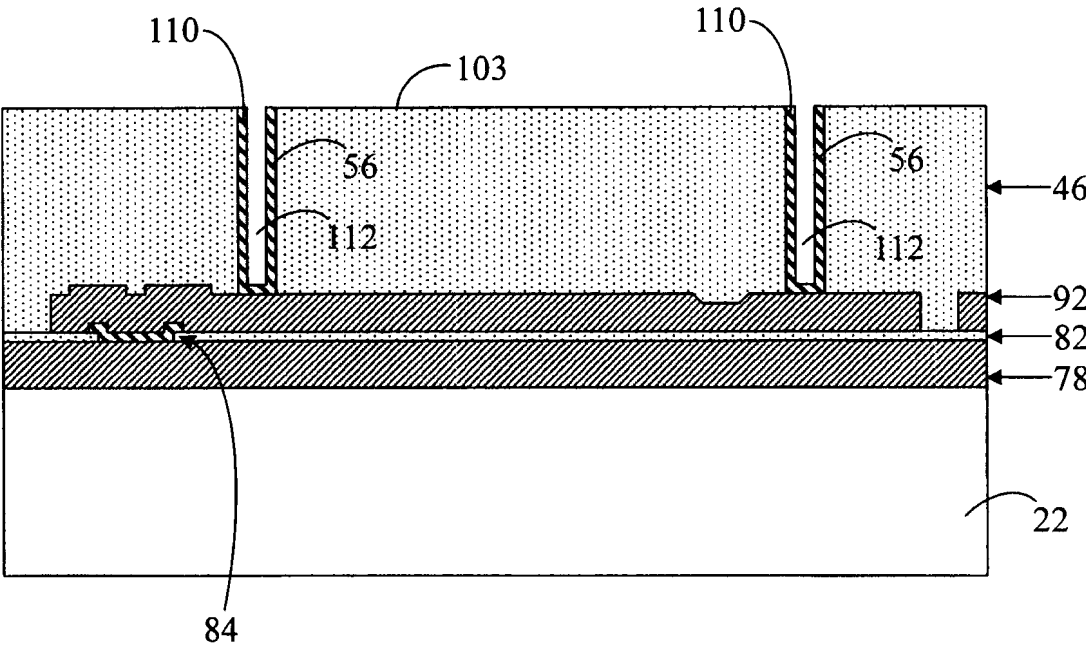


圖 18

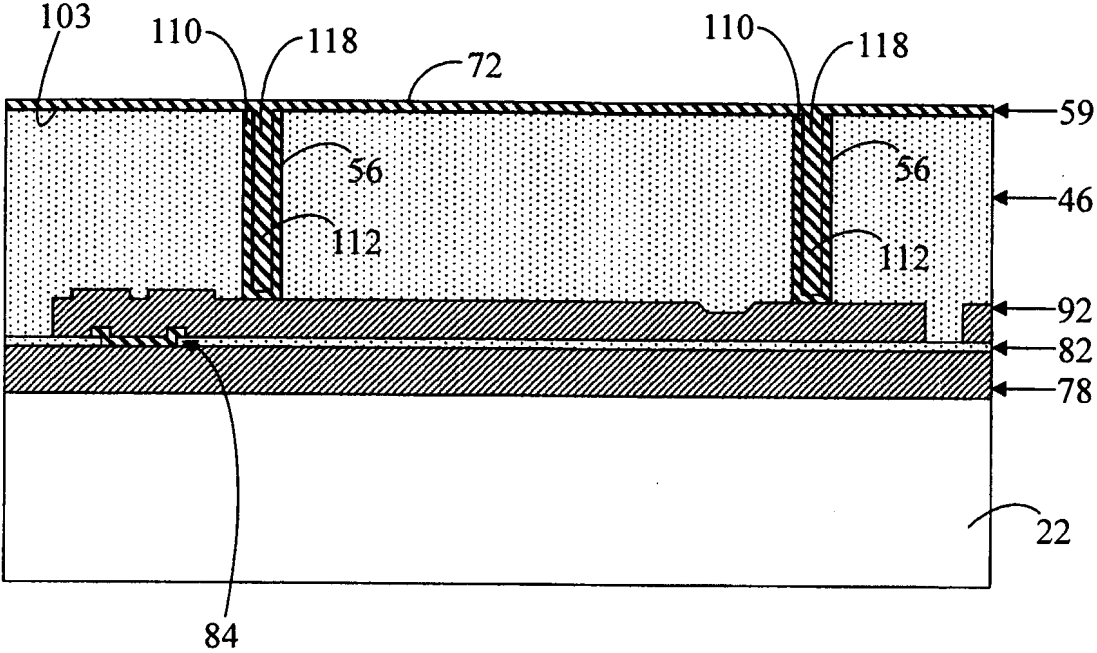


圖 19

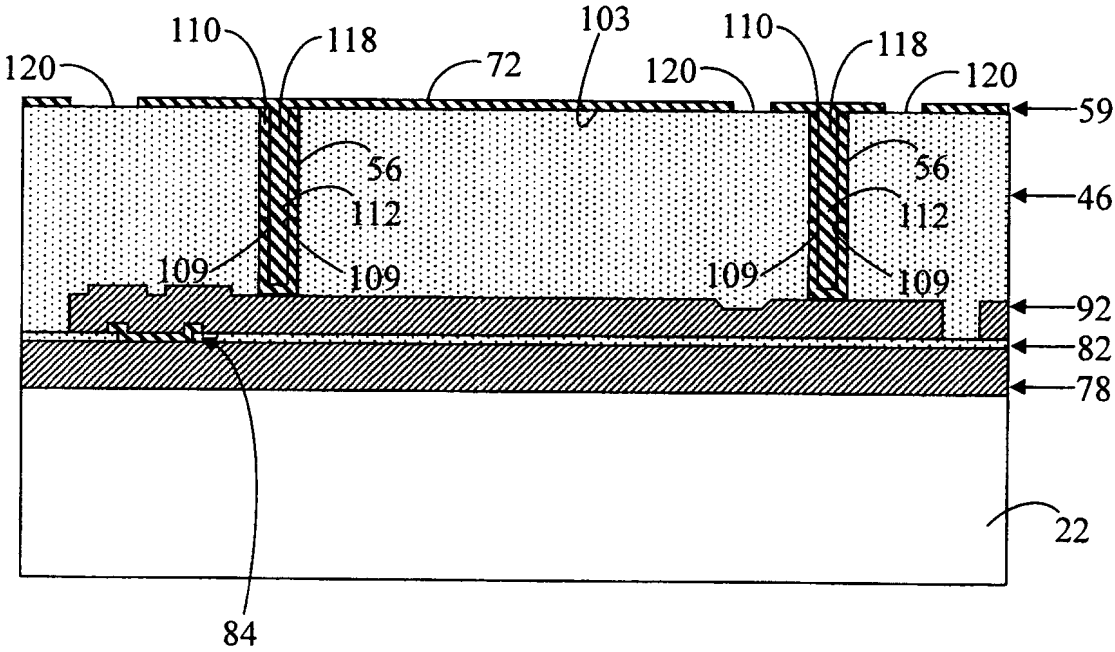


圖 20

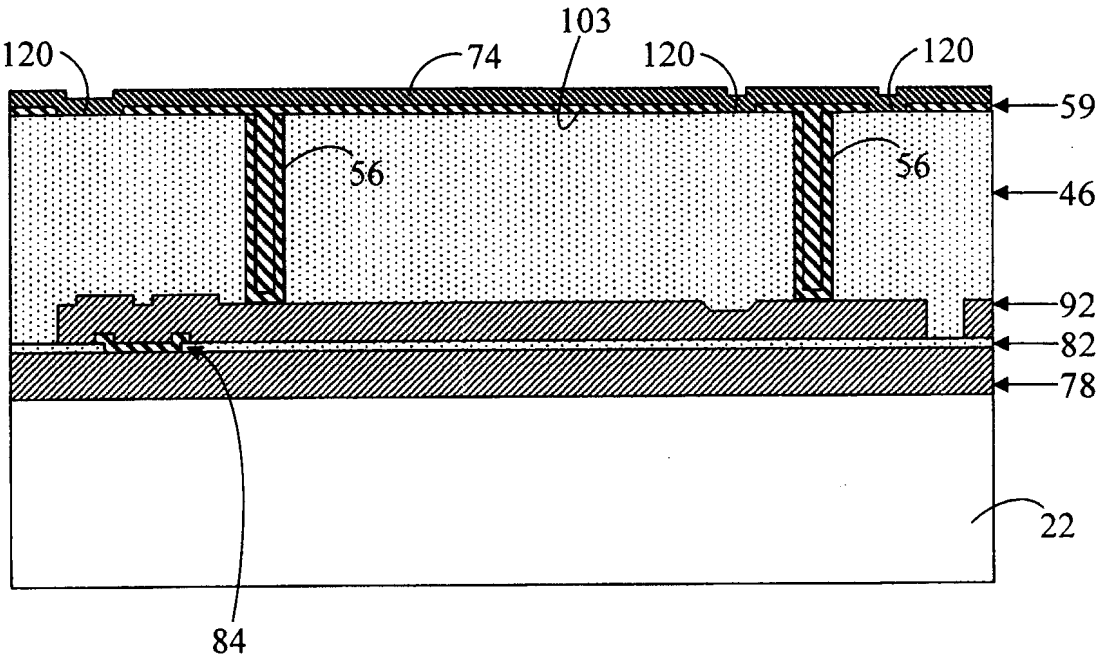


圖 21

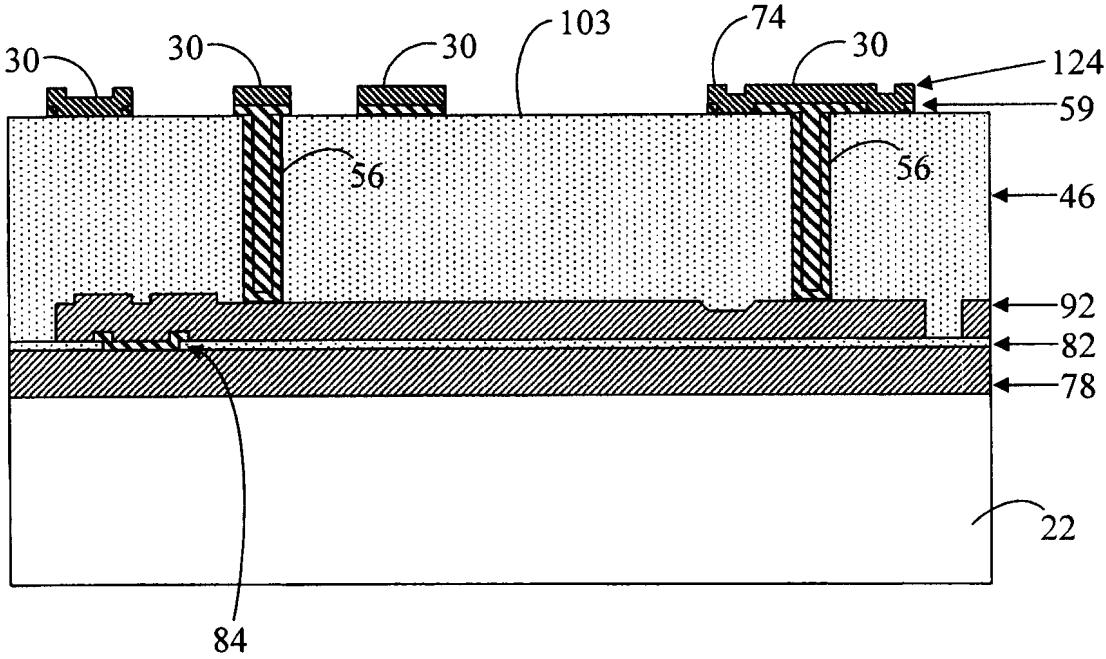


圖 22

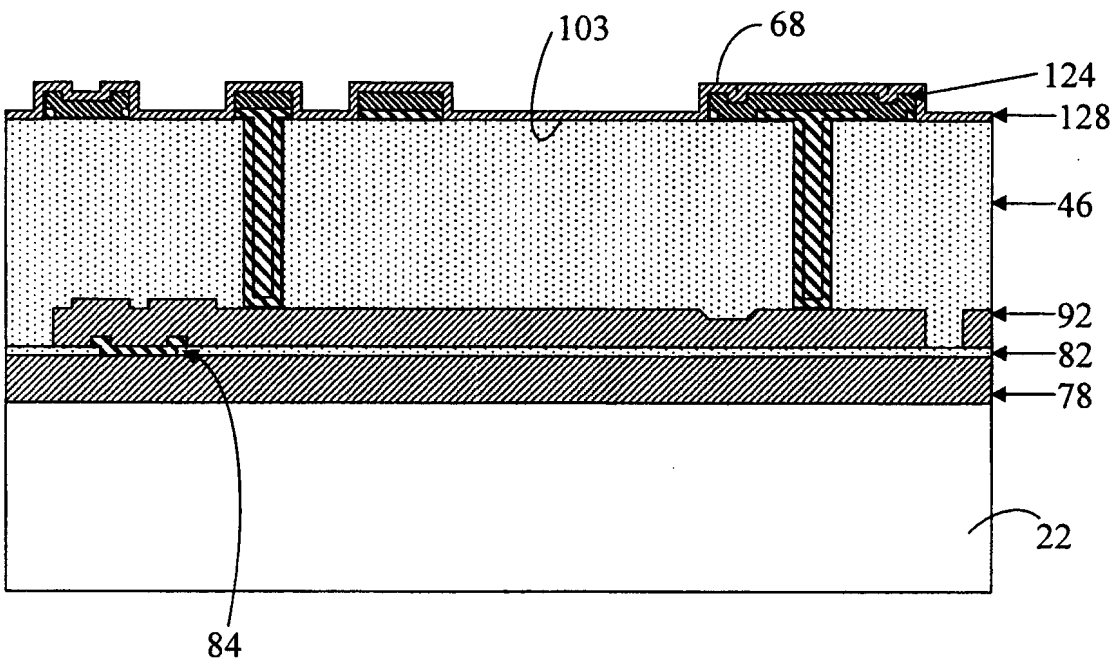


圖 23

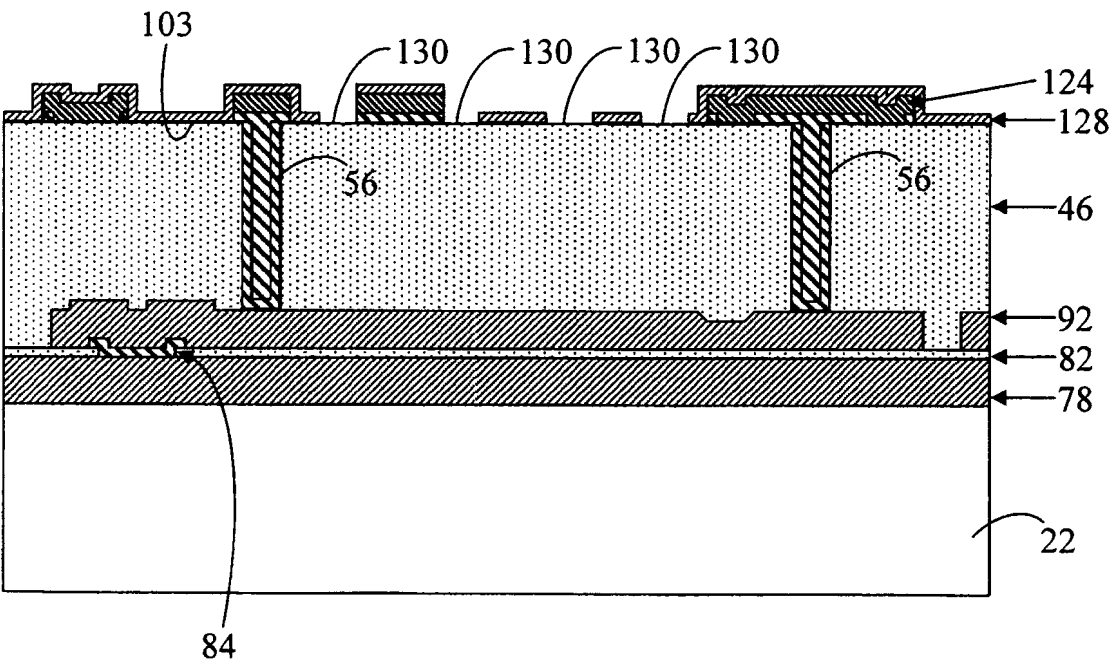


圖 24

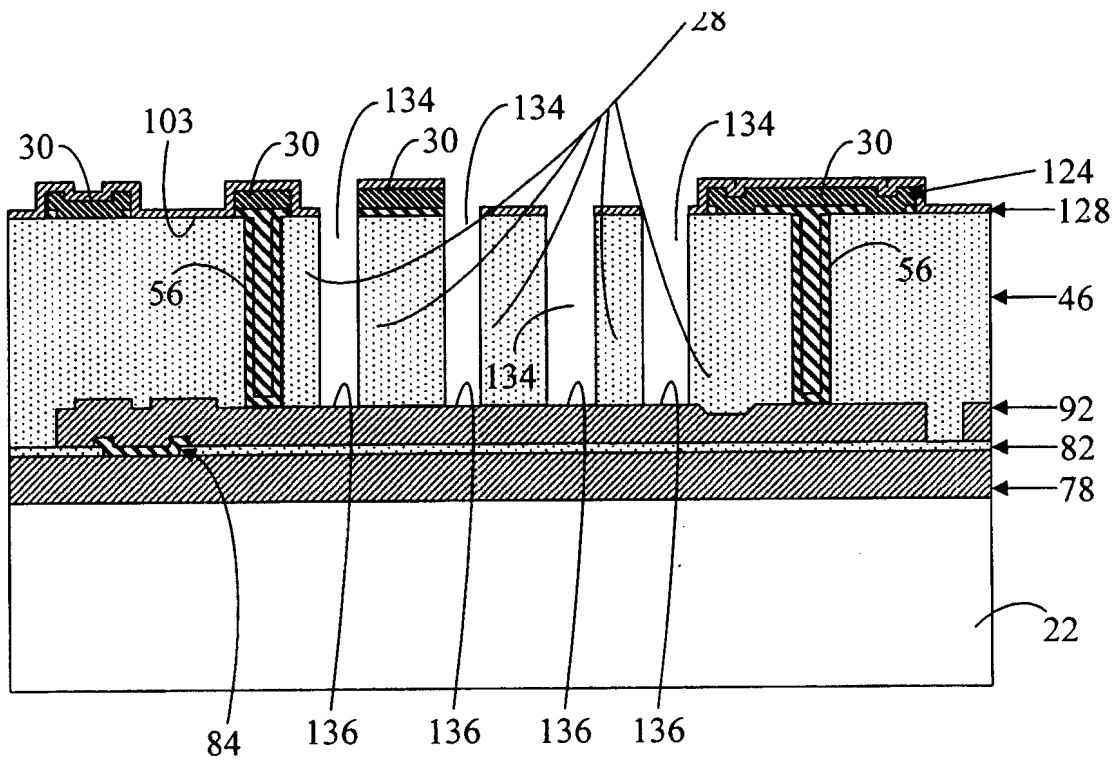


圖 25

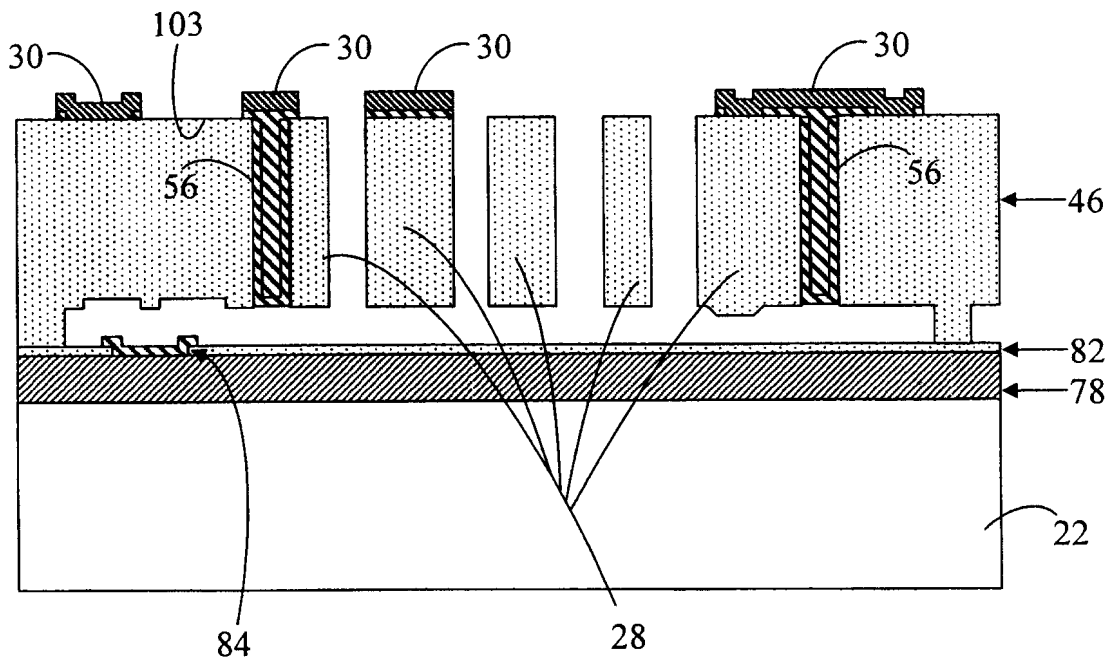


圖 26

四、指定代表圖：

(一)本案指定代表圖為：第(3)圖。

(二)本代表圖之元件符號簡單說明：

60	MEMS製程
62	提供基板
64	基板表面製備及矽的局部氧化
80	多晶矽及場氮化物沈積及圖案化
86	犧牲氧化物沈積及圖案化
94	厚多晶矽沈積
102	在多晶矽結構層中形成絕緣渠溝
122	形成電連接件
126	在多晶矽結構層中形成微結構
128	釋放微結構
END	結束

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)

六、發明說明：

【發明所屬之技術領域】

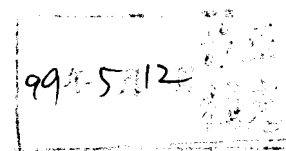
本發明係一般關於微機電系統(MEMS)裝置。更具體而言，本發明係關於製造具有絕緣微結構之MEMS裝置及大高寬比表面微加工。

此申請案已於2008年12月19日於美國申請為專利申請案第12/340202號。

【先前技術】

微機電系統MEMS是指一項對位於相同基板上之微機械結構(下文稱為微結構)及微電子電路加以整合以形成一種體裝置之技術。MEMS裝置係可用於例如壓力感測、加速度感測、慣性感測、開關、馬達及此類物中。雖然等微電子電路係使用積體電路(IC)製程步驟(例如，CMOS(互補型金屬氧化物半導體)、雙極或BICMOS製程)製作，該等微結構卻係使用相容「微加工」製程製作。

針對執行MEMS技術的材料及製程之選擇可視製造中的裝置及該裝置將要投放之市場部門而定。可用於製作該等微結構之典型微加工製程包括，例如，表面微加工及體型微加工。在表面微加工中，該MEMS裝置係藉由於一基板上沈積一犧牲層而製作。由作為結構微機械材料之多晶矽形成之一層之後被沈積於該犧牲層上方且被蝕刻以產生一針對特定微結構所希望之形狀。之後蝕刻由該多晶矽下方之犧牲材料所形成之層以於該等微結構之多個移動部件之間打開通道或空隙。因此，表面微加工係基於在該基板的



四、指定代表圖：

(一)本案指定代表圖為：第(3)圖。

(二)本代表圖之元件符號簡單說明：

- 60 MEMS製程
- 62 提供基板
- 64 基板表面製備及矽的局部氧化
- 80 多晶矽及場氮化物沈積及圖案化
- 86 犧牲氧化物沈積及圖案化
- 94 厚多晶矽沈積
- 102 在多晶矽結構層中形成絕緣渠溝
- 122 形成電連接件
- 126 在多晶矽結構層中形成微結構
- 138 釋放微結構

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)