



(12) 发明专利

(10) 授权公告号 CN 101071552 B

(45) 授权公告日 2011. 10. 26

(21) 申请号 200710126632. 2

JP 特开 2003-229725 A, 2003. 08. 15, 全文.

(22) 申请日 2007. 01. 15

US 2004/0207434 A1, 2004. 10. 21, 全文.

(30) 优先权数据

审查员 杨静

3962/06 2006. 01. 13 KR

(73) 专利权人 三星电子株式会社

地址 韩国京畿道

(72) 发明人 张东烈 李受哲

(74) 专利代理机构 北京市柳沈律师事务所

11105

代理人 邵亚丽 邸万奎

(51) Int. Cl.

G09G 3/36 (2006. 01)

G09G 3/20 (2006. 01)

(56) 对比文件

CN 1211855 A, 1999. 03. 24, 全文.

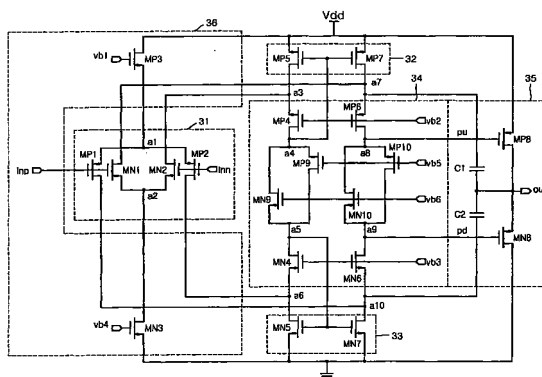
权利要求书 3 页 说明书 8 页 附图 4 页

(54) 发明名称

输出缓冲器和具有其的用于平板显示器的源极驱动器

(57) 摘要

一种具有改善的输出偏差的输出缓冲器以及采用所述输出缓冲器的平板显示器的源极驱动器, 其中所述输出缓冲器包括被施加第一差动输入信号的第一输入端; 被施加第二差动输入信号的第二输入端; 基于第二差动输入信号产生输出信号和将输出信号反馈回第一输入端作为第一输入信号的输出端; 被施加第一电源电压的第一电源端; 被施加第二电源电压的第二电源端; 以及放大第一差动输入信号和第二差动输入信号之间的差、将输出信号上拉到第一电源电压或将输出信号下拉到第二电源电压并包括多个晶体管的放大单元。



1. 一种输出缓冲器,包括:

第一输入端子,被施加第一差动输入信号;

第二输入端子,被施加第二差动输入信号;

输出端子,在其上产生基于所述第二差动输入信号的输出信号并且其将所述输出信号反馈回所述第一输入端子作为所述第一差动输入信号;

第一电源端子,被施加第一电源电压;

第二电源端子,被施加第二电源电压;以及

放大单元,其放大所述第一差动输入信号和所述第二差动输入信号之间的差,将所述输出信号上拉到所述第一电源电压或将所述输出信号下拉到所述第二电源电压,并且其包括多个晶体管,

其中,所述多个晶体管包括:多个低电压晶体管,每个低电压晶体管包括薄栅极绝缘层;以及多个高电压晶体管,每个高电压晶体管包括厚栅极绝缘层。

2. 如权利要求1所述的输出缓冲器,其中,当将12V的电源电压施加到所述放大单元时,所述多个低电压晶体管具有2V或更低的驱动电压。

3. 如权利要求1所述的输出缓冲器,其中所述多个晶体管包括多个形成在半导体衬底上的MOS晶体管,或者多个形成在平面显示板基板上的薄膜晶体管。

4. 如权利要求1所述的输出缓冲器,其中所述第一电源电压是预定电源电压,而所述第二电源电压是地电压。

5. 如权利要求1所述的输出缓冲器,其中所述放大单元包括:

信号输入单元,其接收所述第一差动输入信号以及接收作为所述第二差动输入信号的所述输出信号;

放大选择单元,其确定所述放大单元的放大级别;

第一电流反射镜单元,其连接在所述第一电源端子和所述信号输入单元之间;

第二电流反射镜单元,其连接在所述第二电源端子和所述信号输入单元之间;以及

输出单元,其依照所述信号输入单元和所述放大选择单元的运行而产生所述输出信号。

6. 如权利要求5所述的输出缓冲器,其中所述信号输入单元、所述放大选择单元、所述第一电流反射镜单元和第二电流反射镜单元、以及所述输出单元的每个包括多个晶体管,其中所述第一电流反射镜单元和第二电流反射镜单元的晶体管包括多个低电压晶体管,每个低电压晶体管具有薄栅极绝缘层,并且所述信号输入单元、所述放大选择单元以及所述输出单元的晶体管包括多个高电压晶体管,每个高电压晶体管具有厚栅极绝缘层。

7. 一种平板显示器的源极驱动器,其产生灰度数据信号并将所述灰度数据信号输出到由多个显示单元的阵列形成的显示板,所述源极驱动器包括:

存储单元,其存储由外部装置提供的数字数据信号;

数模转换单元,其接收来自所述存储单元的数字数据信号并将所述数字数据信号转换为模拟灰度数据信号;以及

输出缓冲单元,其将所述模拟灰度数据信号提供给所述显示板,

其中所述输出缓冲单元包括多个输出缓冲器,并且每个输出缓冲器包括多个晶体管,

其中,所述多个晶体管包括:多个低电压晶体管,每个低电压晶体管包括薄栅极绝缘

层；以及多个高电压晶体管，每个高电压晶体管包括厚栅极绝缘层。

8. 如权利要求 7 所述的源极驱动器，其中，当将 12V 的电源电压施加到所述输出缓冲单元时，所述低电压晶体管具有 2V 或更低的驱动电压。

9. 如权利要求 7 所述的源极驱动器，其中每个输出缓冲器包括：

信号输入单元，其接收第一差动输入信号和接收作为第二差动输入信号的所述灰度数据信号；

放大选择单元，其确定相应的输出缓冲器的放大级别；

第一电流反射镜单元，其连接在第一电源端子和所述信号输入单元之间；

第二电流反射镜单元，其连接在第二电源端子和所述信号输入单元之间；以及

输出单元，依照所述信号输入单元和所述放大选择单元的运行而产生所述灰度数据信号。

10. 如权利要求 9 所述的源极驱动器，其中所述信号输入单元、所述放大选择单元、所述第一电流反射镜单元和所述第二电流反射镜单元、以及所述输出单元的每个包括多个晶体管，其中所述第一电流反射镜单元和所述第二电流反射镜单元的晶体管包括多个低电压晶体管，每个低电压晶体管具有薄栅极绝缘层，而所述信号输入单元、所述放大选择单元以及所述输出单元的晶体管包括多个高电压晶体管，每个高电压晶体管具有厚栅极绝缘层。

11. 如权利要求 7 所述的源极驱动器，其中所述显示板为液晶板。

12. 如权利要求 7 所述的源极驱动器，其中所述多个晶体管包括多个形成在半导体衬底上的 MOS 晶体管，或者多个形成在平板显示板基板上的薄膜晶体管。

13. 如权利要求 7 所述的源极驱动器，其中所述平板显示器是玻璃上系统 SOG 型。

14. 一种平板显示器，包括：

显示板，包括多条栅极线、多条源极线、以及分别连接到所述多条栅极线和多条源极线的多个显示单元的阵列；

栅极驱动器，产生多个栅极驱动信号并且分别将所述多个栅极驱动信号施加到所述显示板的所述多条栅极线；

源极驱动器，产生基于数字输入数据信号的模拟灰度电压信号，所述模拟灰度电压信号用来驱动所述显示板的显示单元的阵列；以及

控制器，控制所述栅极驱动器和所述源极驱动器以及将所述数字输入数据信号施加到所述源极驱动器，

其中所述源极驱动器包括：

数模转换单元，将所述数字输入数据信号转换为所述模拟灰度电压信号；以及

输出缓冲器，经由所述多条源极线将所述模拟灰度电压信号提供到所述显示板，其中所述输出缓冲单元包括多个输出缓冲器，并且所述多个输出缓冲器的每一个包括多个晶体管，

其中所述多个晶体管包括多个具有低驱动电压的低电压晶体管，以及多个具有高驱动电压的高电压晶体管。

15. 如权利要求 14 所述的平板显示器，其中，当将 12V 的电源电压施加到所述放大单元时，所述低电压晶体管具有 2V 或更低的驱动电压。

16. 如权利要求 14 所述的平板显示器，其中所述显示板为液晶板。

17. 如权利要求 14 所述的平板显示器,其中所述多个晶体管包括多个形成在半导体衬底上的 MOS 晶体管,或多个形成在平板显示板基板上的薄膜晶体管。

18. 如权利要求 14 所述的平板显示器是玻璃上系统 SOG 型。

19. 如权利要求 14 所述的平板显示器,其中所述多个输出缓冲器的每一个包括:
信号输入单元,接收第一差动输入信号和接收作为第二差动输入信号的所述灰度电压信号;

放大选择单元,确定相应输出缓冲器的放大级别;

第一电流反射镜单元,连接在第一电源端子和所述信号输入单元之间;

第二电流反射镜单元,连接在第二电源端子和所述信号输入单元之间;以及

输出单元,依照所述信号输入单元和所述放大选择单元的运行而产生所述模拟灰度数据信号。

20. 如权利要求 19 所述的平板显示器,其中所述信号输入单元、所述放大选择单元、所述第一电流反射镜单元和第二电流反射镜单元、以及所述输出单元的每个包括多个晶体管,其中所述第一电流反射镜单元和所述第二电流反射镜单元的多个晶体管包括多个低电压晶体管,每个低电压晶体管具有薄栅极绝缘层,并且所述信号输入单元、所述放大选择单元以及所述输出单元的晶体管包括多个高电压晶体管,每个高电压晶体管具有厚栅极绝缘层。

输出缓冲器和具有其的用于平板显示器的源极驱动器

[0001] 相关申请的交叉引用

[0002] 本申请要求 2006 年 1 月 13 日在韩国知识产权局申请的韩国专利申请第 10-2006-0003962 号的权益,其公开在此整体以引用形式并入。

技术领域

[0003] 本公开涉及用于平板显示器的源极驱动器,具体而言,本公开涉及具有改善的输出偏差的输出缓冲器、以及具有该输出缓冲器的用于平板显示器的源极驱动器。

背景技术

[0004] 典型液晶显示器(LCD)(其由设置于两基板之间的液晶层组成)通过调整施加在液晶层上的电压来调整通过液晶层的光透过率,并因此显示期望的图像。这种典型 LCD 的例子包括使用薄膜晶体管(TFT)作为用于开关液晶层的开关器件的 TFT-LCD。多晶硅 TFT-LCD 是 TFT-LCD 的一种,其一个最大的优点是由多个形成在玻璃基板上的 MOS 晶体管组成的电路可以嵌入到多晶硅 TFT-LCD 中。当前,多个驱动器能够通过使用低温多晶硅(LTPS)工艺而被集成在玻璃基板上,并且一个包括控制器的完整系统通过使用玻璃上系统(SOG)方法而能被集成在玻璃基板上。

[0005] TFT-LCD 包括用于驱动排列在液晶板上的多个液晶单元的源极驱动器。源极驱动器包括多个向液晶板提供灰度电压信号的输出缓冲器,并且每一个输出缓冲器包括由晶体管组成的运算放大器。在源极驱动器的运算放大器由晶体管组成的情况中,来自输出缓冲器的对应于相同输入数据的输出电压会有大的偏差(deviation)。这种偏差称为偏移电压。依据产生偏移电压的晶体管的特性,偏移电压变化相当大。因此,由于来自源极驱动器的输出缓冲器的输出信号中的偏差,所以即使在源极驱动器上施加相同数据电压,响应于所述相同数据电压而施加在液晶板上的灰度电压也可能不是相同的。当对于相同的输入数据电压,通过源极驱动器向液晶板提供不同的灰度数据时,液晶板可能出现故障或使信号失真,因此恶化图像质量。

[0006] 由于晶体管的阈值电压中的偏差,所以产生源极驱动器的输出缓冲器的输出中的偏差。晶体管的阈值电压是导通或截止晶体管所需的电压,并且可以由插入在栅极电极和沟道区域之间的栅极绝缘层的厚度和沟道区域的掺杂浓度的函数来定义。栅极绝缘层的厚度和沟道区域的掺杂浓度可能通过在制造过程中产生的工艺偏差而变化。通常,输出缓冲器的晶体管被制造成彼此相同。尽管尝试将晶体管的栅极绝缘层形成为具有相同的厚度,然而这在制造过程中不总是可能的,因此在输出缓冲器的输出中产生与晶体管阈值电压有关的偏差。

[0007] 为了解决这个问题,提出了一种涉及在输出缓冲器中另外安装偏移补偿电路的方法。然而,这种方法增加了输出缓冲器的尺寸,并且这是不合需要的。

发明内容

[0008] 本发明的典型实施例提供具有改善的输出偏差的输出缓冲器,其包括多个彼此具有不同驱动能力的晶体管,并且因此能够改善输出偏差。

[0009] 本发明的典型实施例还提供平板显示器的源极驱动器,其包括具有改善的输出偏差的输出缓冲器。

[0010] 依照本发明的典型实施例,提供一种输出缓冲器,其包括:被施加第一差动输入信号的第一输入端;被施加第二差动输入信号的第二输入端;产生基于第二差动输入信号的输出信号并将该输出信号反馈到第一输入端作为第一输入信号的输出端;被施加第一电源电压的第一电源端;被施加第二电源电压的第二电源端;以及放大第一差动输入信号和第二差动输入信号之间的差、上拉输出信号到第一电源电压或下拉输出信号到第二电源电压、并包括多个晶体管的放大单元。

[0011] 该放大单元可以包括多个具有不同驱动能力的晶体管。

[0012] 所述多个晶体管可以包括多个低电压晶体管,每个低电压晶体管包括薄栅极绝缘层;以及多个高电压晶体管,每个高电压晶体管包括厚栅极绝缘层。

[0013] 例如,当 12V 的电源电压施加在放大单元上时,低电压晶体管具有 2V 或更低的驱动电压。

[0014] 所述多个晶体管可以包括多个形成在半导体衬底上的 MOS 晶体管或多个形成在平面显示板基板上的薄膜晶体管(TFT)。

[0015] 第一电源电压可以是电源电压,并且第二电源电压可以是地电压。

[0016] 所述放大单元可以包括接收第一差动输入信号和接收作为第二差动输入信号的输出信号的信号输入单元、确定放大单元的放大级别的放大选择单元、在第一电源端和信号输入单元之间连接的第一电流反射镜单元、在第二电源端和信号输入单元之间连接的第二电流反射镜单元、以及依照信号输入单元和放大选择单元的运行产生输出信号的输出单元。

[0017] 信号输入单元、放大选择单元、第一电流反射镜单元和第二电流反射镜单元、以及输出单元的每一个可以包括多个晶体管,其中第一电流反射镜单元和第二电流反射镜单元的晶体管包括多个低电压晶体管,其中每个低电压晶体管包括薄栅极绝缘层,并且信号输入单元、放大选择单元以及输出单元的晶体管包括多个高电压晶体管,每个高电压晶体管包括厚栅极绝缘层。

[0018] 依据本发明的典型实施例,提供了一种产生灰度数据信号和将所述灰度信号输出到由多个显示单元形成的阵列组成的显示板的平板显示器的源极驱动器。该源极驱动器包括存储由外部装置提供的数字数据信号的存储单元、从存储单元接收数字数据信号并将数字数据信号转换为模拟灰度数据信号的数模(D/A)转换单元、以及将模拟灰度数据信号提供给显示板的输出缓冲单元,其中输出缓冲单元包括多个输出缓冲器,并且每个输出缓冲器包括多个具有不同驱动能力的晶体管。

[0019] 依据本发明的典型实施例,提供了一种平板显示器,其包括多条栅极线、多条源极线以及多个分别连接到所述多条栅极线 and 多条源极线的显示单元的阵列;产生多个栅极驱动信号和分别将栅极驱动信号施加到显示板的栅极线的栅极驱动器;产生基于数字输入数据信号的模拟灰度电压信号的源极驱动器,该模拟灰度电压信号用来驱动显示板的显示单元;以及控制栅极驱动器和源极驱动器并且将数字输入数据信号施加到源极驱动器的控制

器,其中源极驱动器包括将数字输入数据信号转换为模拟灰度电压信号的数模(D/A)转换单元、以及通过源极线将模拟灰度数据信号提供给显示板的输出缓冲单元,其中输出缓冲单元包括多个输出缓冲器、并且每个输出缓冲器包括多个具有不同驱动能力的晶体管。

[0020] 附图说明

[0021] 从下列结合附图的描述中,将更详细地理解本发明的典型实施例。

[0022] 图1是依据本发明典型实施例的薄膜晶体管(TFT)-液晶显示器(LCD)的电路图;

[0023] 图2是依据本发明典型实施例的TFT-LCD的源极驱动器的方框图;

[0024] 图3是依据本发明典型实施例的TFT-LCD的源极驱动器的输出缓冲单元的电路图;

[0025] 图4是依据本发明典型实施例的TFT-LCD的源极驱动器的输出缓冲器的详细电路图;以及

[0026] 图5是图4所示的依据本发明典型实施例的输出缓冲器的横截面视图。

具体实施方式

[0027] 现在将参照其中示出本发明的典型实施例的附图来对本发明的典型实施例进行更全面的描述。然而,本发明可以以许多不同的形式体现并且不应该被解释为限制在这里所提出的典型实施例;相反地,提供这些典型实施例以便本公开是彻底的和充分的,并且向本领域技术人员充分地传达本发明的思想。附图中相同的附图标记代表相同的单元,因此将省略对它们的描述。

[0028] 图1是依据本发明典型实施例的薄膜晶体管(TFT)-液晶显示器(LCD)的电路图。参照图1,该TFT-LCD包括液晶板10,其包括液晶单元阵列、源极驱动器30、以及控制器40。具体而言,该液晶板10包括多条分别被施加多个栅极驱动电压 V_{g1} - V_{gm} 的栅极线12-1到12-m、多条分别与栅极线12-1到12-m交叉并且分别被施加多个灰度电压 $D1$ - Dn 的源极线13-1到13-n、以及多个分别与栅极线12-1到12-m和数据线13-1到13-n相连的液晶单元11。

[0029] 每个液晶单元11包括TFT ST,其具有与栅极线12-1到12-m之一相连的栅极和与源极线13-1到13-n之一相连的漏极、以及具有与TFT ST的源极相连的端子和被施加公共电压 V_c 的第二端子的液晶电容 C_{LC} 。每个液晶单元11还可以包括与液晶电容 C_{LC} 并联连接的存储电容 C_{st} (未示出)。

[0030] 栅极驱动器20产生导通或截止液晶单元11的TFT ST的栅极的多个栅极驱动信号(即栅极驱动电压 V_{g1} 到 V_{gm}),并且分别将栅极驱动电压 V_{g1} 到 V_{gm} 施加到栅极线12-1到12-m。源极驱动器30响应于输入数据而将灰度电压 $D1$ 到 Dn 分别施加到源极线13-1到13-n。控制器40接收由外部装置(未示出)提供的控制信号并且根据所接收的控制信号产生用于驱动栅极驱动器20和源极驱动器30的驱动器控制信号(未示出)。

[0031] 栅极驱动器20和源极驱动器30可以设置在液晶板10之外。可选地,如果TFT-LCD是玻璃上芯片(COG)型,则栅极驱动器20和源极驱动器30可以设置在液晶板10上。栅极驱动器20和源极驱动器30可以在液晶板10的单元阵列形成期间形成在玻璃基板上。控制器40可以设置在液晶板10之外。可选地,如果TFT-LCD是玻璃上系统(SOG)型,则控制器40可以设置在液晶板10上。

[0032] 图 2 是图 1 所示依据本发明典型实施例的源极驱动器 30 的结构图。参照图 2, 源极驱动器 30 包括移位寄存器单元 310、第一锁存单元 320、第二锁存单元 330、数模 (D/A) 转换单元 340、以及输出缓冲单元 350。移位寄存器单元 310 从图 1 所示的控制器 40 接收数据时钟信号 HCLK 和水平同步开始信号 STH。移位寄存器 310 串行移位水平同步开始信号 STH 多次, 并且将移位结果输出到第一锁存单元 320。

[0033] 第一锁存器 320 响应于移位寄存器单元 310 的输出信号而顺序地从控制器 40 接收和锁存多个数据信号, 每个数据信号由预设数量的位组成 (例如, R、G、B 数据信号, 每个由 8 位组成)。R、G 和 B 数据信号是数字信号, 每个具有预设的灰度值。当所有要输出到图 1 所示的源极线 13-1 到 13-n 的 R、G 和 B 数据信号存储在第二锁存单元 330 中时, 它们同时输出到第二锁存单元 330。

[0034] 响应于输出使能信号 OE, 存储在第二锁存单元 330 中的 R、G 和 B 数据信号输出到 D/A 转换单元 340。D/A 转换单元 340 依照由第二锁存单元 330 提供的 R、G 和 B 数据信号, 选择由灰度电压产生单元 (未示出) 产生的多个灰度电压 (例如, V_+ 到 V_-) 中的一个, 并输出选定的灰度电压。换句话说, D/A 转换单元 340 从第二锁存单元 330 接收为数字信号的 R、G 和 B 数据信号, 并将它们转换成作为模拟信号的灰度电压信号。D/A 转换单元 340 可以包括多个 D/A 转换器 (例如 n 个 D/A 转换器) (未示出)。在这种方式下, 这 n 个 D/A 转换器分别将模拟灰度电压信号 DAC1 到 DACn 提供给输出缓冲单元 350。

[0035] 源极驱动器 30 还可以包括电平转换单元 (未示出), 其设置在第二锁存单元 330 和 D/A 转换单元 340 之间。所述电平转换单元将存储在第二锁存单元 330 中的 R、G 和 B 数据信号转换为具有用来驱动液晶板 10 的足够高的电压的 R、G 和 B 数据信号。

[0036] 输出缓冲单元 350 通过源极线 13-1 到 13-n 向液晶板 10 提供来自 D/A 转换单元 340 的输出信号。参照图 3, 输出缓冲单元 350 包括多个输出缓冲器, 例如, n 个输出缓冲器 351 到 35n, 其分别向源极线 13-1 到 13-n 提供由 D/A 转换单元 340 的多个 D/A 转换器产生的灰度电压信号 DAC1 到 DACn。

[0037] 输出缓冲器 351 到 35n 的每一个输出缓冲器由差动放大器组成, 所述差动放大器具有被提供灰度电压信号 DAC0 到 DACn 中的一个的同相输入端 (+), 以及被反馈多个输出信号 CH1 到 CHn 中的一个的反相输入端 (-)。输出缓冲器 351 到 35n 分别放大灰度电压信号 DAC1 到 DACn, 并通过源极线 13-1 到 13-n 将放大结果 (也就是输出信号 CH1 到 CHn) 提供给液晶板 10。

[0038] 图 4 是图 3 所示依据本发明典型实施例的输出缓冲器 351 到 35n 中的一个的详细电路图。输出缓冲器 351 到 35n 都具有相同的结构。参照图 4, 输出缓冲器 351 到 35n 的每一个都包括差动放大单元、放大选择单元 34、输出单元 35、以及使能单元 36。所述差动放大单元包括信号输入单元 31、第一电流反射镜单元 32 以及第二电流反射镜单元 33。信号输入单元 31 通过第一差动输入端接收由 D/A 转换单元 340 提供的灰度电压信号 DAC0 到 DACn 中的一个作为第一差动输入信号 inp, 并通过第二差动输入端接收来自输出端 out 的输出信号 CH1 到 CHn 中的一个作为第二差动输入信号 inn。第一差动输入端相应于如图 3 所示的同相输入端 (+), 并且第二差动输入端相应于如图 3 所示的反相输入端 (-)。

[0039] 信号输入单元 31 包括第一 NMOS 晶体管 MN1 和第二 NMOS 晶体管 MN2, 其分别接收第一差动输入信号 inp 和第二差动输入信号 inn; 以及第一 PMOS 晶体管 MP1 和第二 PMOS

晶体管 MP2, 分别接收第一差动输入信号 inp 和第二差动输入信号 inn。第一差动输入信号 inp 和第二差动输入信号 inn 分别被施加在第一 NMOS 晶体管 MN1 和第二 NMOS 晶体管 MN2 的栅极上, 第一 NMOS 晶体管 MN1 和第二 NMOS 晶体管 MN2 的源极共同连接到第二节点 a2, 以及第一 NMOS 晶体管 MN1 和第二 NMOS 晶体管 MN2 的漏极分别连接到第七节点 a7 和第三节点 a3。第二差动输入信号 inn 施加到第一 PMOS 晶体管 MP1 和第二 PMOS 晶体管 MP2 的栅极, 第一 PMOS 晶体管 MP1 和第二 PMOS 晶体管 MP2 的源极共同连接到第一节点 a1, 以及第一 PMOS 晶体管 MP1 和第二 PMOS 晶体管 MP2 的漏极分别连接到第十节点 a10 和第六节点 a6。

[0040] 第一电流反射镜单元 32 包括第五 PMOS 晶体管 MP5 和第七 PMOS 晶体管 MP7。第五 PMOS 晶体管 MP5 和第七 PMOS 晶体管 MP7 的栅极共同连接到第四节点 a4, 第五 PMOS 晶体管 MP5 和第七 PMOS 晶体管 MP7 的源极连接到第一电源端, 以及第五 PMOS 晶体管 MP5 和第七 PMOS 晶体管 MP7 的漏极分别连接到第三节点 a3 和第七节点 a7。电源电压 Vdd 提供到第一电源端。

[0041] 第二电流反射镜单元 33 包括第五 NMOS 晶体管 MN5 和第七 NMOS 晶体管 MN7。第五 NMOS 晶体管 MN5 和第七 NMOS 晶体管 MN7 的栅极共同连接到第五节点 a5, 第五 NMOS 晶体管 MN5 和第七 NMOS 晶体管 MN7 的源极连接到第二电源端, 以及第五 NMOS 晶体管 MN5 和第七 NMOS 晶体管 MN7 的漏极分别连接到第六节点 a6 和第十节点 a10。地电压提供到第二电源端。

[0042] 当输出缓冲器放大由 D/A 转换单元 340 提供的灰度电压信号 DCA0 到 DCA_n 中的一个时, 放大选择单元 34 确定用于差动放大单元的放大级别。例如, 放大选择单元 34 依据外部电路 (未示出) 提供的第五偏压 vb5 和第六偏压 vb6 选定放大级别 A、放大级别 B、以及放大级别 AB 中的一个, 并允许差动放大单元依据选定的放大级别放大第一差动输入信号 inp 和第二差动输入信号 inn。放大选择单元 34 包括第四 PMOS 晶体管 MP4、第六 PMOS 晶体管 MP6、第九 PMOS 晶体管 MP9 和第十 PMOS 晶体管 MP10 以及第四 NMOS 晶体管 MN4、第六 NMOS 晶体管 MN6、第九 NMOS 晶体管 MN9 和第十 NMOS 晶体管 MN10。

[0043] 第二偏压 vb2 施加在第四 PMOS 晶体管 MP4 和第六 PMOS 晶体管 MP6 的栅极上, 第四 PMOS 晶体管 MP4 和第六 PMOS 晶体管 MP6 的源极分别连接到第三节点 a3 和第七节点 a7, 第四 PMOS 晶体管 MP4 和第六 PMOS 晶体管 MP6 的漏极分别连接到第四节点 a4 和第八节点 a8。第三偏压 vb3 施加在第四 NMOS 晶体管 MN4 和第六 NMOS 晶体管 MN6 的栅极上, 第四 NMOS 晶体管 MN4 和第六 NMOS 晶体管 MN6 的源极分别连接到第六节点 a6 和第十节点 a10, 第四 NMOS 晶体管 MN4 和第六 NMOS 晶体管 MN6 的漏极分别连接到第五节点 a5 和第九节点 a9。第五偏压 vb5 施加在第九 PMOS 晶体管 MP9 和第十 PMOS 晶体管 MP10 的栅极上, 第九 PMOS 晶体管 MP9 和第十 PMOS 晶体管 MP10 的源极分别连接到第四节点 a4 和第八节点 a8, 第九 PMOS 晶体管 MP9 和第十 PMOS 晶体管 MP10 的漏极分别连接到第五节点 a5 和第九节点 a9。第六偏压 vb6 施加在第九 NMOS 晶体管 MN9 和第十 NMOS 晶体管 MN10 的栅极上, 第九 NMOS 晶体管 MN9 和第十 NMOS 晶体管 MN10 的源极分别连接到第五节点 a5 和第九节点 a9, 第九 NMOS 晶体管 MN9 和第十 NMOS 晶体管 MN10 的漏极分别连接到第四节点 a4 和第八节点 a8。

[0044] 输出单元 35 包括第八 PMOS 晶体管 MP8、第八 NMOS 晶体管 MN8、以及第一电容 C1 和第二电容 C2。第八 PMOS 晶体管 MP8 的栅极和第八 NMOS 晶体管 MN8 的栅极分别连接到第八节点 a8 和第九节点 a9, 第八 PMOS 晶体管 MP8 的源极和第八 NMOS 晶体管 MN8 的源极分

别连接到第一电源端和第二电源端,第八 PMOS 晶体管 MP8 的漏极和第八 NMOS 晶体管 MN8 的漏极共同连接到输出端 out。上拉信号 pu 通过第八节点 a8 施加在第八 PMOS 晶体管 MP8 的栅极上,下拉信号 pd 通过第九节点 a9 施加在第八 NMOS 晶体管 MN8 的栅极上。第一电容 C1 的第一端连接到第七节点 a7,以及第二电容 C2 的第一端连接到第十节点 a10。第一电容 C1 的第二端和第二电容 C2 的第二端共同连接到输出端 out。

[0045] 使能单元 36 使能差动放大单元的信号输入单元 31 并包括第三 PMOS 晶体管 MP3 以及第三 NMOS 晶体管 MN3。第一偏压 vb1 和第四偏压 vb4 分别施加在第三 PMOS 晶体管 MP3 的栅极和第三 NMOS 晶体管 MN3 的栅极上,第三 PMOS 晶体管 MP3 的源极和第三 NMOS 晶体管 MN3 的源极分别连接到第一电源端和第二电源端,并且第三 PMOS 晶体管 MP3 的漏极和第三 NMOS 晶体管 MN3 的漏极分别连接到第一节点 a1 和第二节点 a2。第一偏压 vb1 到第六偏压 vb6 是由外部装置(未示出)提供的恒定电压。

[0046] 输出缓冲器接收第一差动输入信号 inp 和第二差动输入信号 inn,并且分别使用第一偏压 vb1 和第四偏压 vb4 激活第三 PMOS 晶体管 MP3 和第三 NMOS 晶体管 MN3。差动放大单元放大第一差动输入信号 inp 和第二差动输入信号 inn 之间的差,并向第七节点 a7 和第十节点 a10 提供放大结果。放大选择单元 34 基于分别施加到第十 PMOS 晶体管 MP10 和第十 NMOS 晶体管 MN10 的第五偏压 vb5 和第六偏压 vb6 确定差动放大单元的放大级别。而且,放大选择单元 34 将上拉信号 pu 和下拉信号 pd 发送给输出单元 35。输出单元 35 的第八 PMOS 晶体管 MP8 和第八 NMOS 晶体管 MN8 分别响应于上拉信号 pu 和下拉信号 pd 而受到驱动,并且因此产生通过输出端 out 的图 3 所示的输出信号 CH1 到 CHn。

[0047] 如果源极驱动器 30 使用反转驱动方法(例如,点反转驱动方法)驱动液晶板 10,则 D/A 转换单元 340 可以将作为灰度电压信号 DAC1 到 DACn 的多个正灰度电压信号和多个负灰度电压信号提供给图 2 中的输出缓冲单元 350。在这种情况下,图 1 的源极驱动器 30 还可以包括极性反转控制单元(未示出),其控制要分别提供给输出缓冲单元 350 的输出缓冲器 351 到 35n 的、作为灰度电压信号 DAC1 到 DACn 的正灰度电压信号或负灰度电压信号。

[0048] 由于组成输出缓冲器 351 到 35n 的每一个的 MOS 晶体管 MP1 到 MP10 和 MN1 到 MN10 的阈值电压 V_{th} 的不规律,所以输出缓冲器 351 到 35n 的输出信号 out 可能具有偏差(以下称为输出偏差)。在阈值电压 V_{th} 中的偏差 $S(\Delta V_{th})$ 可以由以下方程式(1)表示:

$$[0049] \quad S(\Delta V_{th}) = \frac{A_{vt}}{\sqrt{W \times L}} = \frac{q \times \sqrt{Nt}}{C_{ox} \times \sqrt{W \times L}}$$

[0050] 其中 Nt 表示多个 MOS 晶体管的沟道区域的掺杂浓度, C_{ox} 表示 MOS 晶体管的栅极绝缘层的电容, W 和 L 分别表示 MOS 晶体管的宽度和长度,以及 q 表示 MOS 晶体管中电荷的数量。

[0051] 如方程式(1)所示,如果输出缓冲器的多个 MOS 晶体管具有相同宽度和长度并且具有相同的沟道区域掺杂浓度,则 MOS 晶体管的阈值电压 V_{th} 中的偏差 $S(\Delta V_{th})$ 依照 MOS 晶体管的栅极绝缘层的厚度而变化。具体而言,栅极绝缘层越厚,阈值电压的偏差 $S(\Delta V_{th})$ 越大。

[0052] 在以下给出的表 1 中示出了分别对应于输出缓冲器 351 到 35n 的每一个的 MOS 晶体管的第一节点 a1 到第十节点 a10 的电压。表 1 示出了当电源电压 Vdd 为 12V 以及输入电压 Vin(也就是第一差动输入信号 inp 的电压)是 0.2V、4V、11.8V 或 8V 时的第一节点 a1

到第十节点 a10 的电压。在 MOS 晶体管 MP1 到 MP10 和 MN1 到 MN10 中, 具有低驱动电压的那些晶体管对输出偏差 δ 的影响要比具有高驱动电压的那些晶体管大很多。例如, 参考 MOS 晶体管 MP1 到 MP10 和 MN1 到 MN10, 当电源电压 Vdd 为 12V 时, 具有 2V 或更低的驱动电压的那些, 对于 12V 的电源电压和 0V 的地电压可以相当大地影响输出偏差 δ 。参考表 1, 第三节点 a3、第六节点 a6、第七节点 a7、以及第十节点 a10 维持 2V 或更低的驱动电压, 而与输入电压 Vin 无关。第五 PMOS 晶体管 MP5 和第七 PMOS 晶体管 MP7 (其包括在第一电流反射镜单元 32 中并分别连接到第三节点 a3 和第七节点 a7) 具有 2V 或更低的低驱动电压。反之, 节点 a6 和 a10 相对于地电压而维持 2V 或更低的低驱动电压, 并且第五 NMOS 晶体管 MN5 和第七 NMOS 晶体管 MN7 (其包括在第二电流反射镜单元 33 中并且分别连接到第六节点 a6 和第十节点 a10) 相对于 12V 的电源电压 Vdd 和 0V 的地电压具有 2V 或更低的驱动电压。然而, 节点 a5 和 a9 相对于电源电压和地电压维持 2V 或更低的低驱动电压。

[0053] 为了减少输出偏差 δ , 第五 PMOS 晶体管 MP5 和第七 PMOS 晶体管 MP7 以及第五 NMOS 晶体管 MN5 和第七 NMOS 晶体管 MN7 的栅极绝缘层可以形成得比其它 MOS 晶体管的栅极绝缘层薄。

[0054] 因此, 如图 5 所示, 具有低驱动电压的第五 PMOS 晶体管 MP5 和第七 PMOS 晶体管 MP7 以及第五 NMOS 晶体管 MN5 和第七 NMOS 晶体管 MN7 可以形成具有薄栅极绝缘层的低电压晶体管 50a, 而其它 MOS 晶体管可以形成具有厚栅极绝缘层的高电压晶体管 50b。将参照图 5 进一步详细说明低电压晶体管 50a 和高电压晶体管 50b。

[0055] 表 1

节点 \ Vin	0.2V	4V	11.8V	8V
a1	3.95	6.91	12.00	9.93
a2	0	1.95	7.63	4.80
a3	10.98	10.95	10.95	10.95
a4	10.59	10.54	10.53	10.54
a5	1.53	1.46	1.36	1.46
a6	0.45	0.47	0.47	0.47
a7	11.11	11.06	11.04	11.06
a8	11.05	11.00	10.97	10.99
a9	1.11	1.12	1.03	1.08
a10	0.45	0.47	0.47	0.47

[0057] 参照图 5, 低电压晶体管 50a 包括薄薄地形成在衬底 51 上的栅极绝缘层 53a、栅极电极 55a、以及源极 / 漏极区域 57a。高电压晶体管 50b 包括更厚地形成在衬底 51 上的栅

极绝缘层 53b、栅极电极 55b、以及源极 / 漏极区域 57b。栅极绝缘层 53a 的厚度小于栅极绝缘层 53b 的厚度。输出缓冲器 351 到 35n 的每一个的 MOS 晶体管 MP1 到 MP10 和 MN1 到 MN10 不限于图 5 所示的结构,而是可以具有多种结构。

[0058] 在图 1 中的源极驱动器 30 与液晶显示板 10 的单元阵列集成在一起的情况下,基板(诸如广泛使用在平板显示板的制造上的玻璃基板、塑料基板、或金属基板)可以用作衬底 51,低电压晶体管 50a 和高电压晶体管 50b 可以通过使用例如低温多晶硅工艺形成为 N 型或 P 型 TFT。另一方面,在源极驱动器 30 与液晶显示板 10 的单元阵列不集成在一起的情况下,衬底 51 可以由半导体衬底(诸如广泛使用在半导体集成电路制造中的硅衬底)组成,而低电压晶体管 50a 和高电压晶体管 50b 可以形成为典型的 MOS 晶体管。

[0059] 依照本发明的典型实施例,当电源电压 Vdd 为 12V 时,那些形成为低电压 MOS 晶体管的 MOS 晶体管 MP1 到 MP10 和 MN1 到 MN10 具有 2V 或更低的驱动电压,但是本发明并不限于此。

[0060] 如上所述,依照本发明的典型实施例,在多个平板显示器的源极驱动器的输出缓冲器的晶体管中,显著影响输出偏差的那些晶体管形成为包括薄栅极绝缘层的低电压晶体管,而其余的多个晶体管形成为包括厚栅极绝缘层的高电压晶体管。因此,可以改善由于多个晶体管的阈值电压的变化而产生的输出缓冲器的输出偏差,而不增加输出缓冲器的芯片面积。而且,由多个具有不同驱动能力的晶体管组成的输出缓冲器能够应用于各种平板显示器。

[0061] 虽然已经参照本发明的典型实施例详细示出和说明了本发明,但是本领域普通技术人员可以理解,在不脱离下述权利要求所限定的本发明的精神和范围的情况下,可以在形式和细节方面做出各种改变。

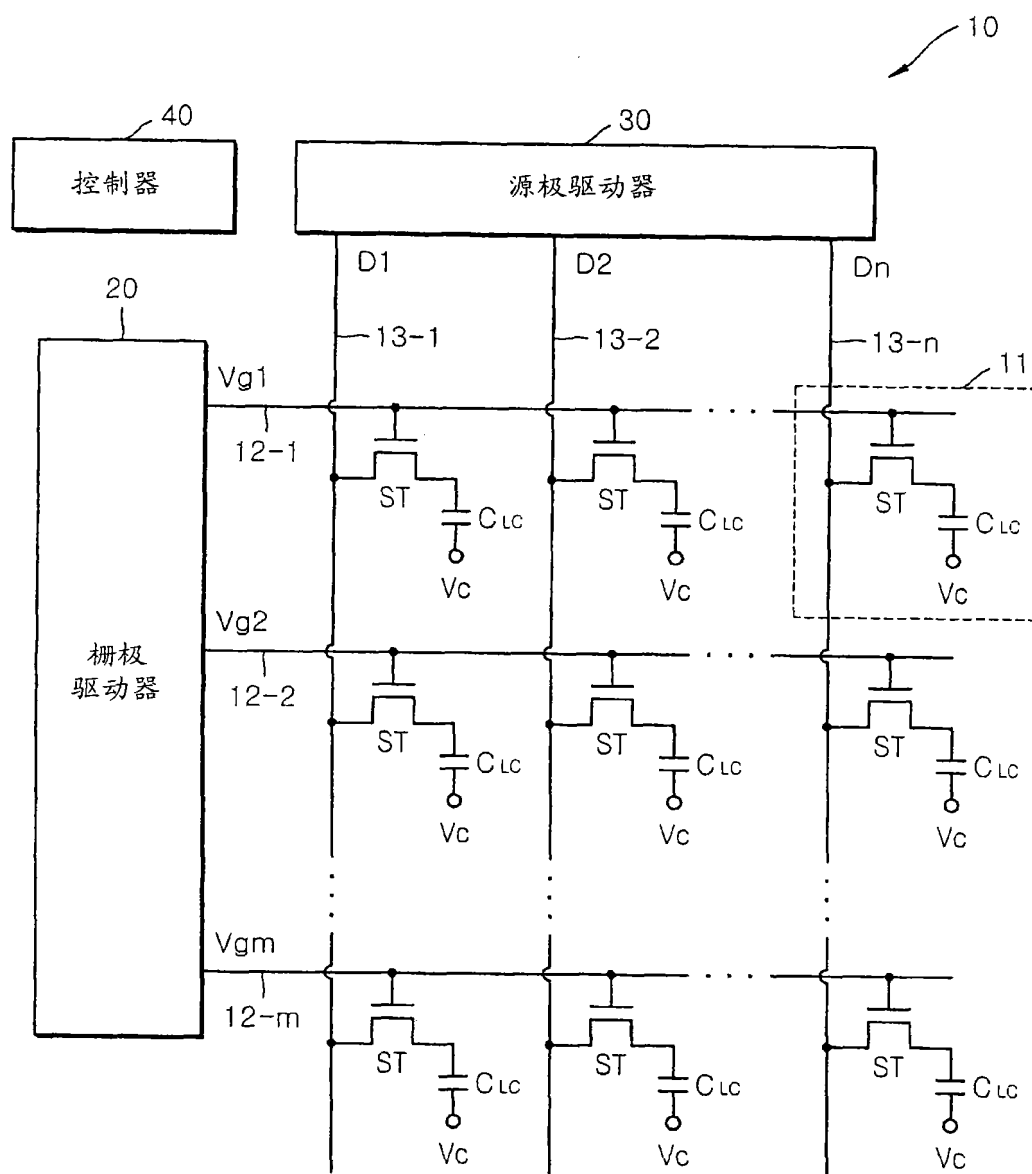


图 1

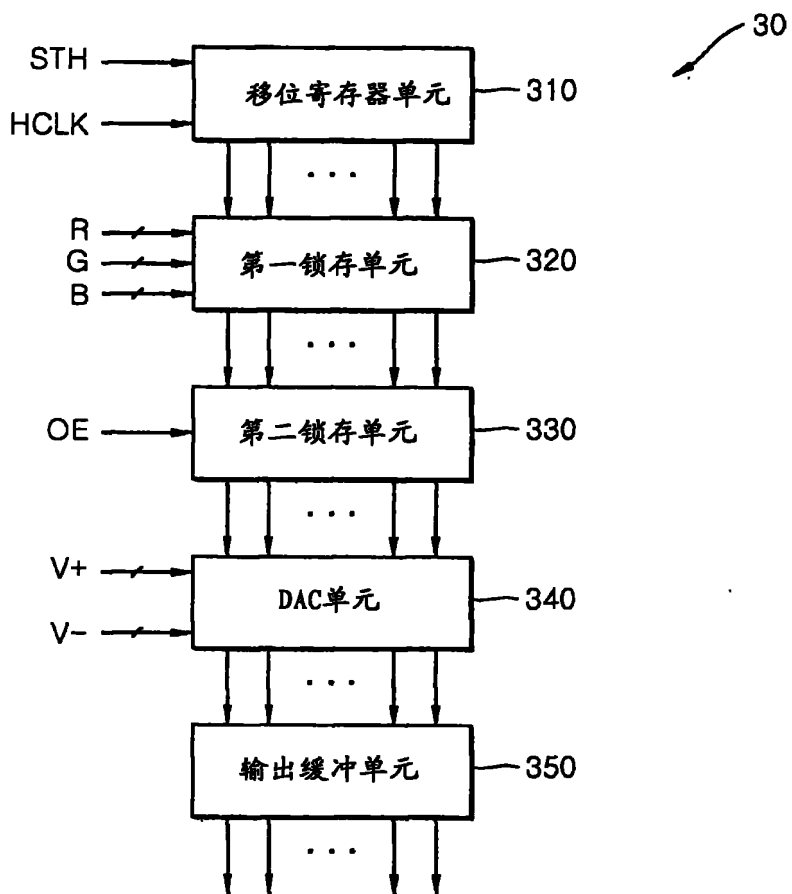


图 2

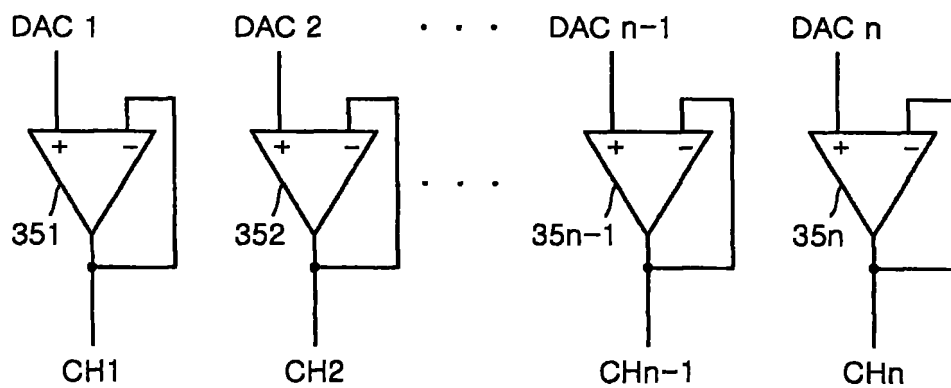


图 3

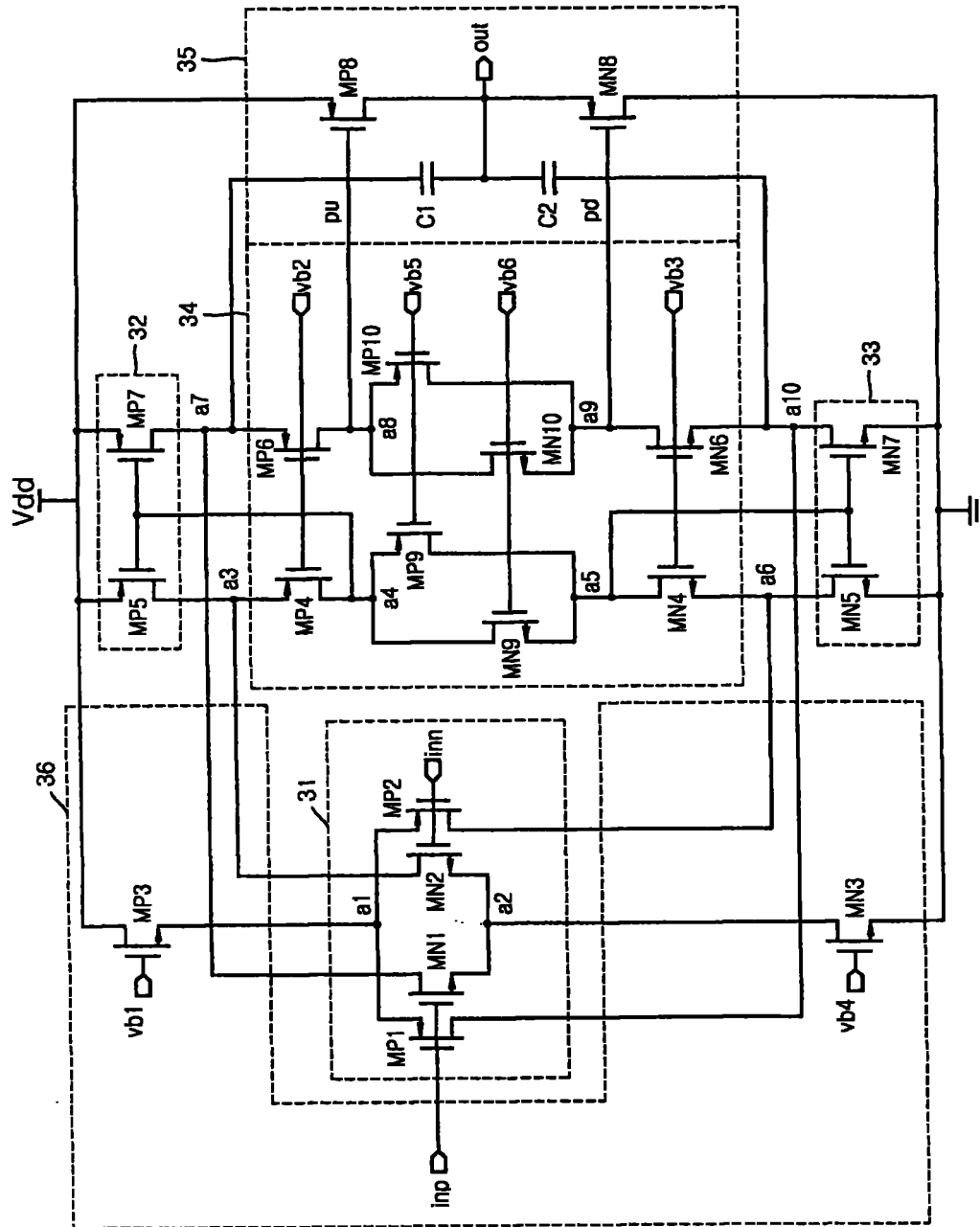


图 4

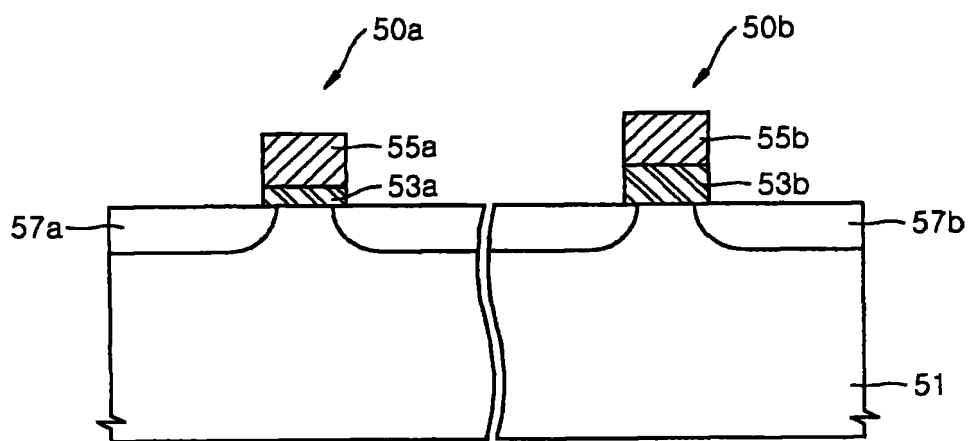


图 5