

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2016 年 7 月 7 日 (07.07.2016)



(10) 国际公布号
WO 2016/106850 A1

- (51) 国际专利分类号:
G01R 27/26 (2006.01) *G02F 1/13* (2006.01)
- (21) 国际申请号: PCT/CN2015/070692
- (22) 国际申请日: 2015 年 1 月 14 日 (14.01.2015)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:
201410855647.2 2014 年 12 月 31 日 (31.12.2014) CN
- (71) 申请人: 深圳市华星光电技术有限公司 (SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.) [CN/CN]; 中国广东省深圳市光明新区塘明大道 9-2 号, Guangdong 518132 (CN)。
- (72) 发明人: 阙祥灯 (QUE, Xiangdeng); 中国广东省深圳市光明新区塘明大道 9-2 号, Guangdong 518132 (CN)。

- (74) 代理人: 北京聿宏知识产权代理有限公司 (YUHONG INTELLECTUAL PROPERTY LAW FIRM); 中国北京市西城区宣武门外大街 6 号庄胜广场第一座西翼 713 室吴大建/刘华联, Beijing 100052 (CN)。
- (81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。
- (84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO,

[见续页]

(54) Title: STRUCTURE AND METHOD FOR ACQUIRING CAPACITANCE VALUE IN ARRAY SUBSTRATE

(54) 发明名称: 一种用于获取阵列基板中电容容值的结构体及方法

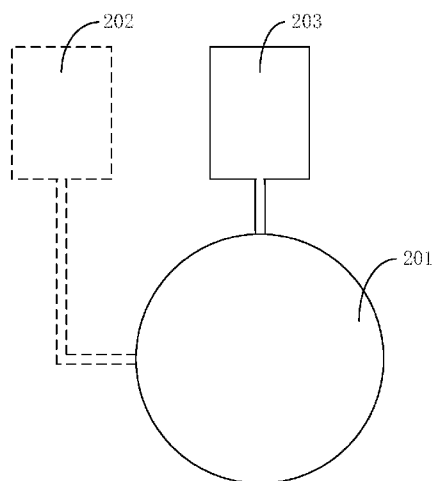


图 2 / FIG. 2

(57) Abstract: A structure and method for acquiring a capacitance value in an array substrate, the structure comprising: a first conductive region (204) in the same layer as a first conductive layer in an array substrate; a second conductive region (205) in the same layer as a second conductive layer in the array substrate, the second conductive region (205) and the first conductive region (204) partially or completely overlapping; a first measurement region (202) connected to the first conductive region (204); and a second measurement region (203) connected to the second conductive region (205). The structure enables detection of a capacitance value corresponding to a subpixel, thus providing a data basis for estimating performance and quality of a subpixel and a liquid crystal panel.

(57) 摘要: 一种用于获取阵列基板中电容容值的结构体及方法, 该结构体包括: 与阵列基板中的第一导电层同层的第一导电区域 (204); 与阵列基板中的第二导电层同层的第二导电区域 (205), 第二导电区域 (205) 与第一导电区域 (204) 部分或全部重叠; 与第一导电区域 (204) 连接的第一测量区域 (202); 以及与第二导电区域 (205) 连接的第二测量区域 (203)。该结构体能够实现对于子像素中相应电容容值的检测, 为判断子像素以及液晶面板的性能和质量提供了数据依据。



RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, **本国际公布:**

CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, — 包括国际检索报告(条约第 21 条(3))。
TG)。

根据细则 4.17 的声明:

— 发明人资格(细则 4.17(iv))

一种用于获取阵列基板中电容容值的结构体及方法

相关技术的交叉引用

本申请要求享有 2014 年 12 月 31 日提交的名称为：“一种用于获取阵列基板中电容容值的结构体及方法”的中国专利申请 CN201410855647.2 的优先权，其全部内容通过引用并入本文中。

技术领域

本发明涉及液晶显示技术领域，具体地说，涉及一种用于获取阵列基板中电容容值的结构体及方法。

背景技术

液晶显示器具有高画质、体积小、重量轻、低电压驱动以及低功率消耗等优点，其现已被广泛地应用于各种 IT 数码产品中，例如汽车导向系统、工程工作站、监视器、便携式信息终端、电子终端、电子书刊、笔记本计算机以及大型直视式平板电视机等。

传统的液晶面板主要包括薄膜晶体管阵列基板、彩色滤光基板以及设置在这两个基板之间的液晶层。然而，这种显示面板的解析度较差、像素的开口率较低，并且彩色滤波基板与薄膜晶体管阵列基板接合时容易出现对位误差。

近年来，液晶面板技术中又发展出了将彩色滤光层直接整合于薄膜晶体管阵列基板中（Color Filter on Array，简称为 COA）的技术。如图 1 所示，基于 COA 技术生产的液晶面板主要包括 COA 基板 101、对向基板 102 以及配置在这两个基板之间的液晶层 103。其中，COA 基板 101 包括玻璃基板 104、氮化硅绝缘层 105、电容电极 106、第一氮化硅钝化保护层 107、彩色滤光层 108、第二氮化硅钝化保护层 109 和像素电极 110。由于 COA 基板 101 中已经整合有彩色滤光层 108，因此对向基板 102 此时不含有彩色滤光层。在 COA 技术中，彩色滤光层是直接形成于薄膜晶体管阵列基板上的，所以彩色滤波基板与薄膜晶体管阵列基板接合时也就不会产生对位误差。此外，COA 技术还能够使得得到的液晶面板具有更好的解析度和更高的像素开口率。

在 COA 基板中，彩色滤光层 108 设置在电容电极 106 与像素电极 110 之间。然而，由于彩色滤光层的介电常数是会随温度变化的，因此这也会导致由存储电极和像素电极

构成的存储电容的电容值不稳定，使得 COA 基板生产过程中存储电容的电容值无法满足要求。所以需要一种能够在生产过程中获取阵列基板中存储电容的电容值的装置。

发明内容

本发明所要解决的技术问题是为了解决如何获取阵列基板中电容容值的问题。为了解决上述问题，本发明的实施例首先提供了一种用于获取阵列基板中电容容值的结构体，所述结构体包括：

第一导电区域，其设置为与阵列基板中的第一导电层同层；

第二导电区域，其设置为与所述阵列基板中的第二导电层同层，所述第二导电区域与第一导电区域部分或全部重叠；

第一测量区域，其与所述第一导电区域连接；

第二测量区域，其与所述第二导电区域连接。

根据本发明的一个实施例，所述第一导电层为电容电极所处的导电层，所述第二导电层为像素电极所处的导电层。

根据本发明的一个实施例，所述第一导电层为公共电极所处的导电层，所述第二导电层为像素电极所处的导电层。

根据本发明的一个实施例，所述第一测量区域与第一导电区域同层，且/或，第二测量区域与第二导电区域同层。

根据本发明的一个实施例，所述第二测量区域与第一测量区域同层，其通过过孔与所述第二导电区域连接。

根据本发明的一个实施例，所述第一导电区域和/或第二导电区域的形状为圆形。

根据本发明的一个实施例，所述第一测量区域与第二测量区域的几何尺寸相同。

根据本发明的一个实施例，所述第一测量区域与第二测量区域间隔预设距离。

根据本发明的一个实施例，所述第一导电区域与第一测量区域之间存在第一匹配网络；且/或，

所述第二导电区域与第二测量区域之间存在第二匹配网络。

本发明还提供了一种用于获取阵列基板中电容容值的方法，所述方法包括：

在阵列基板上形成如上任一项所述的结构体；

通过所述结构体中第一测量区域和第二测量区域，测量得到所述结构体中第一导电区域与第二导电区域所形成的电容的容值；

根据所得到的容值和所述第一导电区域与第二导电区域的重叠面积，以及阵列基板

中子像素的像素电极与公共电极或电容电极的重叠面积,计算得到所述子像素的像素电极与公共电极或电容电极所形成的电容的容值。

本发明所提供的结构体与阵列基板中子像素的相应部位(例如,子像素的像素电极与公共电极所形成的结构体,或是子像素的像素电极与电容电极所形成的结构体等)的结构相同。所以测量得到该结构体所形成的电容的容值后,根据该结构体所形成的电容的极板面积(即第一导电区域与第二导电区域的重叠面积)和子像素中相应电容的极板面积(即该子像素的像素电极与公共电极的重叠面积,或是该像素的像素电极与电容电极的重叠面积),即可得到该子像素中相应电容的容值,从而实现在对子像素中相应电容容值的检测,这为判断该子像素以及液晶面板的质量提供了数据依据。

本发明所提供的获取阵列基板中电容容值的方法在液晶面板的预设位置处形成与阵列基板中子像素结构相同的结构体,通过测量该结构体所形成的电容的容值来确定出子像素中相应部位的电容容值。该方法实现了对液晶面板中子像素中电容容值的测量,为根据电容容值来对液晶面板的性能参数以及生产状态进行分析提供了数据依据。

本发明的其它特征和优点将在随后的说明书中阐述,并且,部分地从说明书中变得显而易见,或者通过实施本发明而了解。本发明的目的和其他优点可通过在说明书、权利要求书以及附图中所特别指出的结构来实现和获得。

附图说明

为了更清楚地说明本发明实施例或现有技术中的技术方案,下面将对实施例或现有技术描述中所需要的附图做简单的介绍:

图1是基于COA技术的液晶面板的结构示意图;

图2是根据本发明一个实施例的结构体的示意图;

图3是图2所示的结构体中第一区域的结构示意图;

图4是根据本发明一个实施例的获取阵列基板中电容容值的方法的流程图。

具体实施方式

以下将结合附图及实施例来详细说明本发明的实施方式,借此对本发明如何应用技术手段来解决技术问题,并达成技术效果的实现过程能充分理解并据以实施。需要说明的是,只要不构成冲突,本发明中的各个实施例以及各实施例中的各个特征可以相互结合,所形成的技术方案均在本发明的保护范围之内。

同时,在以下说明中,出于解释的目的而阐述了许多具体细节,以提供对本发明实

施例的彻底理解。然而，对本领域的技术人员来说显而易见的是，本发明可以不用这里的具体细节或者所描述的特定方式来实施。

图 2 示出了本实施例所提供的用于获取阵列基板中电容容值的结构体的示意图。

从图 2 中可以看出，本实施例所提供的结构体包括区域 201、第一测量区域 202 和第二测量区域 203。结合图 3 所示出的区域 201 的结构示意图可以看出，本实施例所提供的结构体的区域 201 包括第一导电区域 204 和第二导电区域 205。本实施例所提供的结构体的结构与阵列基板中子像素的相应部位的结构相同，即结构体的第一导电区域 204 与阵列基板中的电容电极同层，第二导电区域 205 与阵列基板中的像素电极同层，第一导电区域 204 与第二导电区域 205 之间存在有彩色滤光层 206 以及钝化保护层。

本实施例中，第一导电区域 204 与第二导电区域 205 全部重叠，即二者分布在阵列基板不同材料层的相同位置处，并且二者具有相同的几何尺寸。所以，由第一导电区域 204 与第二导电区域 205 所形成的电容的极板面积也就是第一导电区域 204 或第二导电区域 205 的面积。

需要说明的是，在本发明的其他实施例中，第一导电区域 204 与第二导电区域 205 也可以部分重叠。此时，由第一导电区域 204 与第二导电区域 205 所形成的电容的极板面积也就是第一导电区域 204 与第二导电区域 205 的重叠部分的面积。

本实施例中，第一导电区域 204 与第二导电区域 205 的形状均为直径为 500 微米的圆形。第一导电区域 204 和第二导电区域 205 的这种圆形结构能够有效减小其在加工过程中所产生的形变，从而提高导电区域的稳定性。然而，在本发明的其他实施例中，第一导电区域 204 和/或第二导电区域 205 的尺寸也可以为其他合理值，例如 300 微米到 700 微米之间的其他值等，同时，这两个区域的形状也可以为其他合理形状，例如矩形、多边形等，本发明不限于此。

第一测量区域 202 与第一导电区域 204 连接，第二测量区域 203 与第二导电区域 205 连接。所以，通过对第一次测量区域 202 与第二测量区域 203 施加探针，即可实现对第一导电区域 204 与第二导电区域 205 所形成的电容容值的测量。

由于现有的生产工艺中像素电极所处的金属层厚度较薄，因此如果结构体的第二测量区域设置为与像素电极同层，那么测量电容时探针很容易将第二测量区域刺破，从而造成结构体的损坏。电容电极所处的金属层厚度较厚，不易被探针刺破。所以本实施例中，第一测量区域 202 和第二测量区域 203 均设置为与电容电极同层，第二测量区域 203 通过过孔与第二导电区域 205 连接。这样能够保证对第一测量区域 202 和第二测量区域 203 施加探针时，这两个测量区域不会被刺破，从而保障了电容电极的可靠性以及测量结果的

准确性。

为了方便施加探针，本实施例所提供的结构体的第一测量区域 202 和第二测量区域 203 的上方（即靠近液晶层的方向）均无其他非导电介质覆盖。

当然，在本发明的其他实施例中，如果像素电极所处的金属层的物理强度能够使得该金属层不易被探针刺破，那么第一测量区域和/或第二测量区域也可以设置为与像素电极同层，本发明不限于此。

本实施例中，第一测量区域 202 和第二测量区域 204 的形状均为长 300 微米、宽 200 微米的矩形，同时二者之间的间隔距离为 200 微米。第一测量区域 202 与第二测量区域 203 的形状和尺寸相同，这样能够减小因二者几何尺寸不同而对测量结果造成的影响。第一测量区域 202 与第二测量区域 203 间隔一定距离能够减小二者之间的相互干扰，从而保证电容测量结果的准确性。

本实施例中，第一测量区域 202 与第一导电区域 204 之间，以及第二测量区域 203 与第二导电区域 205 之间，均配置有相应的匹配网络。匹配网络能够减小金属走线对测量结果造成的影响，从而进一步地提高测量结果的准确性。

当然，在本发明的其他实施例中，第一导电区域还可以设置为与阵列基板的公共电极同层，这样有第一导电区域与第二导电区域之间则为液晶层，本发明不限于此。

从上述描述中可以看出，本实施例所提供的结构体与阵列基板中子像素的相应部位（例如，子像素的像素电极与公共电极所形成的结构，或是子像素的像素电极与电容电极所形成的结构等）的结构相同。所以测量得到该结构体所形成的电容的容值后，根据该结构体所形成的电容的极板面积（即第一导电区域与第二导电区域的重叠面积）和子像素中相应电容的极板面积（即该子像素的像素电极与公共电极的重叠面积，或是该像素的像素电极与电容电极的重叠面积），即可得到该子像素中相应电容的容值，从而实现在对子像素中相应电容容值的检测，这为判断该子像素以及液晶面板的质量提供了数据依据。

本发明还提供了一种利用上述结构体来获取阵列基板中电容容值的方法。本实施例中，通过该方法能够获取到阵列基板中由像素电极和电容电极所构成的存储电容的容值，图 4 示出了该方法的流程图。

如图 4 所示，本实施例所提供的方法首先在步骤 S401 中在阵列基板中形成一结构体。其中，该结构体的第一导电区域与阵列基板中的电容电极同层，第二导电区域与阵列基板中的像素电极同层，第一测量区域和第二测量区域均与第一导电区域同层。由于像素电极所处的金属层厚度较薄，因此如果结构体的第二测量区域设为与像素电极同层，那么测量电容时探针很容易将第二测量区域刺破，从而造成结构体的损坏。而电容电极所处的

金属层厚度较厚,不易被探针刺破。所以本实施例中,第一测量区域和第二测量区域均与电容电极同层,并裸露在外。

当然,在本发明的其他实施例中,如果像素电极所处的金属层的物理强度能够使得该金属层不易被探针刺破,那么第一测量区域和/或第二测量区域也可以设置为与像素电极同层,本发明不限于此。

在步骤 S402 中,通过步骤 S401 中所形成的结构体的第一测量区域和第二测量区域,测量得到该结构体中第一导电区域与第二导电区域所形成的电容的容值 C_1 。

电容的容值 C 通常可以通过如下表达式计算得到:

$$C = \varepsilon \cdot \varepsilon_0 \cdot \frac{S}{d} \quad (1)$$

其中, ε 和 ε_0 分别表示相对介电常数和真空介电常数, S 表示电容的两个极板的重叠面积, d 表示电容的两个极板之间的距离。

本实施例中,由于步骤 S401 中所形成的结构体与阵列基板中子像素的相应部位的结构相同,所以该结构体与子像素的相对介电常数 ε 、真空介电常数 ε_0 和距离 d 相等。因此,当确定出结构体中第一导电区域与第二导电区域所形成的电容的容值 C_1 后,根据结构体中第一导电区域与第二导电区域的重叠面积 S_1 ,以及子像素的像素电极与电容电极的重叠面积 S_2 ,根据如下表达式便可以计算得到子像素的像素电极与电容电极所形成的电容的容值 C_x :

$$C_x = \frac{C_1 \cdot S_2}{S_1} \quad (2)$$

因此本实施例所提供的方法在步骤 S403 中获取结构体中第一导电区域与第二导电区域的重叠面积 S_1 ,并在步骤 S404 中获取子像素的像素电极与电容电极的重叠面积 S_2 。

最后在步骤 S405 中,根据步骤 S402 中所获取的容值 C_1 、步骤 S403 中所获取的重叠面积 S_1 ,以及在步骤 S404 中所获取的重叠面积 S_2 ,利用表达式 (2) 即可计算得到子像素的像素电极与电容电极所形成的电容的容值 C_x 。

子像素的像素电极与电容电极之间存在彩色滤光层,对于某一型号的阵列基板来说,子像素的像素电极与电容电极所构成的电容的容值仅与彩色滤光层的介电常数有关。而彩色滤光层的介电常数与温度存在函数关系,所以通过测量子像素的像素电极与电容电极所构成的电容的容值,还能够实现对生产温度的监控。

当然,在本发明的其他实施例中,在步骤 S401 中所形成结构体中的第一导电区域也可以设置为与子像素的公共电极同层,此时最终测量得到的电容容值则是该子像素的像素电极与公共电极所构成的电容的容值,本发明不限于此。

从上述描述中可以看出,本实施例所提供的获取阵列基板中电容容值的方法在液晶

面板的预设位置处形成与阵列基板中子像素结构相同的结构体,通过测量该结构体所形成的电容容值来确定出子像素中相应部位的电容容值。该方法实现了对液晶面板中子像素中电容容值的测量,从而为根据电容容值来对液晶面板的性能参数以及生产状态进行分析提供了数据基础。

应该理解的是,本发明所公开的实施例不限于这里所公开的特定结构、处理步骤或材料,而应当延伸到相关领域的普通技术人员所理解的这些特征的等同替代。还应当理解的是,在此使用的术语仅用于描述特定实施例的目的,而并不意味着限制。

说明书中提到的“一个实施例”或“实施例”意指结合实施例描述的特定特征、结构或特性包括在本发明的至少一个实施例中。因此,说明书通篇各个地方出现的短语“一个实施例”或“实施例”并不一定均指同一个实施例。

为了方便,在此使用的多个项目、结构单元、组成单元和/或材料可出现在共同列表中。然而,这些列表应解释为该列表中的每个元素分别识别为单独唯一的成员。因此,在没有反面说明的情况下,该列表中没有一个成员可仅基于它们出现在共同列表中便被解释为相同列表的任何其它成员的实际等同物。另外,在此还可以连同针对各元件的替代一起来参照本发明的各种实施例和示例。应当理解的是,这些实施例、示例和替代并不解释为彼此的等同物,而被认为是本发明的单独自主的代表。

此外,所描述的特征、结构或特性可以任何其他合适的方式结合到一个或多个实施例中。在上面的描述中,提供一些具体的细节,例如长度、宽度、形状等,以提供对本发明的实施例的全面理解。然而,相关领域的技术人员将明白,本发明无需上述一个或多个具体的细节便可实现,或者也可采用其它方法、组件、材料等实现。在其它示例中,周知的结构、材料或操作并未详细示出或描述以免模糊本发明的各个方面。

虽然上述示例用于说明本发明在一个或多个应用中的原理,但对于本领域的技术人员来说,在不背离本发明的原理和思想的情况下,明显可以在形式上、用法及实施的细节上作各种修改而不用付出创造性劳动。因此,本发明由所附的权利要求书来限定。

权利要求书

- 1、一种用于获取阵列基板中电容容值的结构体，其中，所述结构体包括：
第一导电区域，其设置为与阵列基板中的第一导电层同层；
第二导电区域，其设置为与所述阵列基板中的第二导电层同层，所述第二导电区域与第一导电区域部分或全部重叠；
第一测量区域，其与所述第一导电区域连接；
第二测量区域，其与所述第二导电区域连接。
- 2、如权利要求1所述的结构体，其中，所述第一导电层为电容电极所处的导电层，所述第二导电层为像素电极所处的导电层。
- 3、如权利要求1所述的结构体，其中，所述第一导电层为公共电极所处的导电层，所述第二导电层为像素电极所处的导电层。
- 4、如权利要求1所述的结构体，其中，所述第一测量区域与第一导电区域同层，且/或，第二测量区域与第二导电区域同层。
- 5、如权利要求1所述的结构体，其中，所述第二测量区域与第一测量区域同层，其通过过孔与所述第二导电区域连接。
- 6、如权利要求1所述的结构体，其中，所述第一导电区域和/或第二导电区域的形状为圆形。
- 7、如权利要求1所述的结构体，其中，所述第一测量区域与第二测量区域的几何尺寸相同。
- 8、如权利要求1所述的结构体，其中，所述第一测量区域与第二测量区域间隔预设距离。
- 9、如权利要求1所述的结构体，其中，
所述第一导电区域与第一测量区域之间存在第一匹配网络；且/或，
所述第二导电区域与第二测量区域之间存在第二匹配网络。
- 10、一种用于获取阵列基板中电容容值的方法，其中，所述方法包括：
在阵列基板上形成结构体，所述结构体包括：
第一导电区域，其设置为与阵列基板中的第一导电层同层；
第二导电区域，其设置为与所述阵列基板中的第二导电层同层，所述第二导电区域与第一导电区域部分或全部重叠；
第一测量区域，其与所述第一导电区域连接；
第二测量区域，其与所述第二导电区域连接；

通过所述结构体中第一测量区域和第二测量区域,测量得到所述结构体中第一导电区域与第二导电区域所形成的电容的容值;

根据所得到的容值和所述第一导电区域与第二导电区域的重叠面积,以及阵列基板中子像素的像素电极与公共电极或电容电极的重叠面积,计算得到所述子像素的像素电极与公共电极或电容电极所形成的电容的容值。

11、如权利要求 10 所述的方法,其中,所述第一导电层为电容电极所处的导电层,所述第二导电层为像素电极所处的导电层。

12、如权利要求 10 所述的方法,其中,所述第一导电层为公共电极所处的导电层,所述第二导电层为像素电极所处的导电层。

13、如权利要求 10 所述的方法,其中,所述第一测量区域与第一导电区域同层,且/或,第二测量区域与第二导电区域同层。

14、如权利要求 10 所述的方法,其中,所述第二测量区域与第一测量区域同层,其通过过孔与所述第二导电区域连接。

15、如权利要求 10 所述的方法,其中,所述第一导电区域和/或第二导电区域的形状为圆形。

16、如权利要求 10 所述的方法,其中,所述第一测量区域与第二测量区域的几何尺寸相同。

17、如权利要求 10 所述的方法,其中,所述第一测量区域与第二测量区域间隔预设距离。

18、如权利要求 10 所述的方法,其中,

所述第一导电区域与第一测量区域之间存在第一匹配网络;且/或,

所述第二导电区域与第二测量区域之间存在第二匹配网络。

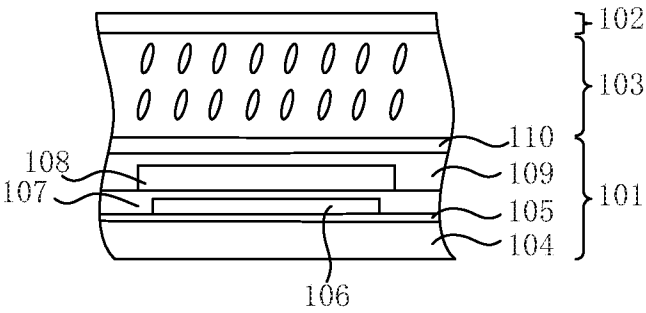


图 1

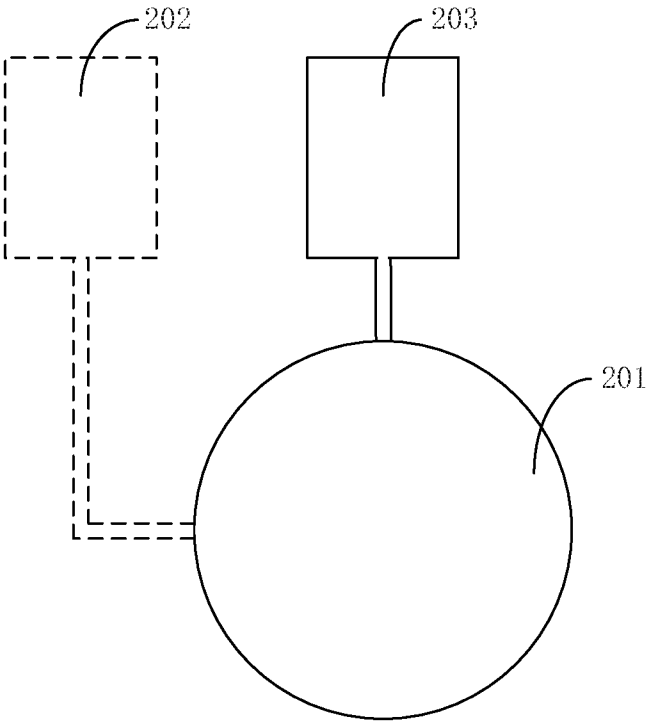


图 2

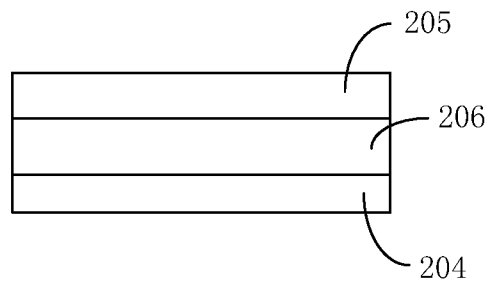


图 3

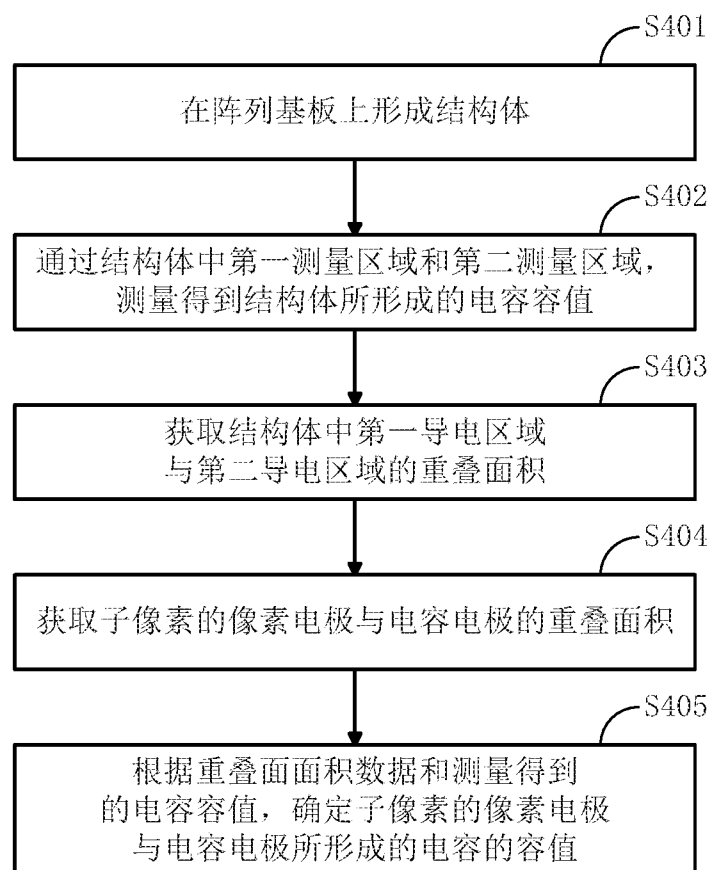


图 4

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2015/070692

A. CLASSIFICATION OF SUBJECT MATTER

G01R 27/26 (2006.01) i; G02F 1/13 (2006.01) i
According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G01R G02F

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNPAT, CNKI, WPI, EPODOC; array substrate, capacitor, capacitance, conduct, measure, test, area, overlap

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	CN 1743858 A (AGILENT TECHNOLOGIES INC.) 08 March 2006 (08.03.2006) description, page 7, lines 7-16, and figure 6	1-18
A	CN 101140744 A (NEC ELECTRONICS CORP.) 12 March 2008 (12.03.2008) the whole document	1-18
A	US 2006279321 A1 (RUPPENDER, UWE et al.) 14 December 2006 (14.12.2006) the whole document	1-18
A	US 2004100287 A1 (IBM CORP.) 27 May 2004 (27.05.2004) the whole document	1-18
A	CN 1773442 A (SHARP KK) 17 May 2006 (17.05.2006) the whole document	1-18
A	JP 2001051620 A (ASIA ELECTRONICS INC.) 23 February 2001 (23.02.2001) the whole document	1-18

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 09 September 2015	Date of mailing of the international search report 21 September 2015
Name and mailing address of the ISA State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No. (86-10) 62019451	Authorized officer HU, Jinyun Telephone No. (86-10) 62413536

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2015/070692

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 1743858 A	08 March 2006	US 7029934 B2	18 April 2006
		US 2006046324 A1	02 March 2006
		JP 2006073712 A	16 March 2006
CN 101140744 A	12 March 2008	KR 20060050879 A	19 May 2006
		JP 2008065058 A	21 March 2008
		US 2008062341 A1	13 March 2008
US 2006279321 A1	14 December 2006	JP 4775850 B2	21 September 2011
		CN 101140744 B	30 November 2011
		JP 2006526164 A	16 November 2006
US 2004100287 A1	27 May 2004	EP 1614091 A1	11 January 2006
		DE 10316901 A1	28 October 2004
		CA 2521737 A1	21 October 2004
CN 1773442 A	17 May 2006	WO 2004090852 A1	21 October 2004
		JP 2004093644 A	25 March 2004
		JP 3698365 B2	21 September 2005
JP 2001051620 A	23 February 2001	US 6815976 B2	09 November 2004
		KR 100740394 B1	16 July 2007
		CN 100381996 C	16 April 2008
JP 2006184273 A	13 July 2006	JP 4628250 B2	09 February 2011
		GB 2419950 A	10 May 2006
		US 2006114247 A1	01 June 2006
JP 20060052547 A	19 May 2006	US 2006114247 A1	01 June 2006
		KR 20060052547 A	19 May 2006
		JP 3309083 B2	29 July 2002

国际检索报告

国际申请号

PCT/CN2015/070692

A. 主题的分类

G01R 27/26(2006.01)i; G02F 1/13(2006.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

G01R G02F

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

CNPAT, CNKI, WPI, EPODOC: 阵列基板, 电容, 容值, 导电, 测量, 区域, 重叠, array substrate, capacitor, capacitance, conduct, measure, test, area, overlap

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
A	CN 1743858 A (安捷伦科技公司) 2006年 3月 8日 (2006 - 03 - 08) 说明书第7页第16行, 附图6	1-18
A	CN 101140744 A (恩益禧电子股份有限公司) 2008年 3月 12日 (2008 - 03 - 12) 全文	1-18
A	US 2006279321 A1 (RUPPENDER, UWE等) 2006年 12月 14日 (2006 - 12 - 14) 全文	1-18
A	US 2004100287 A1 (IBM CORP.) 2004年 5月 27日 (2004 - 05 - 27) 全文	1-18
A	CN 1773442 A (夏普株式会社) 2006年 5月 17日 (2006 - 05 - 17) 全文	1-18
A	JP 2001051620 A (ASIA ELECTRONICS INC.) 2001年 2月 23日 (2001 - 02 - 23) 全文	1-18

☐ 其余文件在C栏的续页中列出。☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

2015年 9月 9日

国际检索报告邮寄日期

2015年 9月 21日

ISA/CN的名称和邮寄地址

中华人民共和国国家知识产权局(ISA/CN)
北京市海淀区蓟门桥西土城路6号
100088 中国

传真号 (86-10)62019451

授权官员

胡金云

电话号码 (86-10)62413536

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2015/070692

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	1743858	A	2006年 3月 8日	US	7029934	B2	2006年 4月 18日
				US	2006046324	A1	2006年 3月 2日
				JP	2006073712	A	2006年 3月 16日
				KR	20060050879	A	2006年 5月 19日
CN	101140744	A	2008年 3月 12日	JP	2008065058	A	2008年 3月 21日
				US	2008062341	A1	2008年 3月 13日
				JP	4775850	B2	2011年 9月 21日
				CN	101140744	B	2011年 11月 30日
US	2006279321	A1	2006年 12月 14日	JP	2006526164	A	2006年 11月 16日
				EP	1614091	A1	2006年 1月 11日
				DE	10316901	A1	2004年 10月 28日
				CA	2521737	A1	2004年 10月 21日
				WO	2004090852	A1	2004年 10月 21日
US	2004100287	A1	2004年 5月 27日	JP	2004093644	A	2004年 3月 25日
				JP	3698365	B2	2005年 9月 21日
				US	6815976	B2	2004年 11月 9日
CN	1773442	A	2006年 5月 17日	KR	100740394	B1	2007年 7月 16日
				CN	100381996	C	2008年 4月 16日
				JP	4628250	B2	2011年 2月 9日
				GB	2419950	A	2006年 5月 10日
				JP	2006184273	A	2006年 7月 13日
				US	2006114247	A1	2006年 6月 1日
				KR	20060052547	A	2006年 5月 19日
JP	2001051620	A	2001年 2月 23日	JP	3309083	B2	2002年 7月 29日

表 PCT/ISA/210 (同族专利附件) (2009年7月)