

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2015 年 3 月 19 日 (19.03.2015)



(10) 国际公布号
WO 2015/035684 A1

- (51) 国际专利分类号:
H01L 29/786 (2006.01) H01L 21/336 (2006.01)
H01L 27/12 (2006.01)
- (21) 国际申请号: PCT/CN2013/085838
- (22) 国际申请日: 2013 年 10 月 24 日 (24.10.2013)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:
201310411131.4 2013 年 9 月 10 日 (10.09.2013) CN
- (71) 申请人: 深圳市华星光电技术有限公司 (SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.) [CN/CN]; 中国广东省深圳市光明新区塘明大道 9-2 号, Guangdong 518132 (CN)。
- (72) 发明人: 杜鹏 (DU, Peng); 中国广东省深圳市光明新区塘明大道 9-2 号, Guangdong 518132 (CN)。 陈政鸿 (CHEN, Cheng-hung); 中国广东省深圳市光明新区塘明大道 9-2 号, Guangdong 518132 (CN)。
- (74) 代理人: 深圳市威世博知识产权代理事务所 (普通合伙) (CHINA WISPRO INTELLECTUAL PROPERTY LLP.); 中国广东省深圳市南山区高新

区粤兴三道 8 号中国地质大学产学研基地中地大楼 A806, Guangdong 518057 (CN)。

- (81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。

- (84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告 (条约第 21 条(3))。

(54) Title: THIN FILM TRANSISTOR, ARRAY SUBSTRATE AND DISPLAY PANEL

(54) 发明名称: 一种薄膜晶体管、阵列基板及显示面板

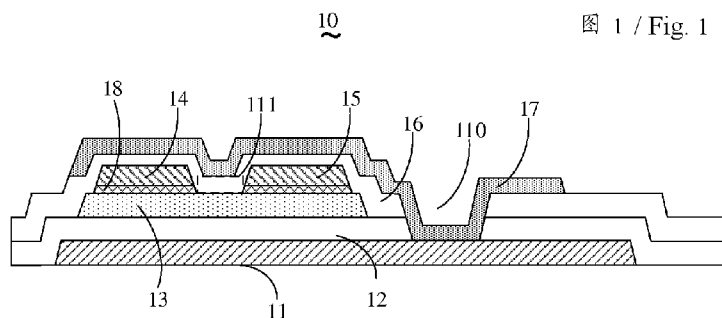


图 1 / Fig. 1

(57) Abstract: A thin film transistor (10), an array substrate and a display panel. The thin film transistor comprises a gate electrode (11, 41), a first insulation layer (12, 42), a second insulation layer (16, 46), a semiconductor layer (13, 43), a source electrode (14, 44), a drain electrode (15, 45) and a conductive layer (17, 47). The first insulation layer is provided on the gate electrode, the second insulation layer is provided above the first insulation layer, the semiconductor layer, source electrode and drain electrode are provided between the first insulation layer and the second insulation layer, and the conductive layer is provided on the second insulation layer and is electrically connected with the gate electrode so that when the thin film transistor is in an open state, an ON-state current formed in a conductive channel of the semiconductor layer is increased, and when the thin film transistor is in a closed state, an OFF-state current in the conductive channel is reduced. In the above-mentioned manner, the ON/OFF ratio can be increased.

(57) 摘要: 一种薄膜晶体管 (10)、阵列基板及显示面板, 薄膜晶体管包括栅极 (11, 41)、第一绝缘层 (12, 42)、第二绝缘层 (16, 46)、半导体层 (13, 43)、源极 (14, 44) 和漏极 (15, 45) 以及导电层 (17, 47), 第一绝缘层设置在栅极上, 第二绝缘层设置在第一绝缘层上方, 半导体层、源极和漏极设置在第一绝缘层和第二绝缘层之间, 导电层设置在第二绝缘层上, 并与栅极相互导通, 使得薄膜晶体管在打开状态时, 增大形成在半导体层的导电沟道中的开态电流, 在关闭状态时, 减小导电沟道的关态电流。通过上述方式, 能够提高开关比。



WO 2015/035684 A1

发明名称：一种薄膜晶体管、阵列基板及显示面板

[1] 【技术领域】

[2] 本发明涉及显示技术领域，特别是涉及一种薄膜晶体管、阵列基板及显示面板。

[3] 【背景技术】

[4] 显示面板中用作开关元件的薄膜晶体管（Thin Film Transistor, TFT）是利用栅极（Gate）电压来控制源极（Source）和漏极（Drain）间电流的一种半导体器件，其中，TFT的结构为：依次层叠设置的栅极、绝缘层、半导体层以及源极和漏极。在TFT导电沟道（Channel）中起导电作用的载流子为电子。

[5] TFT的工作原理为：在Gate加高电压时，半导体层中靠近Gate侧的区域电子聚集，电子浓度升高，从而在Source和Drain之间形成一个导电的前导电沟道。前导电沟道位于Source和Drain的下方，在工作时Source和Drain之间的电流需要穿过半导体层之后才能到达前导电沟道，半导体层本身的电阻比较大。在关态时，半导体层远离Gate侧，即靠近Source/Drain侧会形成电子积累的后导电沟道（Back Channel），产生漏电流，使TFT的关态电流变大，开关比降低（ I_{on}/I_{off} ）。

[6] 【发明内容】

[7] 本发明主要解决的技术问题是提供一种薄膜晶体管、阵列基板及显示面板，能够在开态时，减小导电沟道电阻，增大开关电流，在关态时减小导电沟道中电子的浓度，降低关态电流，从而提高开关比。

[8] 为解决上述技术问题，本发明采用的一个技术方案是：提供一种薄膜晶体管，该薄膜晶体管包括栅极；第一绝缘层，设置在栅极上；第二绝缘层，设置在源极和漏极上；半导体层、源极和漏极，设置在第一绝缘层和第二绝缘层之间；导电层，设置在第二绝缘层上，并与栅极相互导通，使得薄膜晶体管在打开状态时，增大形成在半导体层的导电沟道中的开态电流，在关闭状态时，减小导电沟道中的关态电流。

- [9] 其中，在栅极的上方设置第一开孔，第一开孔穿透第一绝缘层和第二绝缘层，并露出栅极，导电层通过第一开孔与栅极连接。
- [10] 其中，导电层为ITO膜或金属层。
- [11] 其中，半导体层设置在第一绝缘层上，源极和漏极设置在半导体层上，薄膜晶体管还包括欧姆接触层，设置在半导体层和源极和漏极之间，并且在欧姆接触层上设置第二开孔，第二开孔经过源极和漏极之间的空隙并穿透欧姆接触层，并露出半导体层，第二绝缘层通过第二开孔与半导体层连接。
- [12] 其中，源极和漏极设置在第一绝缘层上，半导体层设置在源极和漏极上，薄膜晶体管还包括欧姆接触层，设置在半导体层和源极和漏极之间，并且在欧姆接触层上设置第二开孔，第二开孔穿透欧姆接触层并经过源极和漏极之间的空隙，并露出第一绝缘层，半导体层通过第二开孔与第一绝缘层连接。
- [13] 为解决上述技术问题，本发明采用的另一个技术方案是：提供一种阵列基板，阵列基板包括基板和设置在基板上的薄膜晶体管，该薄膜晶体管包括：栅极，设置在基板的表面上；第一绝缘层，设置在栅极上；第二绝缘层，设置在源极和漏极上；半导体层、源极和漏极，设置在第一绝缘层和第二绝缘层之间；导电层，设置在第二绝缘层上，并与栅极相互导通，使得薄膜晶体管在打开状态时，增大形成在半导体层的导电沟道中的开态电流，在关闭状态时，减小导电沟道中的关态电流。
- [14] 其中，在栅极的上方设置第一开孔，第一开孔穿透第一绝缘层和第二绝缘层，并露出栅极，导电层通过第一开孔与栅极连接。
- [15] 其中，导电层为ITO膜或金属层。
- [16] 其中，半导体层设置在第一绝缘层上，源极和漏极设置在半导体层上，薄膜晶体管还包括欧姆接触层，设置在半导体层和源极和漏极之间，并且在欧姆接触层上设置第二开孔，第二开孔经过源极和漏极之间的空隙并穿透欧姆接触层，并露出半导体层，第二绝缘层通过第二开孔与半导体层连接。
- [17] 其中，源极和漏极设置在第一绝缘层上，半导体层设置在源极和漏极上，薄膜晶体管还包括欧姆接触层，设置在半导体层和源极和漏极之间，并且在欧姆接触层上设置第二开孔，第二开孔穿透欧姆接触层并经过源极和漏极之间的空隙

，并露出第一绝缘层，半导体层通过第二开孔与第一绝缘层连接。

[18] 为解决上述技术问题，本发明采用的又一个技术方案是：提供一种显示面板，该显示面板包括相对设置的阵列基板和彩膜基板，其中，阵列基板包括基板和设置在基板上的薄膜晶体管，该薄膜晶体管包括：栅极，设置在基板的表面上；第一绝缘层，设置在栅极上；第二绝缘层，设置在源极和漏极上；半导体层、源极和漏极，设置在第一绝缘层和第二绝缘层之间；导电层，设置在第二绝缘层上，并与栅极相互导通，使得薄膜晶体管在打开状态时，增大形成在半导体层的导电沟道中的开态电流，在关闭状态时，减小导电沟道中的关态电流。

[19] 其中，在栅极的上方设置第一开孔，第一开孔穿透第一绝缘层和第二绝缘层，并露出栅极，导电层通过第一开孔与栅极连接。

[20] 其中，导电层为ITO膜或金属层。

[21] 其中，半导体层设置在第一绝缘层上，源极和漏极设置在半导体层上，薄膜晶体管还包括欧姆接触层，设置在半导体层和源极和漏极之间，并且在欧姆接触层上设置第二开孔，第二开孔经过源极和漏极之间的空隙并穿透欧姆接触层，并露出半导体层，第二绝缘层通过第二开孔与半导体层连接。

[22] 其中，源极和漏极设置在第一绝缘层上，半导体层设置在源极和漏极上，薄膜晶体管还包括欧姆接触层，设置在半导体层和源极和漏极之间，并且在欧姆接触层上设置第二开孔，第二开孔穿透欧姆接触层并经过源极和漏极之间的空隙，并露出第一绝缘层，半导体层通过第二开孔与第一绝缘层连接。

[23] 本发明的有益效果是：区别于现有技术的情况，本发明的薄膜晶体管包括栅极、第一绝缘层、半导体层、源极和漏极、第二绝缘层以及导电层，其中，第一绝缘层设置在栅极上，第二绝缘层设置在第一绝缘层的上方，半导体层、源极和漏极设置在第一绝缘层和第二绝缘层之间，导电层设置在第二绝缘层上，并与栅极相互导通。通过上述方式，本发明的栅极和导电层能够同时接收到开启信号和关闭信号，在同时接收到开启信号时，栅极和导电层分别在半导体层中形成两个导电沟道，减小了导电沟道阻抗，从而增大了开态电流，在同时接收到关闭信号时，栅极和导电层同时排走导电沟道中的电子，减小了关态电流，即减小漏电流，因此，本发明能够提高开关比。

[24] **【附图说明】**

[25] 图1是本发明一种薄膜晶体管一实施例的结构示意图；

[26] 图2是图1所示的薄膜晶体管在打开状态时的结构示意图；

[27] 图3是图1所示的薄膜晶体管在关闭状态时的结构示意图；

[28] 图4是本发明一种薄膜晶体管另一实施例的结构示意图；

[29] 图5是本发明一种阵列基板一实施例的结构示意图；

[30] 图6是本发明一种显示面板一实施例的结构示意图。

[31] **【具体实施方式】**

[32] 下面结合附图和实施例对本发明进行详细的说明。

[33] 请参阅图1，图1是本发明一种薄膜晶体管一实施例的结构示意图。如图1所示，本发明的薄膜晶体管10包括栅极11、第一绝缘层12、半导体层13、源极14、漏极15、第二绝缘层16以及导电层17。其中，第一绝缘层12设置在栅极11上。第二绝缘层16设置在第一绝缘层12上方。半导体层13、源极14和漏极15设置在第一绝缘层12和第二绝缘层16之间。导电层17设置在第二绝缘层16上，并与栅极11相互导通，使得薄膜晶体管10在打开状态时，增大形成在半导体层13的导电沟道中的开态电流，在关闭状态时，减小半导体层13的导电沟道中的关态电流。

[34] 本实施例中，导电层17与栅极11相互导通的具体实现方式为：在栅极11的上方设置第一开孔110，第一开孔110穿透第一绝缘层12和第二绝缘层16，并露出栅极11，导电层17通过第一开孔110与栅极11连接。其中，导电层17为ITO(Indium Tin Oxide, 掺锡氧化铟)膜或金属层。导电层17还可以为其他导电材料，只要能使栅极11和导电层17的电性相互导通即可，在此不作限制。

[35] 本实施例中，半导体层13设置在第一绝缘层12上，源极14和漏极15设置在半导体层13上，并位于半导体层13的两侧。薄膜晶体管10还包括欧姆接触层18，其设置在半导体层13和源极14和漏极15之间，并且在欧姆接触层18上设置第二开孔111，第二开孔111经过源极14和漏极15之间的空隙并穿透欧姆接触层18，并露出半导体层13，第二绝缘层16通过第二开孔111与半导体层13连接。

[36] 以下将介绍本发明的薄膜晶体管10的工作原理：

- [37] 请参阅图2和图3，图2是薄膜晶体管10在打开状态时的结构示意图；图3是薄膜晶体管10在关闭状态时的结构示意图。首先如图2所示，在薄膜晶体管10的栅极11接收到打开信号例如高电压时，薄膜晶体管10处于打开状态（开态），源极14和漏极15通过半导体层13电连接，其中起导电作用的载流子为电子。本实施例中，因为导电层17和栅极11通过第一开孔110连接，因此，栅极11和导电层17同时接收到打开信号。此时，在半导体层13中靠近栅极11的一侧131和靠近导电层17的一侧132分别形成导电沟道133和134，源极14和漏极15之间的电流通过导电沟道133和134进行传输。
- [38] 再如图3所示，在薄膜晶体管10的栅极11接收到关闭信号例如低电压时，薄膜晶体管10处于关闭状态（关态）。此时，半导体层13使源极14和漏极15电性绝缘。具体而言，导电层17同时接收到该关闭信号，此时，形成在导电沟道133和134中的电子分别被栅极11和导电层17排走，使得源极14和漏极15之间的无电流传输。
- [39] 综上所述，本实施例中的薄膜晶体管10在开态时形成了两个导电沟道133和134，减小了导电沟道的阻抗，从而增大了开态电流，在关态时，形成在导电沟道133和134中的电子分别被栅极11和导电层17排走，减小了关态电流，即减小漏电流，因此，本发明能够提高开关比（开态电流与关态电流的比值）。
- [40] 请参阅图4，图4是本发明一种薄膜晶体管另一实施例的结构示意图。如图4所示，本实施例的薄膜晶体管40依然包括栅极41、第一绝缘层42、半导体层43、源极44、漏极45、第二绝缘层46、导电层47以及欧姆接触层48。其中，本实施例的薄膜晶体管40与图1中的薄膜晶体管10的不同之处在于：本实施例中的源极44和漏极45设置在第一绝缘层42上，半导体层43设置在源极44和漏极45上，欧姆接触层48设置在半导体层43和源极44和漏极45之间，并且在欧姆接触层48上设置第二开孔441，第二开孔441穿透欧姆接触层48并经过源极44和漏极45之间的空隙，并露出第一绝缘层42，半导体层43通过第二开孔441与第一绝缘层42连接。
- [41] 其中，本实施例的薄膜晶体管40与上述实施例的薄膜晶体管10的原理相同，在此不再赘述。

- [42] 请参阅图5，图5是本发明一种阵列基板一实施例的结构示意图。如图5所示，本发明的阵列基板50包括基板51和设置在基板51上的多个薄膜晶体管52，其中薄膜晶体管52为前文实施例的薄膜晶体管10或40，在此不再赘述。
- [43] 请参阅图6，图6是本发明一种显示面板一实施例的结构示意图。如图6所示，本实施例的显示面板60包括相对设置的阵列基板61、彩膜基板62以及设置于阵列基板61和彩膜基板62之间的液晶层63，其中，阵列基板61和彩膜基板62共同控制液晶层63中的液晶631的翻转，以控制穿过液晶层63中的光线，从而得到所需的画面。本实施例中，阵列基板61为前文实施例的阵列基板50，在此不再赘述。
- [44] 综上所述，本实施例在第二绝缘层上设置了一层导电层，使得薄膜晶体管在开态时形成两个导电沟道，减小了导电沟道的阻抗，从而增大了开态电流，在关态时，形成在两个导电沟道中的电子分别被栅极和导电层排走，减小了关态电流，即减小漏电流，因此，本发明能够提高开关比。
- [45] 以上所述仅为本发明的实施方式，并非因此限制本发明的专利范围，凡是利用本发明说明书及附图内容所作的等效结构或等效流程变换，或直接或间接运用在其他相关的技术领域，均同理包括在本发明的专利保护范围内。

权利要求书

- [权利要求 1] 一种薄膜晶体管，其中，所述薄膜晶体管包括：
栅极；
第一绝缘层，设置在所述栅极上；
第二绝缘层，设置在所述第一绝缘层上方；
半导体层、源极和漏极，设置在所述第一绝缘层和所述第二绝缘层之间；
导电层，设置在所述第二绝缘层上，并与所述栅极相互导通，使得所述薄膜晶体管在打开状态时，增大形成在所述半导体层的导电沟道中的开态电流，在关闭状态时，减小所述导电沟道中的关态电流。
- [权利要求 2] 根据权利要求1所述的薄膜晶体管，其中，在所述栅极的上方设置第一开孔，所述第一开孔穿透所述第一绝缘层和所述第二绝缘层，并露出所述栅极，所述导电层通过所述第一开孔与所述栅极连接。
- [权利要求 3] 根据权利要求1所述的薄膜晶体管，其中，所述导电层为ITO膜或金属层。
- [权利要求 4] 根据权利要求1所述的薄膜晶体管，其中，所述半导体层设置在所述第一绝缘层上，所述源极和漏极设置在所述半导体层上，所述薄膜晶体管还包括欧姆接触层，设置在所述半导体层和所述源极和漏极之间，并且在所述欧姆接触层上设置第二开孔，所述第二开孔经过所述源极和漏极之间的空隙并穿透所述欧姆接触层，并露出所述半导体层，所述第二绝缘层通过所述第二开孔与所述半导体层连接。
- [权利要求 5] 根据权利要求1所述的薄膜晶体管，其中，所述源极和漏极设置在所述第一绝缘层上，所述半导体层设置在所述源极和漏极上，所述薄膜晶体管还包括欧姆接触层，设置在所述半导体层和所述源极和漏极之间，并且在所述欧姆接触层上设置第二开孔，所述第

二开孔穿透所述欧姆接触层并经过所述源极和漏极之间的空隙，并露出所述第一绝缘层，所述半导体层通过所述第二开孔与所述第一绝缘层连接。

- [权利要求 6] 一种阵列基板，所述阵列基板包括基板和设置在所述基板上的薄膜晶体管，其中，所述薄膜晶体管包括：
- 栅极，设置在所述基板的表面上；
- 第一绝缘层，设置在所述栅极上；
- 第二绝缘层，设置在所述源极和漏极上；
- 半导体层、源极和漏极，设置在所述第一绝缘层和所述第二绝缘层之间；
- 导电层，设置在所述第二绝缘层上，并与所述栅极相互导通，使得所述薄膜晶体管在打开状态时，增大形成在所述半导体层的导电沟道中的开态电流，在关闭状态时，减小所述导电沟道中的关态电流。
- [权利要求 7] 根据权利要求6所述的阵列基板，其中，在所述栅极的上方设置第一开孔，所述第一开孔穿透所述第一绝缘层和所述第二绝缘层，并露出所述栅极，所述导电层通过所述第一开孔与所述栅极连接。
- [权利要求 8] 根据权利要求6所述的阵列基板，其中，所述导电层为ITO膜或金属层。
- [权利要求 9] 根据权利要求6所述的阵列基板，其中，所述半导体层设置在所述第一绝缘层上，所述源极和漏极设置在所述半导体层上，所述薄膜晶体管还包括欧姆接触层，设置在所述半导体层和所述源极和漏极之间，并且在所述欧姆接触层上设置第二开孔，所述第二开孔经过所述源极和漏极之间的空隙并穿透所述欧姆接触层，并露出所述半导体层，所述第二绝缘层通过所述第二开孔与所述半导体层连接。
- [权利要求 10] 根据权利要求6所述的阵列基板，其中，所述源极和漏极设置在所

述第一绝缘层上，所述半导体层设置在所述源极和漏极上，所述薄膜晶体管还包括欧姆接触层，设置在所述半导体层和所述源极和漏极之间，并且在所述欧姆接触层上设置第二开孔，所述第二开孔穿透所述欧姆接触层并经过所述源极和漏极之间的空隙，并露出所述第一绝缘层，所述半导体层通过所述第二开孔与所述第一绝缘层连接。

[权利要求 11]

一种显示面板，其中，所述显示面板包括相对设置的阵列基板和彩膜基板，其中，所述阵列基板包括基板和设置在所述基板上的薄膜晶体管，其中，所述薄膜晶体管包括：

栅极，设置在所述基板的表面上；

第一绝缘层，设置在所述栅极上；

第二绝缘层，设置在所述源极和漏极上；

半导体层、源极和漏极，设置在所述第一绝缘层和所述第二绝缘层之间；

导电层，设置在所述第二绝缘层上，并与所述栅极相互导通，使得所述薄膜晶体管在打开状态时，增大形成在所述半导体层的导电沟道中的开态电流，在关闭状态时，减小所述导电沟道中的关态电流。

[权利要求 12]

根据权利要求11所述的显示面板，其中，在所述栅极的上方设置第一开孔，所述第一开孔穿透所述第一绝缘层和所述第二绝缘层，并露出所述栅极，所述导电层通过所述第一开孔与所述栅极连接。

[权利要求 13]

根据权利要求11所述的显示面板，其中，所述导电层为ITO膜或金属层。

[权利要求 14]

根据权利要求11所述的显示面板，其中，所述半导体层设置在所述第一绝缘层上，所述源极和漏极设置在所述半导体层上，所述薄膜晶体管还包括欧姆接触层，设置在所述半导体层和所述源极和漏极之间，并且在所述欧姆接触层上设置第二开孔，所述第二

开孔经过所述源极和漏极之间的空隙并穿透所述欧姆接触层，并露出所述半导体层，所述第二绝缘层通过所述第二开孔与所述半导体层连接。

[权利要求 15]

根据权利要求11所述的显示面板，其中，所述源极和漏极设置在所述第一绝缘层上，所述半导体层设置在所述源极和漏极上，所述薄膜晶体管还包括欧姆接触层，设置在所述半导体层和所述源极和漏极之间，并且在所述欧姆接触层上设置第二开孔，所述第二开孔穿透所述欧姆接触层并经过所述源极和漏极之间的空隙，并露出所述第一绝缘层，所述半导体层通过所述第二开孔与所述第一绝缘层连接。

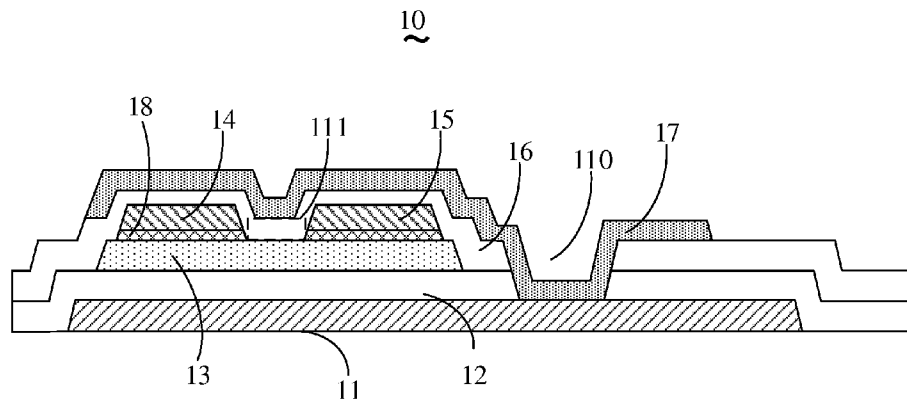


图 1

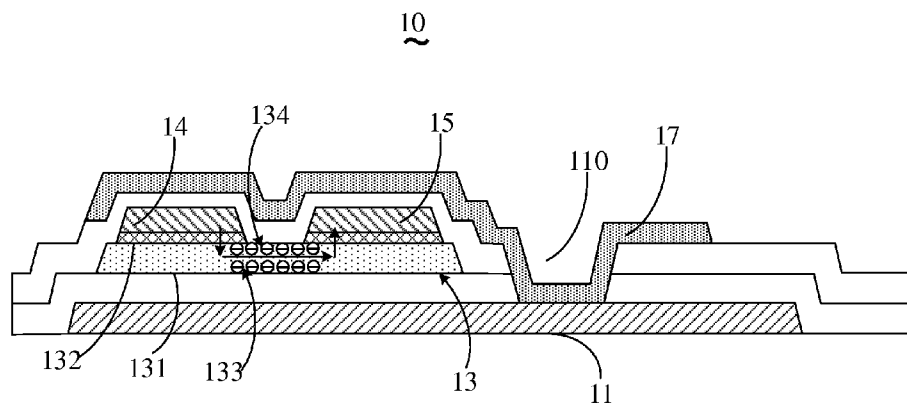


图 2

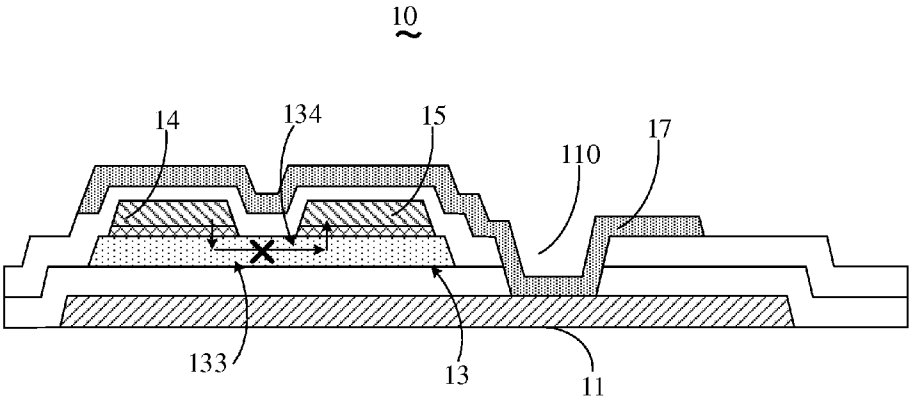


图 3

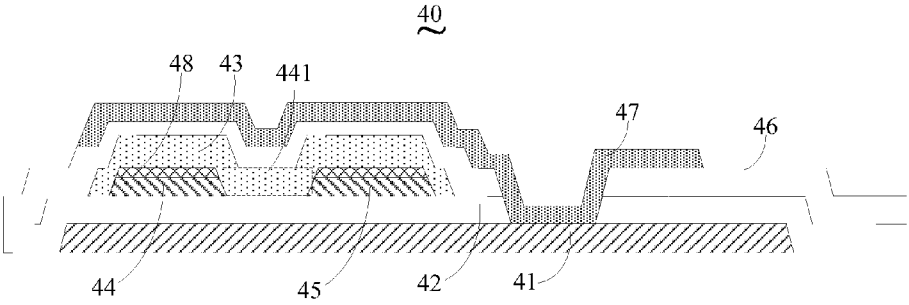


图 4

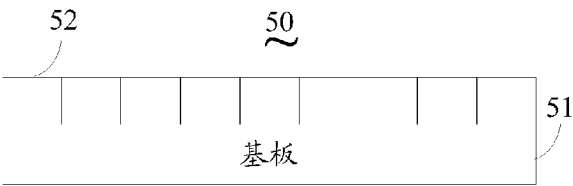


图 5

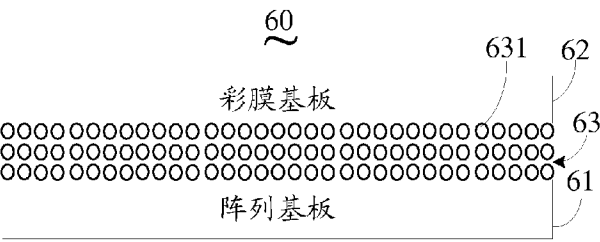


图 6

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2013/085838

A. CLASSIFICATION OF SUBJECT MATTER

H01L 29/786 (2006.01) i; H01L 27/12 (2006.01) n; H01L 21/336 (2006.01) n
According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L 29/-; H01L 21/-

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNABS, CNTXT, DWPI: transistor, TFT, grid, gate, source, drain, conductive layer, insulating layer, close?, open, channel

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	CN 102117837 A (SEMICONDUCTOR ENERGY LAB) 06 July 2011 (06.07.2011) description, paragraph [0052]-[0069], and fig. 1 to fig. 3	1, 3, 6, 8, 11, 13
A	US 2011147755 A1 (SEMICONDUCTOR ENERGY LAB) 23 June 2011 (23.06.2011) the whole document	1-15
A	US 2010224873 A1 (SEMICONDUCTOR ENERGY LAB) 09 September 2010 (09.09.2010) the whole document	1-15

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 06 June 2014	Date of mailing of the international search report 16 June 2014
Name and mailing address of the ISA State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No. (86-10) 62019451	Authorized officer WU, Haitao Telephone No. (86-10) 62089265

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2013/085838

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 102117837 A	06 July 2011	KR 20110076788 A	06 July 2011
		US 2012001178 A1	05 January 2012
		TW 201140847 A	16 November 2011
		JP 2011155256 A	11 August 2011
US 2011147755 A1	23 June 2011	US 8476744 B2	02 July 2013
		TW 201140846 A	16 November 2011
		CN 102136498 A	27 July 2011
		JP 2011151379 A	04 August 2011
US 2010224873 A1	09 September 2010	KR 20110073289 A	29 June 2011
		JP 5264025 B2	14 August 2013
		KR 20100100636 A	15 September 2010
		JP 2013055354 A	21 March 2013
		US 2013299826 A1	14 November 2013
		US 8492757 B2	23 July 2013
		CN 101826558 A	08 September 2010
		CN 103066130 A	24 April 2013
		JP 2010232647 A	14 October 2010
		TW 201108415 A	01 March 2011
		TW 201320349 A	16 May 2013
		KR 20130006582 A	17 January 2013

A. 主题的分类		
H01L 29/786(2006.01)i; H01L 27/12(2006.01)n; H01L 21/336(2006.01)n		
按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类		
B. 检索领域		
检索的最低限度文献(标明分类系统和分类号)		
H01L 29/-; H01L 21/-		
包含在检索领域中的除最低限度文献以外的检索文献		
在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))		
CNABS, CNTXT, DWPI: 晶体管, 栅, 源, 漏, 导电层, 绝缘层, 关闭, 导通, 沟道, TFT, grid, gate, source, drain, conductive layer, insulating layer, close?, open, channel		
C. 相关文件		
类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
X	CN 102117837A (株式会社半导体能源研究所) 2011年 7月 06日 (2011 - 07 - 06) 说明书第52段-第69段, 附图1-3	1、3、6、8、11、13
A	US 2011147755A1 (SEMICONDUCTOR ENERGY LAB) 2011年 6月 23日 (2011 - 06 - 23) 全文	1-15
A	US 2010224873A1 (SEMICONDUCTOR ENERGY LAB) 2010年 9月 09日 (2010 - 09 - 09) 全文	1-15
☐ 其余文件在C栏的续页中列出。 ☒ 见同族专利附件。		
* 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件 “T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件		
国际检索实际完成的日期		国际检索报告邮寄日期
2014年 6月 06日		2014年 6月 16日
ISA/CN的名称和邮寄地址		授权官员
中华人民共和国国家知识产权局(ISA/CN) 北京市海淀区蓟门桥西土城路6号 100088 中国		吴海涛
传真号 (86-10)62019451		电话号码 (86-10)62089265

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2013/085838

检索报告引用的专利文件		公布日 (年/月/日)	同族专利		公布日 (年/月/日)
CN	102117837A	2011年 7月 06日	KR	20110076788A	2011年 7月 06日
			US	2012001178A1	2012年 1月 05日
			TW	201140847A	2011年 11月 16日
			JP	2011155256A	2011年 8月 11日
			US	8476744B2	2013年 7月 02日
US	2011147755A1	2011年 6月 23日	TW	201140846A	2011年 11月 16日
			CN	102136498A	2011年 7月 27日
			JP	2011151379A	2011年 8月 04日
			KR	20110073289A	2011年 6月 29日
US	2010224873A1	2010年 9月 09日	JP	5264025B2	2013年 8月 14日
			KR	20100100636A	2010年 9月 15日
			JP	2013055354A	2013年 3月 21日
			US	2013299826A1	2013年 11月 14日
			US	8492757B2	2013年 7月 23日
			CN	101826558A	2010年 9月 08日
			CN	103066130A	2013年 4月 24日
			JP	2010232647A	2010年 10月 14日
			TW	201108415A	2011年 3月 01日
			TW	201320349A	2013年 5月 16日
			KR	20130006582A	2013年 1月 17日