



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2008년03월24일
 (11) 등록번호 10-0816623
 (24) 등록일자 2008년03월18일

(51) Int. Cl.
H01F 27/24 (2006.01) *H01F 27/28* (2006.01)
 (21) 출원번호 10-2006-0102332
 (22) 출원일자 2006년10월20일
 심사청구일자 2006년10월20일
 (65) 공개번호 10-2007-0043667
 (43) 공개일자 2007년04월25일
 (30) 우선권주장
 11/514,094 2006년08월31일 미국(US)
 60/729,275 2005년10월21일 미국(US)
 (56) 선행기술조사문헌
 KR1020030084355 A
 KR1020050050077 A
 전체 청구항 수 : 총 8 항

(73) 특허권자
이 아이 듀폰 디 네모아 앤드 캄파니
 미합중국 델라웨어주 (우편번호 19898) 윌밍톤시
 마아캣트 스트리트 1007
 (72) 발명자
보랜드 윌리엄 제이.
 미국 27513 노스캐롤라이나주 캐리 터쿠와즈 크리
 크 드라이브 106
퍼거슨 사울
 미국 27713 노스캐롤라이나주 듀렘 유클리드 로드
 1733
 (74) 대리인
김영, 주성민

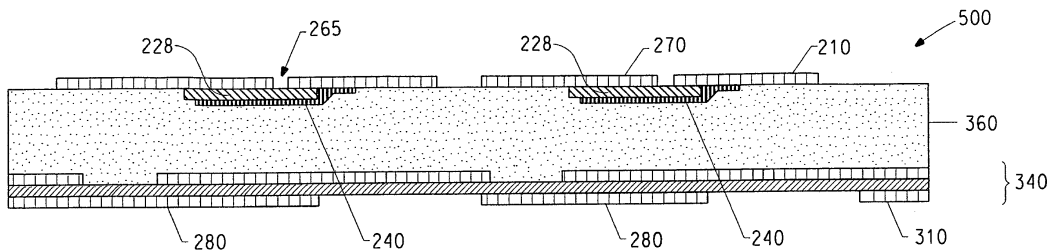
심사관 : 배진용

(54) 전력 코어 장치 및 그 제조 방법

(57) 요약

전력 코어를 포함하는 장치에 있어서, 상기 전력 코어는 적어도 하나의 내장형 단품 캐패시터를 포함하는 적어도 하나의 내장형 단품 캐패시터층을 포함하되 상기 내장형 단품 캐패시터는 적어도 하나의 제1 전극과 제2 전극을 포함하고 전력 코어의 외층 상에 위치되며, 전력 코어의 외층 상의 캐패시터의 제1 및 제2 전극 모두는 반도체 장치의 적어도 하나의 Vcc(전력) 단자와 적어도 하나의 Vss(접지) 단자가 각각 적어도 하나의 제1 전극 및 적어도 하나의 제2 전극에 직접 연결될 수 있도록 되어 있다.

대표도 - 도12



특허청구의 범위

청구항 1

전력 코어를 포함하는 장치이며,

상기 전력 코어는 적어도 하나의 내장형 단품 캐패시터를 포함하는 적어도 하나의 내장형 단품 캐패시터층을 포함하고,

상기 내장형 단품 캐패시터는 적어도 하나의 제1 전극과 적어도 하나의 제2 전극을 포함하고 전력 코어의 외측 상에 위치되며, 전력 코어의 외측 상의 캐패시터의 제1 및 제2 전극 모두는 반도체 장치의 적어도 하나의 Vcc (전력) 단자와 적어도 하나의 Vss(접지) 단자가 각각 적어도 하나의 제1 전극 및 적어도 하나의 제2 전극에 직접 연결될 수 있도록 되어 있는 전력 코어 장치.

청구항 2

제1항에 있어서, 상기 반도체 장치는 마이크로프로세서인 전력 코어 장치.

청구항 3

제1항에 있어서, 적어도 하나의 단품 내장 캐패시터는 적어도 하나의 평면 캐패시터 적층체에 병렬 연결되고 상기 평면 캐패시터 적층체는 상기 내장형 단품 캐패시터에 전하를 공급하는 저인덕턴스 경로로서 작용하는 전력 코어 장치.

청구항 4

제1항에 있어서, 상기 전력 코어는 적어도 하나의 신호층에 상호 연결되는 전력 코어 장치.

청구항 5

패턴층 및 비패턴층을 갖는 적어도 하나의 평면 캐패시터를 제공하는 단계와,

포일층 및 소자층을 갖는 적어도 하나의 포일-상면-형성 단품 캐패시터를 포함하는 적어도 하나의 포일 구조를 제공하는 단계와,

상기 평면 캐패시터 구조의 상기 패턴층에 상기 포일-상면-형성 구조의 상기 포일층을 적층한 후 상기 포일-상면-형성 구조의 상기 포일층을 에칭하고 상기 평면 캐패시터 구조의 상기 비패턴층을 에칭함으로써 전력 코어를 형성하는 단계와,

상기 전력 코어의 부품으로서 적어도 하나의 신호층을 형성하는 단계를 포함하는 전력 코어 장치 제조 방법.

청구항 6

제5항에 있어서, 상기 신호층은 상기 전력 코어의 평면 캐패시터 표면에 유전층을 도포하고 상기 유전층 상에 하나 이상의 신호 라인을 포함하는 회로를 형성하고 상기 신호 라인을 포함하는 층들 사이에 도전성 상호 접속부를 형성함으로써 형성되는 전력 코어 장치 제조 방법.

청구항 7

제6항에 있어서, 층들 사이의 상기 상호 접속부는 도전성 비아인 전력 코어 장치 제조 방법.

청구항 8

제1항 내지 제4항 중 어느 한 항에 있어서, 추가적 수동 소자들이 외부에서 상기 전력 코어에 연결되는 전력 코어 장치.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <27> 본 발명은 저인덕턴스 및 고정전용량 기능을 모두 갖는 장치와, 유기 유전 적층체 및 인쇄 회로 기판을 포함하는 전력 코어 패키지에 이런 장치를 합체시키는 방법에 관한 것이다.
- <28> 인쇄 회로(IC)를 포함하는 반도체 장치가 고주파수, 고데이터율 및 저전압으로 작동됨에 따라, 전력 및 접지(복귀) 라인에서의 소음 관리와 보다 빠른 회로 전환을 얻기에 충분한 전류 공급은 전력 배분 시스템에서 낮은 임피던스를 필요로 하는 보다 중요한 문제가 되었다. IC에 낮은 소음과 안정적인 전력을 제공하기 위해 종래 회로의 임피던스는 상호간에 병렬 연결된 추가적인 표면 장착 캐패시터를 사용함으로써 저감된다. 작동 주파수(IC 전환 속도)가 높아진다함은 IC에 대한 전압 응답시간이 빨라져야 함을 의미한다. 작동 전압을 낮추기 위해서는 가용 전압 편차(리플)와 소음이 작아져야 한다. 예컨대, 마이크로프로세서 IC가 전환되어 작업을 시작하면 전력이 전환 회로를 지지하도록 요구된다. 전원의 응답시간이 너무 느릴 경우, 마이크로프로세서는 가용 리플 전압과 소음 한계를 벗어나고 IC가 오작동하게 되는 전압 강하나 전력 강하를 겪게 될 것이다. 또한, IC 전력이 증가될 경우 느린 응답시간은 전력 과잉이라는 결과를 가져올 것이다. 전력 강하 및 과잉은 적절한 응답 시간 내에 전력을 제공하거나 흡수하기에 충분히 IC에 인접한 캐패시터를 사용하여 가용 한계 내에서 제어되어야 한다.
- <29> 임피던스 저하 및 전압 강하 또는 과잉 완화를 위한 표면 장착기술(SMT) 캐패시터는 일반적으로 회로 성능을 개선하기 위해 가능한 IC에 인접하게 배치된다. 종래의 설계에 따르면, 캐패시터는 인쇄 배선 기판(PWB) 상에 표면 장착되어 IC 둘레에 밀집된다. 큰 값의 캐패시터는 전원 가까이 배치되고 중간 범위 값 캐패시터는 IC와 전원 사이의 위치에 배치되고 작은 값의 캐패시터는 IC에 아주 근접해서 배치된다. 도 1은 전원의 개략도로서, 각각 높은 값, 중간 범위 값 및 낮은 값의 캐패시터를 나타내는 캐패시터(4, 6, 8)들과 IC가 상술한 바와 같이 임피던스 저하 및 전압 강하 또는 과잉 완화를 위해 사용된다. 도 2는 SMT 캐패시터(50, 60)와 IC(40)가 PWB(1000)의 기판에서 전력 및 접지면에 연결된 것을 도시하는 전방 단면도이다. IC 장치(40)는 뎀납 필렛(44)에 의해 랜드(41)에 연결된다. 랜드(41)는 회로 라인(72, 73)에 의해 비아(90, 100)의 비아 패드를 거쳐 도금 관통공에 연결된다. 비아 패드는 일반적으로 82로 지시된다. 비아(90)는 도전체 평면(120)에 전기적으로 연결되고 비아(100)는 도전체 평면(122)에 연결된다. 도전체 평면(120, 122)은 그 중 하나가 전원의 전력측에 연결되고 다른 것이 전원의 접지측에 연결된다. 작은 값의 캐패시터(50, 60)도 마찬가지로 IC(40)에 전기적으로 병렬 연결되는 방식으로 비아와 도전체 평면(120, 122)에 전기 연결된다. IC들이 모듈, 인터포저 또는 패키지 상에 배치되는 경우, 큰 값 또는 중간 값의 캐패시터들이 모듈, 인터포저 또는 패키지가 부착된 인쇄 배선 모판 상에 배치될 수 있다.
- <30> 상호 간에 병렬 연결된 많은 수의 캐패시터는 종종 전력 시스템 임피던스를 줄이도록 요구되며 이는 복잡한 전기적 라우팅(routing)을 필요로 한다. 이는 회로 루프 인덕턴스를 증가시키고 다시 임피던스를 증가시켜 전류 흐름을 억제함으로써 표면 장착된 캐패시터의 유익한 효과를 감소시킨다. 주파수가 증가되고 작동 전압이 계속해서 강하됨에 따라 증가된 전력은 더 빠른 속도로 공급되어야만 하며 이는 더욱더 낮은 인덕턴스와 임피던스 수준을 필요로 한다.
- <31> 임피던스를 최소화하기 위해 상당한 노력이 진행되고 있다. 호워드(Howard) 등의 미국 특허 제5,161,086호는 임피던스와 "소음"을 줄이기 위한 한 가지 방안을 제시한다. 호워드 등은 차용된 또는 공유된 정전용량을 이용하는 용량성 기능을 제공하기 위해 적층형 기판의 복수의 층 내에 포함된 캐패시터 적층체(평면 캐패시터)와, 기판 상에 장착되거나 형성되어 캐패시터 적층체(또는 복수의 캐패시터 적층체)에 작동식으로 결합된 집적 회로와 같은 많은 장치를 구비한 용량성 인쇄 회로 기판을 제공한다. 그러나, 이런 방식이 전압 응답을 반드시 개선하는 것은 아니다. 전압 응답을 개선하기 위해서는 캐패시터가 IC에 인접해서 배치되어야 한다. 단순히 IC에 가깝게 캐패시터 적층체를 배치하는 것만으로는 총 가용 정전용량이 불충분할 수 있기 때문에 충분하지 않을 수 있다.
- <32> 차크라보티(Chakravoty)의 미국 특허 제6,611,419호는 인쇄 회로 다이의 전원 단자가 다층 세라믹 기판에 내장된 적어도 하나의 캐패시터의 단자에 각각 결합될 수 있는 전환 소음 저감을 위한 캐패시터를 내장하는 다른 방안을 제공한다.
- <33> 따라서, 본 발명자들은 보다 높은 IC 전환 속도를 얻기 위해 개선된 전압 응답성과 함께 뛰어난 전력 배분 임피던스 감소를 허용하는 인쇄 회로 패키지 또는 그 밖의 상호 접속 기판, 구조물 또는 요소에서의 사용을 포함하는 전력 코어 패키지용 전력 코어를 제조하고 설계하는 방법을 제공하고자 한다. 본 발명은 이런 장치와 이런

장치를 제조하기 위한 방법을 제공한다.

발명이 이루고자 하는 기술적 과제

- <34> 본 발명은 전력 코어를 포함하는 장치에 있어서, 상기 전력 코어는 적어도 하나의 내장 단품 캐패시터를 수용하는 적어도 하나의 내장형 단품 캐패시터층을 포함하고 내장된 상기 단품 캐패시터는 적어도 하나의 제1 전극과 제2 전극을 포함하고 전력 코어의 외층 상에 위치되며, 전력 코어의 외층 상의 캐패시터의 제1 및 제2 전극 모두는 반도체 장치의 적어도 하나의 Vcc(전력) 단자와 적어도 하나의 Vss(접지) 단자가 각각 적어도 하나의 제1 전극 및 적어도 하나의 제2 전극에 직접 연결될 수 있도록 되어 있는 것을 특징으로 하는 장치를 제공한다.
- <35> 본 발명은 또한 장치 제조 방법에 있어서, 상기 방법은 패턴층 및 비패턴층을 갖는 적어도 하나의 평면 캐패시터를 제공하는 단계와, 포일층 및 소자층을 갖는 적어도 하나의 포일-상면-형성(formed-on-foil) 단품 캐패시터를 포함하는 적어도 하나의 포일 구조를 제공하는 단계와, 상기 평면 캐패시터 구조의 상기 패턴층에 상기 포일-상면-형성 구조의 상기 포일층을 적층한 후 상기 포일-상면-형성 구조의 상기 포일층을 에칭하고 상기 평면 캐패시터 구조의 상기 비패턴층을 에칭함으로써 전력 코어를 형성하는 단계와, 상기 전력 코어의 부품으로서 적어도 하나의 신호층을 형성하는 단계를 포함하는 방법을 제공한다.
- <36> 일 실시예에서, 상술한 신호층은 상기 전력 코어의 평면 캐패시터 표면에 유전층을 도포하고 상기 유전층 상에 하나 이상의 신호 라인을 포함하는 회로를 형성하고 상기 신호 라인을 포함하는 층들 사이에 도전성 상호 접속부를 형성함으로써 형성된다. 층들 사이의 상호 접속부는 도전성 비아일 수 있다.

발명의 구성 및 작용

- <37> 이하, 도면을 참조하여 본 발명을 상세히 설명하기로 하며, 도면에서 유사한 부호는 유사한 구조를 나타낸다.
- <38> 본 발명의 제1 실시예에 따르면, 외층 상에 전극이 마련된 단품 캐패시터들과 평면 캐패시터들이 병렬 연결되어 전력 코어 구조를 형성하도록 적층체 구조 내에 내장된 전력 코어 장치의 설계 및 제조 방법이 개시된다. 전력 코어 구조는 적어도 하나의 층에 상호 연결될 수 있다. 단품 캐패시터들은 금속 상에 형성되는 개별 캐패시터들로 정의될 수 있다. 통상적으로, 금속은 금속 포일이다. 비록 본 명세서에서 "포일"이라는 용어를 사용하지만, 포일은 일반적인 금속층, 도금된 금속, 스퍼터링된 금속 등을 포괄하는 것으로 이해된다. 전력 코어 구조 내의 단품 캐패시터들은 장치의 외층 상에 있도록 설계되며, 이때 제1 전극의 포일부와 제2 전극의 포일부는 마이크로프로세서와 같은 반도체 장치의 Vcc(전력) 단자 및 Vss(접지) 단자가 단품 캐패시터의 제1 및 제2 전극과 정렬되어 이에 직접 연결될 수 있도록 외층 상의 동일 평면에 배치된다. 다시 제1 및 제2 전극은 내장된 평면 캐패시터의 전력면 및 접지면에 각각 연결된다. 단품 캐패시터들의 제2 전극은 본 실시예에서 공통적이지만 분리될 수도 있다. 전극들이 마이크로프로세서의 전력 단자와 직접 접촉되는 상태로 외층 상에 단품 캐패시터들을 배치하는 것도 낮은 인덕턴스 연결을 제공한다. 평면 캐패시터는 전력-접지면으로서 사용되고 전력 접지면 분리부는 패키지에서의 고주파수 임피던스를 감소시키고 단품 캐패시터들에 추가적인 전하를 제공하기 위해 얇게 제조된다.
- <39> 도 3은 펜티엄 4 프로세서 패키지와 같은 BGA 조립체의 레이아웃(인쇄 배선 기관의 접속부의 기계적 배치)의 Vcc(전력) 및 Vss(접지) 접속부의 통상적인 배치를 도시한다. Vcc/Vss 단자는 전력 코어를 위한 집중 영역이다.
- <40> 도 4a는 본 실시예에 따르는 전력 코어 장치의 관련 부분의 상부 평면도이다. 도 4a에는 단품 캐패시터들의 제1 전극(230)과 제2 전극(270) 모두는 윤곽으로 도시되어 있다. 전극(230, 270)은 영역(265)에 의해 분리되며 전력 코어 장치의 표면에 존재한다. 제1 전극(230)은 프로세서 패키지의 Vcc(전력) 단자에 직접 연결되도록 구성된다. 제2 전극(270)은 프로세서 패키지의 Vss(접지) 단자에 직접 연결되도록 구성되며 공통 전극이다. 전극 패드(231, 271)의 크기는 솔더마스크(215)에 의해 한정된다.
- <41> 도 4b는 전극 패드(231, 271)를 한정하는 솔더마스크(215)와 함께 내장형 유전체(228)의 윤곽을 도시하는 전력 코어 장치의 상부 평면도이다.
- <42> 도 5 내지 도 7은 각각 a-a, b-b 및 c-c 라인을 따르는 전력 코어 구조의 상부를 도시한 전방 단면도이다. 도 5는 마이크로프로세서와 같은 반도체 장치가 부착된 제1 실시예에 따르는 전력 코어 장치의 전방면에서 라인 a-a를 따라 취한 단면도이다. 반도체 장치(201)의 Vcc(전력) 단자는 단품 캐패시터의 제1 전극(230)의 솔더마스크 한정 패드(231)(도 4a에 도시됨)에 연결되고 이는 다시 평면 캐패시터(340)의 전력면(285)에 연결된다. 반

도체 장치(201)의 Vss(접지) 단자는 단품 캐패시터의 제2 전극(270)의 솔더마스크 한정 패드(271)(도 4a에 도시됨)에 연결되고 이는 다시 평면 캐패시터(340)의 접지면(280)에 연결된다. 도 6은 반도체 장치가 부착된 제1 실시예에 따르는 전력 코어 장치의 전방면에서 라인 b-b를 따라 취한 단면도이다. 마이크로프로세서(201)의 Vcc(전력) 단자는 단품 캐패시터의 제1 전극(230)의 솔더마스크 한정 패드(231)(도 4a에 도시됨)에 연결되고 이는 다시 평면 캐패시터(340)의 전력면(285)에 연결된다. 도 7은 반도체 장치가 부착된 제1 실시예에 따르는 전력 코어 장치의 전방면에서 라인 c-c를 따라 취한 단면도이다. 반도체 장치(201)의 Vss(접지) 단자는 단품 캐패시터의 제2 공통 전극(270)의 솔더마스크 한정 패드(271)(도 4a에 도시됨)에 연결되고 이는 다시 평면 캐패시터의 접지면(280)에 연결된다.

- <43> 전력 코어 구조는 적어도 하나의 신호층에 상호 접속될 수 있다. 따라서, 전력 코어 구조는 반도체 장치 신호 단자와 정렬된 표면 상의 신호 연결 패드도 가질 수 있다. 상술한 전력 코어는 다양한 재료로 형성되어 전력 코어 장치를 형성하도록 평면 캐패시터에 적층되는 단품 캐패시터들을 포함하는 포일을 이용한다. 이런 재료는 K값이 높은 세라믹 충전 고분자 후막 캐패시터 유전체와, 금속 포일 상에 스크린 인쇄되어 경화된 금속 충전 고분자 후막 전극 페이스트의 사용을 포함할 수 있다. 구리 포일 상에 단품 캐패시터들을 형성하기 위해 이.아이. 듀폰 드 네무어즈 앤드 컴패니(E.I. du Pont de Nemours and Company)에서 구입 가능한 인테라(상표명)(Interra™) HK 04와 같이 구리/폴리이미드/구리 적층체와 같은 종래의 평면 캐패시터 적층체의 예칭이 이용될 수도 있다. 그러나 고분자 후막 조성 또는 고분자 평면 캐패시터 적층체로 제조되는 이런 캐패시터들은 비교적 낮은 정전용량 밀도를 가지며, 단품 캐패시터들은 높은 정전용량 밀도를 갖는 것이 일반적으로 바람직하다. 이런 경우, 바람직하게는 세라믹 조성을 이용하여 구리 포일 상에 단품 세라믹 캐패시터들을 제조하고 소결된 세라믹 캐패시터를 형성하도록 비교적 높은 온도에서 소성하는 포일-상면-형성 기술이 이용될 수 있다. 이런 캐패시터들은 박막 또는 후막 방식으로 형성될 수 있다. 상기 캐패시터들을 포함하는 포일은 전력 코어 구조를 형성하기 위해 표준 인쇄 배선 기판 적층 공정을 이용하여 평면 캐패시터에 적층될 수 있다.
- <44> 또한, 상술한 전력 코어는 다양한 재료를 이용하여 형성되는 평면 캐패시터를 이용한다. 이런 재료는 유전체가 유기층, 세라믹 충전 유기층 또는 세라믹층을 포함할 수 있는 금속 포일-유전체 금속 포일 적층체 구조를 포함할 수 있다. 복수의 층이 사용되는 경우, 층들은 서로 다른 재료로 형성될 수 있다. 이런 유전체는 임피던스 저하를 위해 박층으로 제조될 수 있다. 평면 캐패시터는 전력 코어 구조를 형성하기 위해 표준 인쇄 배선 기판 적층 공정에 의해 포일 상에 형성된 평면 캐패시터에 적층될 수 있다.
- <45> 상술한 실시예에 따르면, 낮은 임피던스 및 높은 정전용량 기능 모두는 전압 리플을 감소시키면서 낮은 전압으로 고속 IC 작업을 허용하는 인쇄 배선 기판, 모듈, 인터포저 또는 패키지와 같은 다른 적층 구조에 추가로 합체될 수 있는 단일 전력 코어 구조 내로 합체될 수 있다. 또한, SMT 장치에 관련된 납땜 조인트는 제거됨으로써 신뢰성을 개선할 수 있다.
- <46> 기술 분야의 당업자는 위에서 언급되고 아래에서 상세히 설명된 도면을 참조한 실시예에 대한 상세한 설명을 통해 본 발명의 다양한 실시예의 상술한 장점과 다른 장점 및 잇점을 알게 될 것이다.
- <47> 일반적인 실시예에 따르면, 도면의 다양한 특징부들이 반드시 실제 규모로 도시된 것은 아니다. 본 발명의 실시예들을 보다 명백히 도시하기 위해 다양한 특징부의 치수가 확대되거나 축소될 수 있다.
- <48> 본 발명의 실시예들은 인쇄 배선 기판(PWB), 모듈, 인터포저 또는 패키지의 기판에 매립될 수 있는 전력 코어 구조에 관한 것이다. PWB, 모듈, 인터포저 또는 패키지 기판 내에 전력 코어의 저인덕턴스 및 고정전용량 기능을 제공하는 것은 PWB, 모듈, 인터포저 또는 패키지 상에 가치있는 표면 영역을 보존하며 땀납 조인트가 종래의 SMT 캐패시터 배치에서 보다 덜 요구된다.
- <49> 도 8a 내지 도 8e는 단층 포일-상면-형성 단품 캐패시터들(통상적으로 포일 상에서 소성됨)을 제조하는 일반적인 방법을 도시한다. 도 8f는 최종 포일-상면-형성 캐패시터들의 평면도이다. 이하, 본 발명의 일 실시예를 설명하기 위한 포일-상면 소성형 후막 캐패시터들의 특징예가 설명한다.
- <50> 도 8a는 단품 캐패시터 구조(200)를 제조하는 제1 단계의 측단면도이다. 도 8a에서, 금속 포일(210)이 마련된다. 포일(210)은 산업계에서 일반적으로 구입가능한 형태일 수 있다. 예컨대, 포일(210)은 후막 페이스트용 소성 온도보다 높은 용점을 갖는 구리, 구리-인바(invar)-구리, 인바, 니켈, 니켈 피복 구리 또는 그 밖의 금속일 수 있다. 바람직한 포일은 배면 처리 구리 포일, 양면 처리 구리 포일 및 다층형 인쇄 회로 기판 업계에서 공통적으로 사용되는 그 밖의 구리 포일과 같은 구리를 주성분으로 하는 포일을 포함한다. 포일(210)의 두께는 약 1/3 oz 내지 1 oz의 구리 포일 사이에 대응하여, 예컨대 약 1 내지 100 마이크론, 바람직하게는 3 내지 75 미

크론, 가장 바람직하게는 12 내지 36 마이크론 범위일 수 있다. 적절한 포일의 일 예는 오아크 미쯔이(Oak Mitsui)에서 구입 가능한 PLSP 등급 1 온스 구리 포일이다.

- <51> 포일(210)은 포일(210)에 언더프린트(212)를 도포함으로써 전처리될 수 있다. 언더프린트(212)는 포일(210)의 소자측 표면에 도포된 비교적 얇은 층이다. 도 8a에서, 언더프린트(212)는 포일(210) 상의 표면 피막으로 지시된다. 언더프린트(212)는 금속 포일(210)과 언더프린트(212) 위에 증착된 층에 적절히 부착된다. 언더프린트(212)는 예컨대 포일(210)에 도포된 페이스트로 형성될 수 있으며, 그 후 포일(210)의 용점보다 낮은 온도에서 불활성 대기에서 소성된다. 페이스트는 포일(210)의 전면에 걸쳐 개방형 피막으로 인쇄되거나 포일(210)의 선택된 영역에 인쇄될 수 있다. 포일의 선택된 영역 위에 언더프린트 페이스트를 인쇄하는 것이 일반적으로 보다 경제적이다. 구리 포일(210)이 구리 언더프린트(212)와 함께 사용될 때, 구리 언더프린트 페이스트의 유리는 구리 포일(210)의 산화성 부식을 지연시키고, 따라서 산소-도핑형 소성이 이용되는 경우 포일(210)의 전면을 피복하는 것이 바람직할 것이다. 적절한 구리 언더프린트의 일 예로 이.아이. 듀폰 드 네무어즈 앤드 컴패니에서 구입 가능한 EP 320가 있다.
- <52> 도 8b에서, 캐패시터 유전체가 전처리된 포일(210) 상에 스크린 인쇄되어 제1 캐패시터 유전층(220)을 형성한다. 캐패시터 유전체는, 예컨대 후막 유전 잉크일 수 있다. 유전 잉크는 예컨대 페이스트로 형성될 수 있다. 적절한 캐패시터 유전 페이스트의 일 예로 이.아이. 듀폰 드 네무어즈 앤드 컴패니에서 구입 가능한 EP 310가 있다. 그 후, 제1 캐패시터 유전층(220)은 건조된다. 도 8c에서, 제2 캐패시터 유전층(225)이 도포되어 건조된다. 대안 실시예에서, 단층 캐패시터 유전체가 한 번의 인쇄로 균등한 두께를 제공하도록 굵은 메시 스크린을 통해 증착될 수 있다.
- <53> 도 8d에서, 전극(230)이 제2 유전층(225) 위에 형성되어 건조된다. 전극(230)은, 예컨대 후막 금속 잉크를 스크린 인쇄함으로써 형성될 수 있다. 구리 포일(210)이 구리 언더프린트(212)와 함께 사용되는 경우, 구리 전극이 사용될 수 있다. 적절한 구리 전극 페이스트의 일 예로 이.아이. 듀폰 드 네무어즈 앤드 컴패니에서 구입 가능한 EP 320가 있다. 일반적으로, 유전층(225)의 표면 영역은 전극(230)의 표면 영역보다 커야한다.
- <54> 그 후, 제1 캐패시터 유전층(220), 제2 캐패시터 유전층(225) 및 전극(230)은 일괄 소성된다. 소성은, 예컨대 후막 질소로에서 850 내지 950 °C 사이의 정점 온도에서 달성될 수 있다. 후막 캐패시터 유전층(220, 225)은, 예컨대 티탄산 바륨(barium titanate)과 같은 고유전율 기능상(functional phase), 다양한 도펀트 및 글래스 프릿상(frit phase)으로 형성될 수 있다. 일괄 소성 동안, 글래스 프릿상은 연화되어 기능상과 도펀트상을 습윤시키고 유리-세라믹 모재에 기능상 및 도펀트의 분산을 형성하도록 응집된다. 동시에, 층(230)의 구리 전극 분말은 연화된 글래스 프릿상에 의해 습윤되어 고체 전극을 형성하도록 함께 소결된다. 층(230)은 일괄 소성으로 인해 고K 유전체(228)에 대해 강한 접합성을 갖는다. 도 8e에는 후소성 구조가 정면도로 도시되어 있다.
- <55> 도 8f는 완성된 캐패시터 구조(200)의 평면도이다. 도 8f에서, 포일(210) 상에는 네 개의 캐패시터(240)가 도시되어 있다. 그러나 모든 가능한 수의 캐패시터 구조(240)가 다양한 패턴으로 포일(210) 상에 배열될 수 있다.
- <56> 본 명세서에서 설명된 포일-상면-형성 캐패시터에서, "페이스트" 또는 "잉크"라는 용어는 전자재 산업에서 사용되는 일반적인 용어에 대응할 수 있으며 일반적으로 후막 조성물을 지칭한다. 통상적으로, 언더프린트 페이스트의 금속 성분은 금속 포일 내의 금속에 맞춰진다. 예컨대, 구리 포일이 사용된 경우, 구리 페이스트가 언더프린트로서 사용될 수 있다. 다른 적용예로는 유사한 금속 언더프린트 페이스트를 이용하여 은 및 니켈 포일을 쌍으로 만드는 것이다. 후막 페이스트는 언더프린트 및 수동 소자 모두를 형성하기 위해 사용될 수 있다.
- <57> 일반적으로, 후막 페이스트는 가소제, 분산제 및 유기 용매의 혼합물에 용해된 고분자에 분산된 세라믹, 유리, 금속 또는 그 밖의 고체의 미세 분할 입자를 포함한다. 구리 포일 상에 사용하기 위한 바람직한 캐패시터 페이스트는 질소 대기에서 양호하게 연소되는 유기 매개물을 갖는다. 이와 같은 매개물은 일반적으로 고분자량 에틸 셀룰로오스와 같은 아주 소량의 수지를 함유하며, 이때 단지 소량만이 스크린 인쇄에 적절한 점성을 생성하는데 필요하다. 또한, 유전성 분말 혼합물에 혼합된 질화 바륨 분말과 같은 산화성 성분은 유기 성분이 질소 대기에서 연소되는 것을 돕는다. 고체가 사실상 비활성인 액체 매체("매개물")와 혼합되어 3-롤 밀 상에서 분산되어 스크린 인쇄에 적절한 페이스트형 성분을 형성한다. 매개물로서는 임의의 사실상 비활성인 액체가 사용될 수 있다. 예컨대, 증정제(thickening agent) 및/또는 안정화제 및/또는 그 밖의 공통적인 첨가제를 구비하거나 구비하지 않은 다양한 유기 액체가 매개물로서 사용될 수 있다.
- <58> 고유전율(고K) 후막 캐패시터 유전 페이스트는 일반적으로 적어도 하나의 수지와 용매로 구성되는 매개물 시스

템에 분산된 높은 K값을 갖는 적어도 하나의 기능상 분말과 적어도 하나의 유리 분말을 함유한다. 매개물 시스템은 밀집하고 공간적으로 잘 한정된 막을 제공하도록 스크린 인쇄되도록 설계된다. 높은 K값을 갖는 기능상 분말은 500보다 큰 용적 유전율을 갖고 일반적으로 ABO_3 의 공식을 갖는 페로브스카이트(perovskite)형 강유전성 성분을 포함할 수 있는 분말로서 설명될 수 있다. 이런 성분의 예는 $BaTiO_3$, $SrTiO_3$, $PbTiO_3$, $CaTiO_3$, $PbZrO_3$, $BaZrO_3$ 및 $SrZrO_3$ 또는 그 혼합물을 포함한다. $Pb(Mg_{1/3}Nb_{2/3})O_3$ 및 $Pb(Zr_{1/3}Nb_{2/3})O_3$ 와 같이 A 및/또는 B 위치에 다른 원소를 대체함으로써 다른 성분도 가능하다. 적절히 높은 K값을 갖는 기능상 분말은 후지 티타늄(Fuji Titanium)에서 구입되는 티탄산 바륨이다. 상기 성분이 도핑되어 혼합된 금속 개조물도 적절하다. 도핑 및 혼합은 주로 재료가 "X7R" 또는 "Z5U" 표준과 같은 산업상 정의를 충족하기 위해, 예컨대 필수적인 정전용량 온도 상수(TCC)와 같은 필수적인 최종 사용 특성 명세 사항을 달성하기 위해 수행된다.

- <59> 페이스트 내의 유리는 예컨대 Ca-Al 보로실리케이트, Pb-Ba 보로실리케이트, Mg-Al 실리케이트, 희토류 봉산염 및 그 밖의 유사한 유리 성분일 수 있다. 납 게르마네이트($Pb_3Ge_3O_{11}$)와 같이 K값이 높은 유리 세라믹 분말이 바람직하다.
- <60> 전극층을 형성하기 위해 사용되는 페이스트는 구리, 니켈, 은, 은-함유 희금속 성분 또는 이들 성분의 혼합물의 금속 분말에 기초할 수 있다. 구리 분말 성분이 바람직하다.
- <61> 본 명세서에서 설명된 캐패시터 구조는 정전용량을 증가시키기 위해 다층 유전체 및 전극을 이용하여 제조될 수 있다.
- <62> 상술한 예에서, 유전체는 후막 페이스트를 스크린 인쇄함으로써 형성된 것으로 설명되었다. 그러나, 용액 피복, 캐스트-온-코퍼(cast-on-copper) 공정 또는 스퍼터링에 의한 증착과 같은 다른 방법도 사용될 수 있다. 이와 달리, 유전체가 도포되어 광 한정될 수 있다. 또한, 전극층은 스크린 인쇄되는 것으로 설명되었다. 그러나, 유전층 표면 상에 전극 금속의 스퍼터링, 도금 또는 증발에 의한 증착과 같은 다른 방법도 사용될 수 있다. 또한, 광 한정된 페이스트가 사용될 수도 있다.
- <63> 도 9a 및 도 9b는 평면 캐패시터 적층체의 일반적인 제조 방법을 도시한 측면도이다.
- <64> 도 9a는 제1 금속 포일(310)이 마련된 도 9b에 도시된 평면 캐패시터 적층체(320) 제조의 제1 단계를 도시한 전방 단면도이다. 포일(310)은 예컨대 구리, 구리계 재료 및 그 밖의 금속으로 제조될 수 있다. 바람직한 포일은 배면 처리 구리 포일, 양면 처리 구리 포일 및 다층형 인쇄 회로 기판 업계에서 공통적으로 사용되는 그 밖의 구리 포일과 같은 구리를 주성분으로 하는 포일을 포함한다. 적절한 포일의 예로는 올린 브라스(Olin Brass)[소머즈 썸 스트립(Somers Thin Strip)] 및 제이이씨(JEC)에서 구입 가능한 것들이다. 포일(310)의 두께는 약 1/3 oz 내지 1 oz의 구리 포일 사이에 대응하여, 예컨대 약 1 내지 100 마이크론, 바람직하게는 3 내지 75 마이크론, 가장 바람직하게는 12 내지 36 마이크론 범위일 수 있다.
- <65> 슬러리 재료 또는 용액이 포일(310) 상으로 주조되거나 피복되어 건조되고 경화됨으로써 제1 유전층(312)을 형성할 수 있으며, 그 결과 피복된 금속 포일(300)이 형성된다. 적층체의 유전층 또는 층들은 유기물, 세라믹, 세라믹 충전 유기물 및 그 혼합층 중에서 선택될 수 있다. 경화는 슬러리가 열가소성 특징을 갖는 경우, 예컨대 350 °C에서 베이킹 소성(baking)을 함으로써 수행될 수 있다. 슬러리가 열경화성 재료인 경우 보다 높은 경화 온도가 사용될 수 있다. 고분자가 고분자의 "B" 단계 상태를 형성하도록 단지 부분적으로 경화될 경우 경화는 예컨대 120 내지 200 °C에서 건조함으로써 수행될 수 있다.
- <66> 유전층(312)을 형성하기 위해 사용되는 용액은 예컨대 용매에 용해된 고분자를 포함할 수 있다. 슬러리 재료는 예컨대 고유전율("고K") 충전제/세라믹 충전제 또는 기능상을 갖는 고분자 용매 용액을 포함할 수 있다. 슬러리 또는 용액을 위한 적절한 고분자는 다음에 제한되지 않지만, 예컨대 에폭시 또는 폴리이미드 수지를 포함할 수 있다. 높은 K값을 갖는 기능상은 500보다 큰 유전율을 갖는 재료로 정의될 수 있으며 일반적으로 ABO_3 의 공식을 갖는 페로브스카이트를 포함할 수 있다. 적절한 충전제는 예컨대 결정질 티탄산 바륨(BT), 바륨 스트론튬 티타네이트(BST), 납 지르코네이트 티타네이트(PZT), 납 란타늄 티타네이트, 납 란타늄 지르코네이트 티타네이트(PLZT), 납 마그네슘 니오베이트(PMN) 및 갈륨 구리 티타네이트를 포함한다. 충전제는 분말 형태일 수 있다. 적절한 고K 충전제 상은 페로 코퍼레이션(Ferro Corporation), 탐 세라믹스(Tam Ceramics) 또는 후지 티타늄에서 구입 가능한 티탄산 바륨이다.
- <67> 유전율이 500보다 작은 기능상도 그 밖의 다른 이유로 해서 적절할 수도 있다. 이런 재료는 티타늄, 탄탈륨,

하프늄 및 니오븀의 산화물을 포함할 수 있다.

- <68> 유전체(312)가 사실상 열가소성이거나 단지 부분적으로만 경화된 경우, 도 9b에 도시된 적층체 구조(320)를 형성하기 위해 두 조각의 피복 금속 포일(300)이 도 9a에서 화살표에 의해 도시된 방향으로 열과 압력을 받으며 서로 적층될 수 있다.
- <69> 유전체(312)가 사실상 열경화성인 경우, 얇은 접착층이 유전층(312)의 일면 또는 양면에 도포될 수 있다. 상업용 열경화성 유전체는 이.아이. 듀폰 드 네무어즈 앤드 컴패니에서 구입 가능한 폴리이미드 등급을 포함한다.
- <70> 도 9b를 참조하면, 적층은 층(312)들로부터 단일 유전체(324)를 형성한다. 최종 유전체(324)는 적층 후 예컨대 대략 4 내지 25 마이크론의 박층일 수 있다. 평면 캐패시터 적층체의 일 실시예는 구리-유전체-구리 적층체이다. 금속-유전체 금속 구조를 형성하기 위해 사용될 수 있는 내장 캐패시터 재료와 공정은 모토롤라에 인가된 반티코(Vantico)의 프로벨렉(Probelec) 81 CFP와, 히타치 케미컬 컴패니(Hitachi Chemical Company)의 MCF 6000E, 미쯔이 메탈 앤드 스멜팅 유한주식회사(Mitsui Metal and Smelting Co., Ltd.)의 MR-600, 마츠시타 일렉트릭 워크스 유한회사(Matsushita Electric Works, Ltd.)의 R-0880 및 스미토모 베이크라이트 유한주식회사(Smitomo Bakelite Co., Ltd.)의 APL-4000과 같은 수지 피복형 포일 제품을 포함한다.
- <71> 유전체(324)를 형성하는 다른 방법은 포일(310) 상에 충전형 또는 비충전형 열가소성 고분자를 주조하고 충전된 열가소성 고분자에 제2 비피복형 포일을 직접 적층하는 것일 수 있다. 다른 제조 방법은 개별적으로 단일막으로서 유전층(324)을 형성하고 열과 압력을 이용하여 이를 제1 포일(310) 및 제2 포일(310)에 적층하는 단계를 포함한다. 다른 제조 방법은 개별적으로 단일막으로서 유전층(324)을 형성하고 상기 개별적으로 형성된 유전층의 양 측면 상에 금속성 시드층을 스퍼터링하고 무전해 또는 전해 도금 기술을 이용하여 시드층 상에 금속을 추가 도금하는 단계를 포함한다. 적절한 캐패시터 적층체로는 이.아이. 듀폰 드 네무어즈 앤드 컴패니에서 인테라(상표명)(Interra™) HK04 시리즈, 이.아이. 듀폰 드 네무어즈 앤드 컴패니에서 인테라(상표명)(Interra™) HK11 시리즈, 산미나(Sanmina)에 의해 인가된 적층체 제조업자의 BC-2000 및 BC-1000, 오아크-미쯔이 테크놀로지스의 패래드플렉스(FaradFlex) 시리즈, 롬 앤드 하스 일렉트로닉 머티리얼즈(Rohm and Haas Electronic Materials)의 인사이트(InSite™) 임베디드 캐패시터 시리즈, 굴드 일렉트로닉스(Gould Electronics)의 TCC™ (상표명)와, 3M의 C-플라이(Ply)가 있다.
- <72> 도 10a 및 도 10b는 전력 코어 장치 제조를 위한 평면 캐패시터 적층체의 일반적 제조 방법을 도시한 측면도이다.
- <73> 도 10a는 도 9b의 평면 캐패시터 적층체(320)을 도시한 측면도이다. 각각의 포일(310)에는 포토레지스트(도 10a에는 도시 안됨)가 도포된다. 그러나, 단지 하나의 포일(310)만이 에칭되도록 단지 하나의 포토레지스트만이 영상 처리되어 현상된다. 모든 나머지 포토레지스트는 표준 인쇄 배선 기판 처리 조건을 이용하여 제거된다. 적절한 포토레지스트의 예는 이.아이. 듀폰 드 네무어즈 앤드 컴패니에서 구입 가능한 리스톤(등록상표)(Riston®)포토레지스트일 수 있다.
- <74> 도 10b는 에칭된 최종 적층체(340)를 도시한 측면도로서, 일 측면에는 포일(310)의 일부가 에칭에 의해 제거되고 다른 포일(310)은 그대로 남아 있다.
- <75> 도 11을 참조하면, 후막 포일-상면-형성 캐패시터(240)를 포함하는 포일(210)은 평면 캐패시터층(340)에 적층된다. 캐패시터-온-포일(capacitor-on-foil) 구조는 상하가 역전될 수 있으며 포일의 소자면은 도 11에 도시된 바와 같이 전력 코어 구조 부속부를 형성하도록 평면 캐패시터 적층체(340)의 에칭된 측면에 적층될 수 있다. 이와 달리, 캐패시터-온-포일 구조의 포일층이 평면 캐패시터 적층체의 에칭된 측면에 적층될 수 있다. 적층은 예컨대 표준 인쇄 배선 기판 공정에서 FR4 에폭시 프리프레그(360)를 사용하여 수행될 수 있다. 일 실시예에서, 에폭시 프리프레그 형태(106)가 사용될 수 있다. 적절한 적층 조건은 28 inHg로 배기된 진공 챔버에서 1시간 동안 208 psig에서 185 °C일 수 있다. 에폭시가 적층판들을 서로 접착시키는 것을 방지하기 위해 실리콘 러버 프레스 패드와 평활한 PTFE 충전형 글래스 릴리즈 시트(glass release sheet)가 포일(210, 310)과 접촉될 수 있다. 유전성 프리프레그와 적층체 재료는 예컨대 표준 에폭시, 고 Tg 에폭시, 폴리이미드, 폴리테트라플루오르에틸렌, 시아네이트 에스테르 수지, 충전형 수지 시스템, BT 에폭시 및 그 밖의 절연성을 제공하는 수지와 적층체와 같은 모든 가능한 유형의 유전체일 수 있다. 릴리즈 시트는 에폭시가 회로 층 사이에서 적층판들을 서로 접착시키는 것을 방지하기 위해 포일과 접촉된 상태일 수 있다. 최종 부속부(400)는 일 측면 상에서 포일(210)에 의해 그리고 타 측면 상에서 포일(310)에 의해 에워싸인다.
- <76> 기술 분야의 당업자라면 다른 설계를 갖는 전력 코어가 상기 패턴화된 평면 캐패시터 적층체까지 상기 단품 캐

패시터층 소자층을 적층하는 것을 포함할 수 있음을 이해할 것이다. 이런 방식은 적절한 층들을 연결하기 위해 다른 에칭 패턴과 비아 형성을 필요로 할 수 있다. 이와 같은 다른 설계도 동일 설계 조건을 달성할 수 있다.

- <77> 다른 에칭 패턴도 유사한 전기적 기능을 산출하기 위해 상술한 바와 같은 (즉, 하향 대면하는) 장치 실시예로 이용될 수 있다. 도 12를 참조하면, 적층후, 포토레지스트가 포일-상면-형성 캐패시터 포일(210)과 평면 캐패시터 포일(310)에 도포된다. 표준 인쇄 배선 기판 처리 조건을 이용하여 포토레지스트가 영상 처리되어 현상된 후 금속 포일이 에칭되며 그 후 포토레지스트는 제거된다. 에칭은 포일(210) 내에 트렌치(265)를 생성함으로써 제1 전극(230)과 포일(210) 사이의 전기적 접촉을 파괴하여 포일(210)로부터 제2 전극(270)을 형성한다. 단일 회로로 사용될 수 있는 임의의 관련 회로도 포일(210)로부터 형성될 수 있다. 에칭은 평면 캐패시터 포일(310) 상에 전극(280) 및 관련 회로도 생성한다.
- <78> 전력 코어(500)는 추가적인 층을 포함하거나, 예컨대 우선 도 10에 도시된 평면 캐패시터 적층체(340)의 영상 처리된 측면을 다른 인쇄 배선 기판층에 적층시키고, 비영상 처리된 포일(310)에 포토레지스트를 도포하고, 포일을 에칭하고, 포토레지스트를 제거하고, 내장형 단품 캐패시터층을 평면 캐패시터 적층체에 적층시키는 다른 적층 순서에 의해 형성될 수 있다.
- <79> 도 13은 추가 적층체(360)와 솔더마스크(215)가 도 12에 도시된 물품에 추가되고 천공 구멍(295)이 천공되어 도금됨으로써 최종 형성된 전력 코어 장치(600)의 최종 실시예를 도시한 전방 단면도이다. 평면 캐패시터 적층체(340)와 내장형 단품 캐패시터층(240)을 포함하는 전력 코어 구조(600)는 "전력 코어 패키지"로 명명된 복수의 패키지로 합체될 수 있다. 전력 코어 패키지는 인쇄 배선 기판, IC 패키지, 모듈, 인터포저 등일 수 있다.
- <80> 본 발명의 전력 코어 장치는 적어도 하나의 신호층을 통해 상호 접속된 전력 코어 구조를 포함한다. 장치는 도전성 비아를 거쳐 연결되는 하나 보다 많은 신호층을 포함할 수 있다.
- <81> 층들이 개별적으로 제조되어 하나의 단계에서 적층된 수직한 상호 접속부(비아-충전되고 인쇄되고 에칭되어 도금된 범프들)의 예들이 본 발명에 이용될 수 있다.
- <82> 본 발명의 장치는 인터포저, 인쇄 배선 기판, 다중칩 모듈, 영역 어레이 패키지, 시스템-온 패키지, 시스템-인 패키지 등으로부터 선택될 수 있다.

발명의 효과

- <83> 상술한 바로부터 명백한 바와 같이, 본 발명에 따르는 전력 코어 장치는 개선된 전압 응답성과 함께 뛰어난 전력 배분 임피던스 감소를 허용함으로써 보다 높은 IC 전환 속도를 얻을 수 있도록 하는 효과를 갖는다.

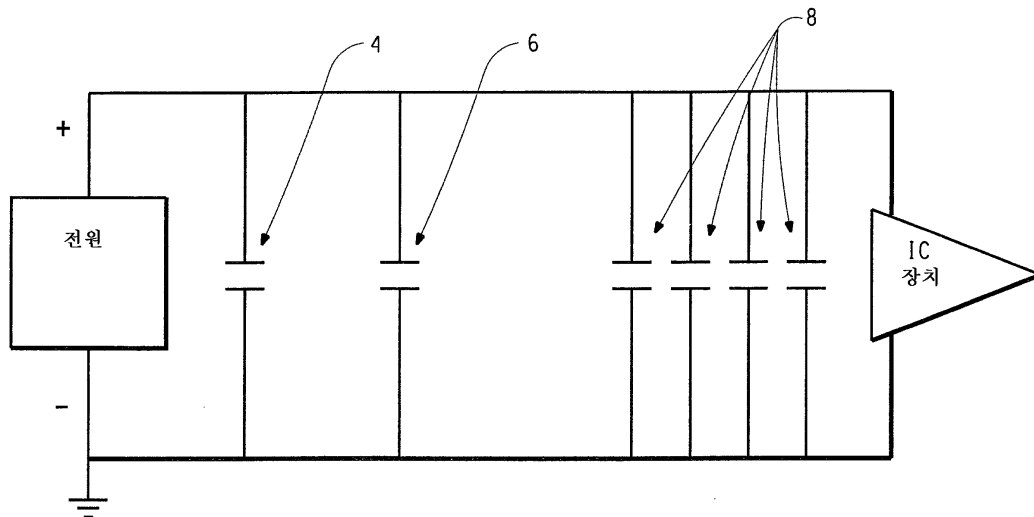
도면의 간단한 설명

- <1> 도 1은 임피던스 저하 및 전압 강하 또는 과잉 완화를 위한 캐패시터를 사용하는 통상적인 종래 기술을 도시한 개략도.
- <2> 도 2는 임피던스 저하 및 전압 강하 또는 과잉 완화를 위해 사용된 종래 기술의 표면 장착(SMT) 캐패시터를 갖는 인쇄 배선 조립체의 전방 단면도.
- <3> 도 3은 팬티엄 4 프로세서 패키지와 같은 BGA 조립체 레이아웃의 Vcc(전력) 및 Vss(접지) 접속부의 통상적인 배치를 도시한 도면.
- <4> 도 4a 및 도 4b는 전극 패드와 단품 캐패시터의 유전체가 도 3에 도시된 레이아웃에 정렬되는 방식을 도시한 제 1 실시예에 따른 전력 코어 장치의 일부를 도시한 평면도.
- <5> 도 5는 제 1 실시예에 따른 전력 코어 장치의 일부를 라인 a-a를 따라 취한 전방 단면도.
- <6> 도 6은 제 1 실시예에 따른 전력 코어 장치의 일부를 라인 b-b를 따라 취한 전방 단면도.
- <7> 도 7은 제 1 실시예에 따른 전력 코어 장치의 일부를 라인 c-c를 따라 취한 전방 단면도.
- <8> 도 8a 내지 도 8f는 단품화된 후막 포일-상면-소성(fired-on-foil) 캐패시터의 제조 방법을 도시한 도면.
- <9> 도 9a 및 도 9b는 평면 캐패시터 적층체의 제조 방법을 도시한 도면.
- <10> 도 10a 및 도 10b는 제 1 실시예에 따른 전력 코어 장치의 제조를 위한 평면 캐패시터 적층체의 초기 준비 단계를 도시한 도면.

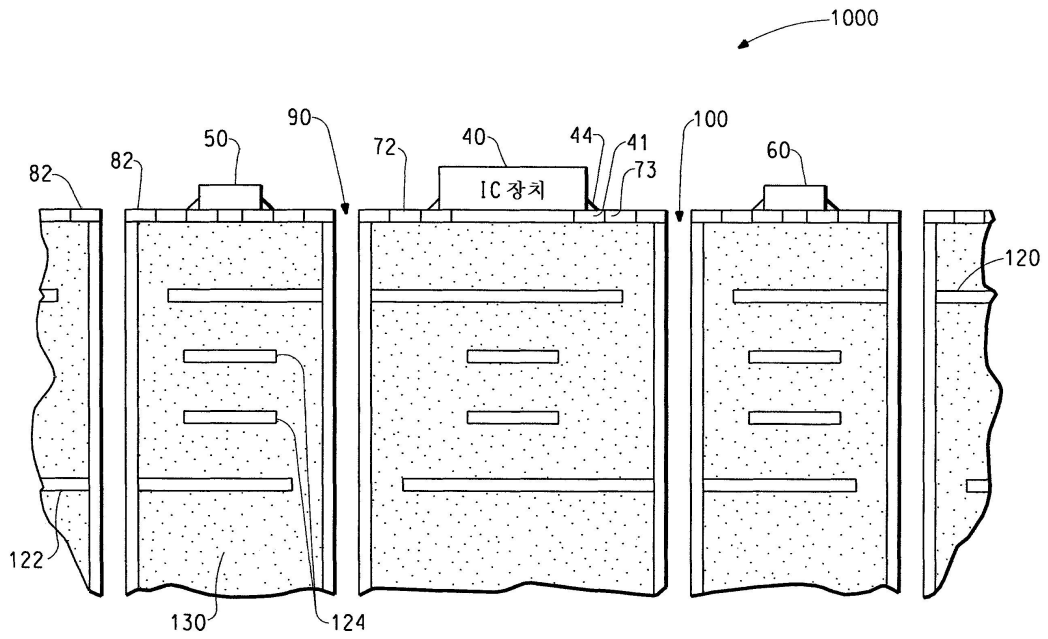
- <11> 도 11은 제1 실시예에 따른 전력 코어 구조 부속부의 전방 단면도.
- <12> 도 12는 본 발명에 따른 전력 코어 구조의 전방 단면도.
- <13> 도 13은 추가적인 프리프레그(prepreg) 및 금속층이 코어 구조에 적층되고 천공되어 도금된 관통공 비아가 형성된 전력 코어 장치의 전방 단면도.
- <14> <도면의 주요 부분에 대한 부호의 설명>
- <15> 200: 단품 캐패시터 구조
- <16> 201: 반도체 장치
- <17> 210: 포일
- <18> 212: 언더프린트
- <19> 215: 솔더마스크
- <20> 230: 제1 전극
- <21> 270: 제2 전극
- <22> 231, 271: 전극 패드
- <23> 270: 제2 공통 전극
- <24> 280: 접지면
- <25> 285: 전력면
- <26> 340: 평면 캐패시터

도면

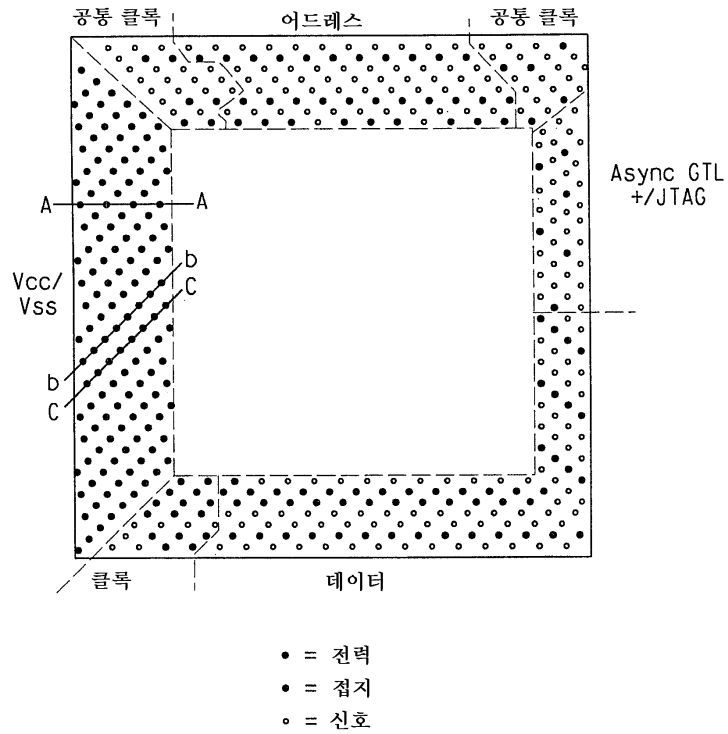
도면1



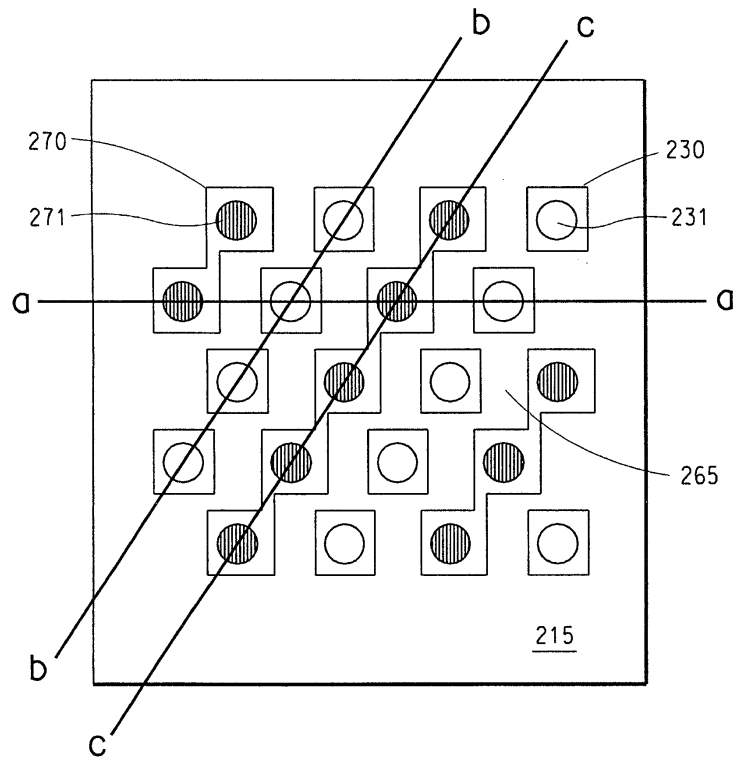
도면2



도면3

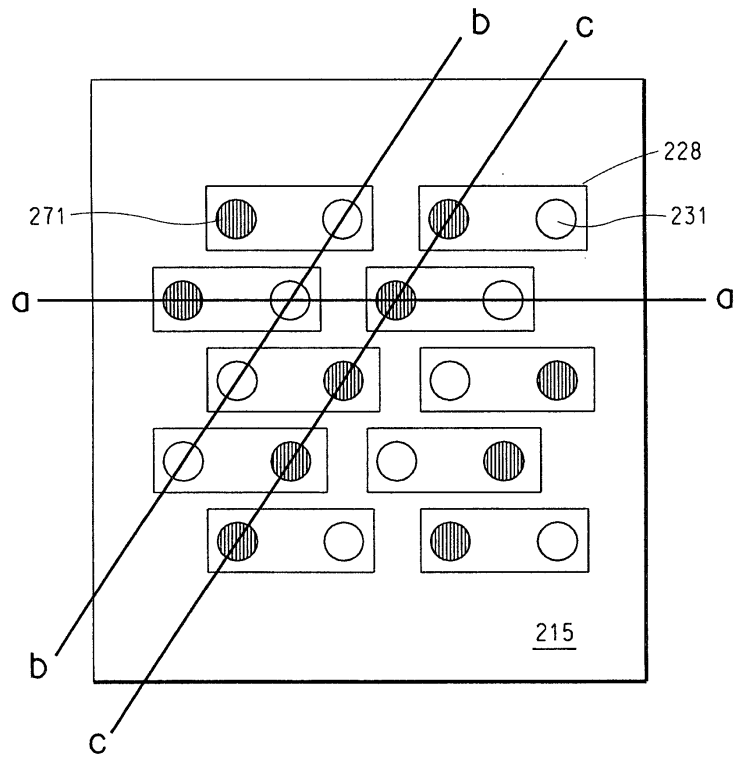


도면4a



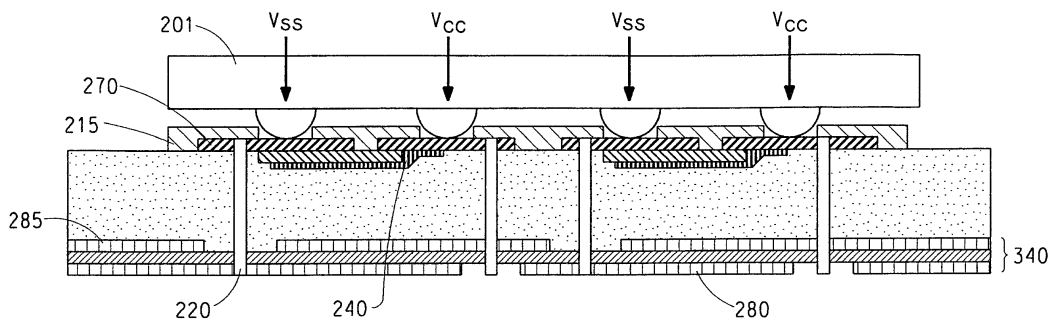
- 제1 전극(전력)
- 제2 전극(접지)

도면4b

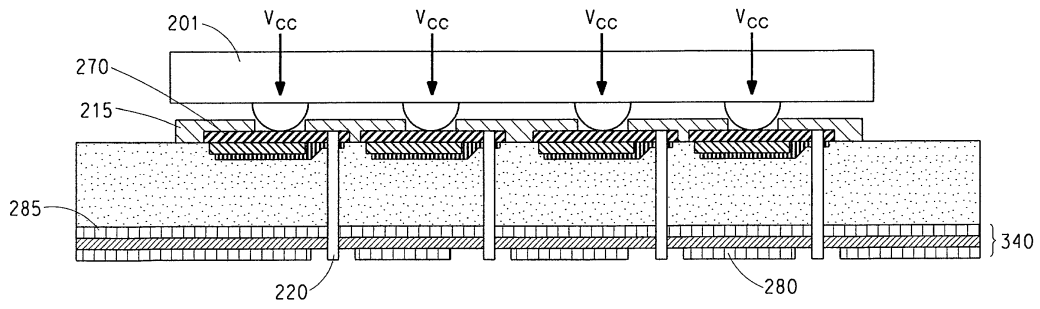


- 제1 전극(전력)
- 제2 전극(접지)

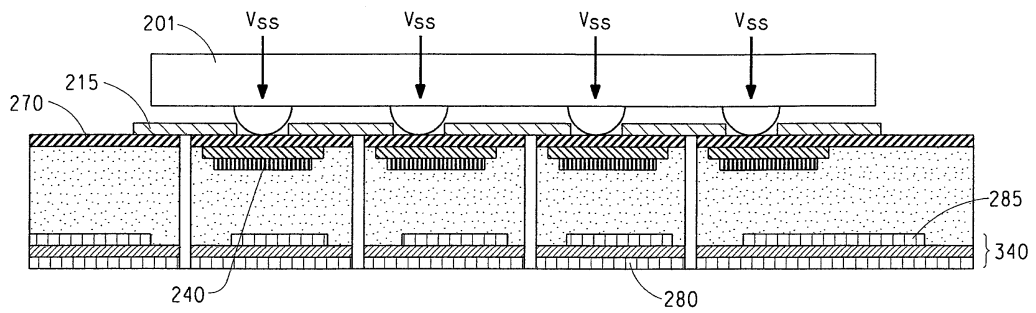
도면5



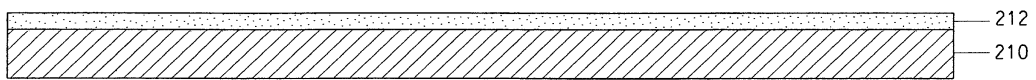
도면6



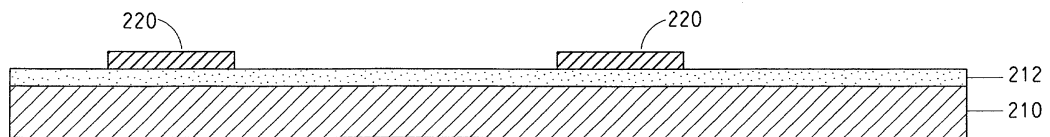
도면7



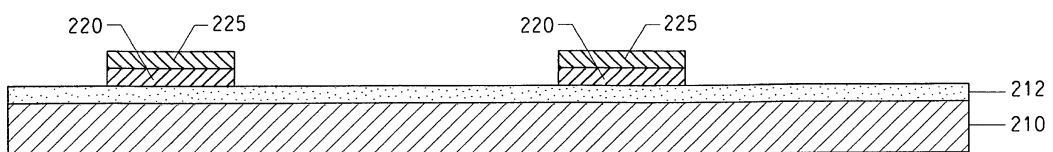
도면8a



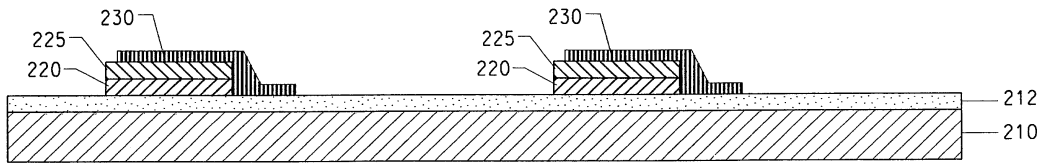
도면8b



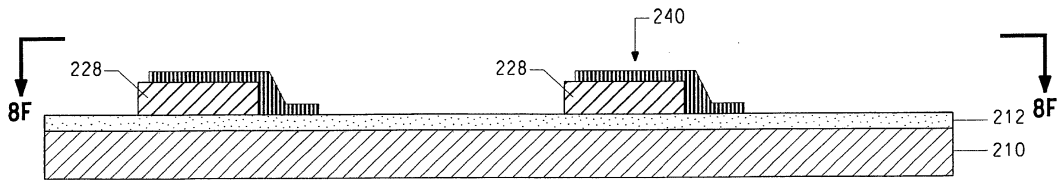
도면8c



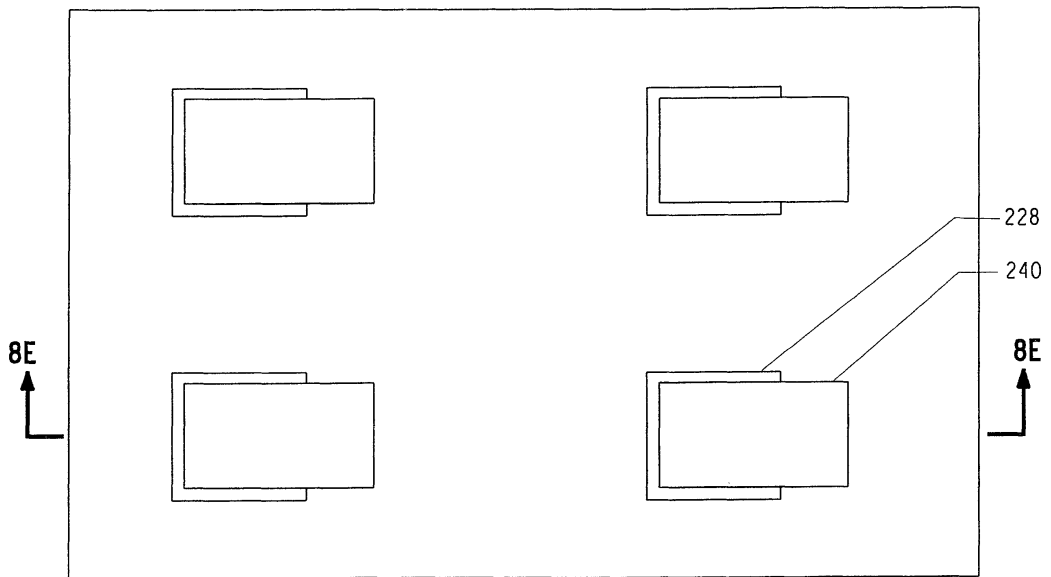
도면8d



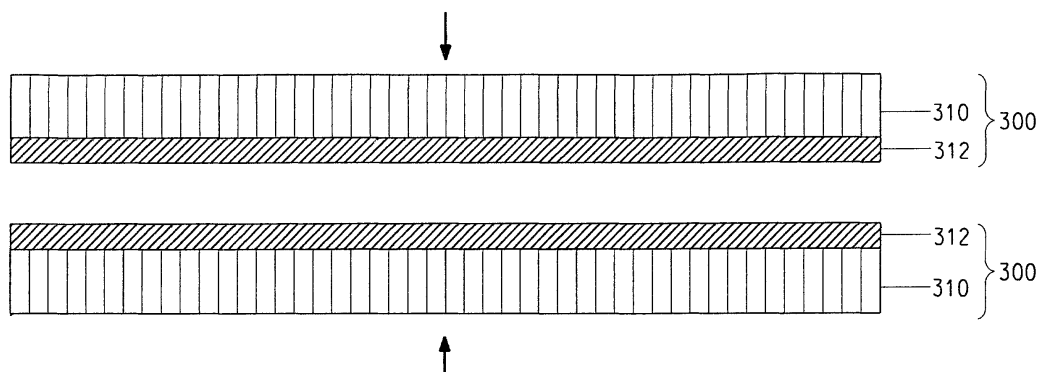
도면8e



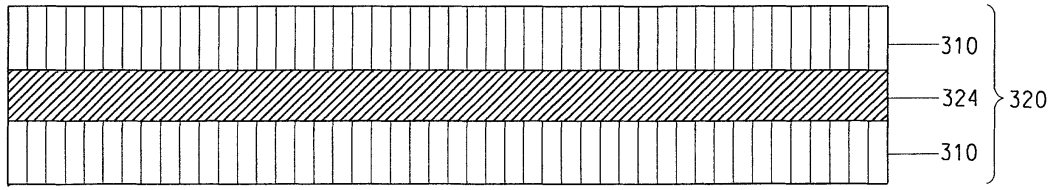
도면8f



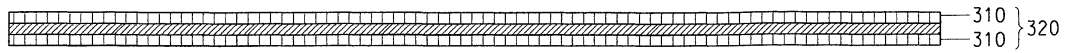
도면9a



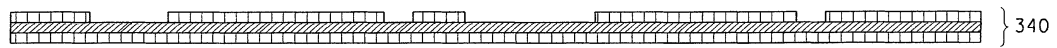
도면9b



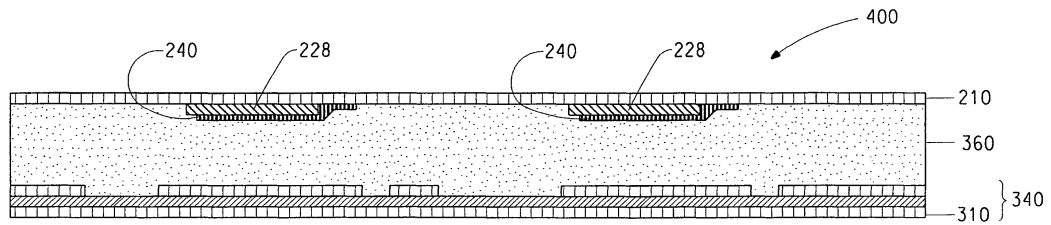
도면10a



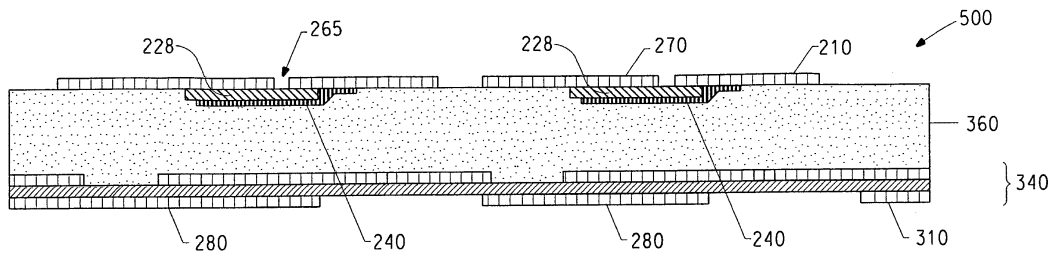
도면10b



도면11



도면12



도면13

