

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2020年9月3日(03.09.2020)



(10) 国際公開番号

WO 2020/174540 A1

(51) 国際特許分類:
H01L 21/336 (2006.01) **H01L 29/786** (2006.01)

(21) 国際出願番号: PCT/JP2019/007093

(22) 国際出願日: 2019年2月25日(25.02.2019)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(71) 出願人: 株式会社ニコン (NIKON CORPORATION) [JP/JP]; 〒1086290 東京都港区港南二丁目15番3号 Tokyo (JP).

(72) 発明者: 中 積 誠 (NAKAZUMI Makoto); 〒1086290 東京都港区港南二丁目15番3号 株式会社ニコン内 Tokyo (JP).

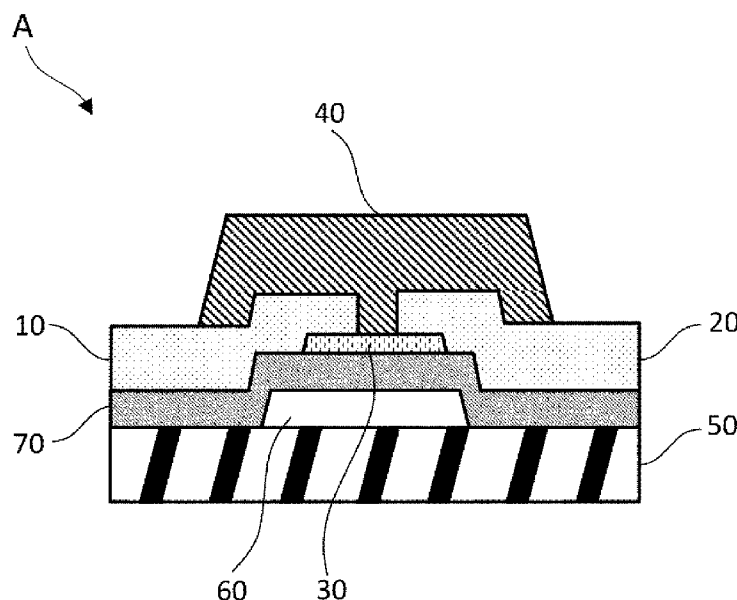
(74) 代理人: 特許業務法人 湘洋内外特許事務所 (SHOYO INTELLECTUAL PROPERTY FIRM); 〒2200004 神奈川県横浜市西区北幸二丁目15番1号 東武横浜第2ビル6階 Kanagawa (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,

(54) **Title:** SEMICONDUCTOR DEVICE, pH SENSOR, BIOSENSOR AND METHOD FOR PRODUCING SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置、pHセンサ及びバイオセンサ並びに半導体装置の製造方法

Fig.1



(57) **Abstract:** The present invention provides a semiconductor device A which comprises a first electrode 10, a second electrode 20, a semiconductor layer 30 that is in contact with the first electrode 10 and the second electrode 20, and a protective layer 40 that covers at least a part of the surface of the semiconductor layer 30, and which is configured such that the protective layer 40 contains a spinel oxide.

(57) 要約: 第1の電極10と、第2の電極20と、第1の電極10と第2の電極20とに接する半導体層30と、半導体層30の表面の少なくとも一部を被覆する保護層40と、を有し、保護層40は、スピネル型の酸化物を含む、半導体装置Aの提供。

[続葉有]



WO 2020/174540 A1

SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 一 国際調査報告(条約第21条(3))

明 細 書

発明の名称：

半導体装置、pHセンサ及びバイオセンサ並びに半導体装置の製造方法
技術分野

[0001] 本発明は、半導体装置、pHセンサ及びバイオセンサ並びに半導体装置の製造方法に関する。

背景技術

[0002] 特許文献1には、パッシベーション効果のある保護膜を有する有機半導体装置及びその製造方法について開示されている。従来、このような保護膜の材料として、 SiO_2 や Al_2O_3 膜等の金属酸化膜が用いられており、効率的に形成できることが求められている。

先行技術文献

特許文献

[0003] 特許文献1：特開2007-053147号公報

発明の概要

[0004] 本発明の第一の態様は、第1の電極と、第2の電極と、第1の電極と第2の電極とに接する半導体層と、半導体層の表面の少なくとも一部を被覆する保護層と、を有し、保護層は、スピネル型の酸化物を含む、半導体装置である。

[0005] 本発明の第二の態様は、上述した半導体装置を備える、pHセンサである。

[0006] 本発明の第三の態様は、上述した半導体装置を備える、バイオセンサである。

[0007] 本発明の第四の態様は、上述した半導体装置の製造方法であって、スパッタリングを行うことによって保護層を形成する工程を含む、半導体装置の製造方法である。

図面の簡単な説明

[0008] [図1]図1は、第1の実施形態に係る半導体装置Aの概略図である。

[図2]図2は、第2の実施形態に係る半導体装置Bの概略図である。

[図3]図3は、第1の実施形態に半導体装置Aを備えたpHセンサCの概略図である。

[図4]図4は、第1の実施形態に係る半導体装置Aの製造方法の一例を示す図である。

[図5]図5は、第2の実施形態に係る半導体装置Bの製造方法の一例を示す図である。

[図6]図6は、実施例1の半導体装置Dの概略断面図である。

[図7]図7は、実施例1のSIMS測定結果のグラフである。

[図8]図8は、実施例1のPBSテストのグラフである。

[図9]図9は、実施例1のNBSテストのグラフである。

[図10]図10は、実施例1のNBISテストのグラフである。

[図11]図11は、比較例1のPBSテストのグラフである。

[図12]図12は、比較例1のNBSテストのグラフである。

発明を実施するための形態

[0009] 以下、本発明を実施するための形態（以下、単に「本実施形態」という。）について詳細に説明する。以下の本実施形態は、本発明を説明するための例示であり、本発明を以下の内容に限定する趣旨ではない。なお、図面中、上下左右等の位置関係は、特に断らない限り、図面に示す位置関係に基づくものとする。更に、図面の寸法比率は図示の比率に限られるものではない。

[0010] 図1は、第1の実施形態に係る半導体装置Aの概略図である。

[0011] 第1の実施形態に係る半導体装置Aは、ボトムゲート・トップコンタクト（BGTC）型の半導体装置である。半導体装置Aは、第1の電極10と、第2の電極20と、第1の電極10と第2の電極20とに接する半導体層30と、半導体層30の表面の少なくとも一部を被覆する保護層40と、を有し、保護層40は、スピネル型の酸化物を含む、半導体装置である。

[0012] そして、半導体装置Aは、基板50と、基板50上に形成された第3の電

極60と、第3の電極60が形成された側の基板50の表面上に絶縁層70を有する。第1の電極10はソース電極であり、第2の電極20はドレイン電極であり、第3の電極60はゲート電極である。

[0013] 半導体装置Aは、保護層40として結晶構造がスピネル型である酸化物（以下、「スピネル型酸化物」と略称する場合がある。）を用いることで、成膜温度が低く、成膜速度も早く、不純物も入らないという利点がある。加えて、可撓性のある基板を使用したときであっても、簡便に製造できるという利点もある。

[0014] 従来、保護層として、例えば、酸化珪素や酸化アルミニウム等の金属酸化膜が汎用されているが、これらは成膜温度や成膜速度等多くの問題点を抱えている。例えば、これらの金属酸化膜を化学気相成長法（CVD法）によって形成する場合、成膜温度が高いこと、大がかりなCVD成膜装置が必要であること、材料ガス由来の水素や炭素といった不純物が多量に導入されてしまうこと等の問題がある。また、これらの金属酸化膜を高周波（RF）スパッタ法によって形成する場合、成膜速度が遅いこと等の問題がある。あるいは、これらの金属酸化膜を反応性スパッタ法によって形成する場合、保護層に酸素欠損が入るため、絶縁性や光学吸収を生じさせること等の問題がある。

[0015] この点、半導体装置Aは、保護層40としてスピネル型酸化物を用いることで、これらの問題点を一挙に解決できる。スピネル型酸化物は、上述した金属酸化膜等に比べて、比較的容易かつ効率よく成膜できる。

[0016] さらに、半導体装置Aの保護層40は、安定なスピネル型酸化物を用いているから、従来の金属酸化膜を用いた保護層と同程度乃至それ以上の優れたパッシベーション効果を発揮できる。よって、半導体装置Aは、半導体特性の面でも優れている。以下、半導体装置Aの構成を説明する。

[0017] 第1の電極10をソース電極として用いる場合、ソース電極としては、特に限定されず、公知のものを採用することができる。具体例としては、Mo、W、Al、Cu、Au、Cu-Al合金、Al-Si合金、Mo-W合金

、Ni-P合金等の単層、これらの積層体等が挙げられる。

[0018] 第2の電極20をドレイン電極として用いる場合、ドレイン電極としては、特に限定されず、公知のものを採用することができる。具体例としては、Mo、W、Al、Cu、Au、Cu-Al合金、Al-Si合金、Mo-W合金、Ni-P合金等の単層、これらの積層体等が挙げられる。

[0019] 半導体層30は、第1の電極10と第2の電極20に接触して形成される。半導体層30としては、特に限定されず、公知のものを採用することができる。具体例としては、酸化亜鉛(ZnO)、In、Ga及びZnを含む酸化物の無機半導体、IGZOに錫を混ぜたIGZTO、アモルファスシリコン、低温ポリシリコン等が挙げられる。これらの中でも、半導体特性の優れるIn、Ga及びZnを含む酸化物であることが好ましく、これらの中でもInGaZnO₄(IGZO)がより好ましい。

[0020] 半導体層30は、半導体特性を一層向上させるといった観点から、キャリア元素がドーピングされていることが好ましい。キャリア元素としては、特に限定されず、ドーピングプロセスにおいて公知のものを採用することができる。具体例としては、水素、1価の金属、2価の金属、3価の金属等が挙げられる。これらの中でも、本実施形態では、半導体層30には、水素がドーピングされていることがより好ましい。

[0021] 保護層40は、スピネル型酸化物であればよく、例えば、亜鉛とガリウムとを含むスピネル型酸化物(例えば、スピネル型のZnGa₂O₄等)、亜鉛とインジウムとを含むスピネル型酸化物(例えば、スピネル型のZnIn₂O₄等)、亜鉛とアルミニウムとを含むスピネル型酸化物(例えば、スピネル型のZnAl₂O₄等)、マグネシウムとアルミニウムとを含むスピネル型酸化物(例えば、スピネル型のMgAl₂O₄等)等が挙げられる。これらの中でも、比較的低温で結晶化する観点から、亜鉛とガリウムとを含むスピネル型酸化物が好ましく、スピネル型のZnGa₂O₄がより好ましい。

[0022] 保護層40に関して、本実施形態では、水素フリーとすることができる。すなわち、保護層は、水素がドーピングされていないもの、水素を実質的に含有

しないものを好適に採用することができる。ここでいう「実質的に含有しない」とは、当該成分を積極的に添加しないことを意味し、不可避免的に含有又は混合されることを除外するものではない。

[0023] 保護層40に水素が存在すると、それが不純物として半導体層30の中にも入ってしまう、という不具合を引き起こす場合がある。例えば、水素等の不純物があると、半導体中に拡散し、 V_{TH} （閾値電圧）シフト量が大きくなってしまう。この点について、例えば、従来法によって酸化珪素等の金属酸化膜を保護層とする場合、その原料として水素を使うが、本実施形態では水素を使用しなくてもよい。かかる観点から、保護層40の水素含有量が、 $1 \times 10^{21} \text{ atm/cc}$ 以下であることが好ましく、 $1 \times 10^{18} \text{ atm/cc}$ 以下であることがより好ましい。この水素含有量は、後述する実施例に記載の二次イオン質量分析法（SIMS）によって測定することができる。

[0024] 保護層40は、パッシベーション層として機能させることもできる。パッシベーション層は、半導体層30を外部と環境遮断するものであり、水分や金属イオン等から半導体層30を保護することができる。

[0025] 保護層40の膜厚は、40nm以上としてもよい。膜厚の上限は、特に限定されないが、1 μm としてもよい。

[0026] 基板50の材料は、特に限定されず、公知の材料を採用することができる。具体例としては、例えば、ガラス、樹脂、シリコン、金属、合金、これらの箔等が挙げられる。これらの中でも、ガラス、樹脂、シリコン、及びこれらの組み合わせからなる群より選ばれる1種であることが好ましい。

[0027] 樹脂としては、例えば、ポリアクリレート、ポリカーボネート、ポリウレタン、ポリスチレン、セルロースポリマー、ポリオレフィン、ポリアミド、ポリイミド、ポリエステル、ポリフェニレン、ポリエチレン、ポリエチレンテレフタレート、ポリプロピレン、エチレンビニル共重合体、ポリ塩化ビニル等を使用できる。

[0028] 基板50は、可撓性を有していてもよい。保護層40の形成には成膜条件の制約が強いCVD法を用いなくてもよいことや、スピネル型酸化物を保護

層40として成膜する方法に制約が少ないこと等から、基板等の材質の制限を緩和できる。よって、基板50として可撓性を有する材料を用いる場合であっても、好適に保護層40を成膜することができる。可撓性を有する基板としては、例えば、上述した樹脂材料等が挙げられる。

[0029] また、基板50が可撓性を有するフィルム基板（「シート基板」と呼ばれることもある。）であれば、ロール状として連続的に成膜するロール・ツー・ロール（Roll to Roll）方式や、ロール・ツー・シート（Roll to Sheet）方式を採用することができ、製造工程の高効率化、簡略化及び歩留まり向上等が期待できる。

[0030] ロール・ツー・ロール方式とは、ロール状のフィルム基板を巻き出して連続的に成膜し、再びロール状に巻き取る方式のこと。ロール・ツー・シート方式は、ロール状のフィルム基板を巻き出して連続的に成膜し、これをカッティングしてシートとする方式のことをいう。

[0031] 第3の電極60は、ゲート電極である。第3の電極60は、特に限定されず、公知のものを採用することができる。具体例としては、Mo、W、Al、Cu、Au、Cu-Al合金、Al-Si合金、Mo-W合金、Ni-P合金等の単層、これらの積層体等が挙げられる。ゲート電極である第3の電極60の形成方法は、特に限定されず、基板50やゲート電極の材料等を考慮した上で、適宜好適な方法を採用することができる。

[0032] 絶縁層70は、特に限定されず、公知の材料を採用することができる。具体例としては、例えば、 SiO_2 、 Si_3N_4 、 SiON 、 Al_2O_3 、 Ta_2O_5 、 HfO_2 等の無機材料や、光硬化型樹脂、熱硬化型樹脂等が挙げられる。

[0033] 本実施形態では、半導体装置Aのように、第1の電極10、第2の電極20、第3の電極60を、それぞれ、ソース電極、ドレイン電極、ゲート電極としたトランジスタを構成してもよいし、第3の電極60（ゲート電極）を有しない構成としてもよい。また、本実施形態によれば、基板50や絶縁層70を有しない構成としてもよい。このように、本実施形態に係る半導体装置は、図1に示す構成に限定されず、種々の構成を採用可能である。

[0034] 図2は、第2の実施形態に係る半導体装置Bの概略図である。

[0035] 第2の実施形態に係る半導体装置Bは、ボトムゲート・ボトムコンタクト（B G B C）型の半導体装置である。半導体装置Bにおいて、保護層40は、半導体層30の表面の少なくとも一部を被覆する。

[0036] 半導体装置Bを構成する各部材については、特に断りがない限り、上述した半導体装置Aと共通する部材は、半導体装置Aと同様のものを採用することができる。

[0037] 本実施形態によれば、半導体装置の構造は特に限定されず、ボトムゲート・トップコンタクト型（図1参照）、ボトムゲート・ボトムコンタクト型（図2参照）、トップゲート・トップコンタクト型、トップゲート・ボトムコンタクト型の構造を採用することができる。

[0038] ここまで説明してきた半導体装置A、Bは、電子伝導度等といった半導体特性に優れることはもちろん、保護層40を有することで耐酸性や耐塩基性といった化学的耐性も付与できる。そして、半導体装置A、Bをデバイス化した際には、配線パターンの微細化や精細化が期待されるとともに、デバイスとしての軽量化等にも寄与することができる。したがって、本実施形態に係る半導体装置は、pHセンサやバイオセンサ等の各種センサ類をはじめ、TFT液晶や有機EL等の部品として好適に用いることができる。以下、そのいくつかについて説明する。

[0039] ＜pHセンサ＞

図3は、第1の実施形態に半導体装置Aを備えたpHセンサCの概略図である。

[0040] pHセンサCは、例えば、本実施形態に係る半導体装置Aを用いたpHセンサ（Ion Sensitive-FET；イオン感应性電界効果型トランジスタ）である。

[0041] pHセンサCは、半導体装置Aと、半導体装置Aの上に設けられたシリコンゴム製のプール壁80と参照電極90とを有している。そして、測定対象である溶液S（例えば、酸性溶液の場合は塩酸、アルカリ性溶液の場合は水酸化ナトリウム溶液等）をプール壁80により構成されたプール内に充填し

、参照電極 90 と電極との電位差を測定する。溶液 S の pH は溶液中のプロトン量に依存するので、溶液中のプロトン量を電氣的に測定し、測定したプロトン量に基づいて pH 値を算出するのが pH センサの測定原理である。

[0042] 本実施形態に係る半導体装置 A は、強酸や強塩基に対しても高い安定性を付与できる。そのため、これを用いた pH センサ C は、pH 1～14 といった幅広い pH 領域において高い安定性を有し、対象資料が強酸・強塩基であっても迅速かつ正確な測定が可能である。

[0043] ここでは、pH センサの一例として、半導体装置 A を用いた場合を示したが、半導体装置 B を用いてもよいことは勿論である。

[0044] <バイオセンサ>

また、図示はしないが、本実施形態に係る半導体装置 A、B はバイオセンサ（バイオセンサチップという場合もある。）としても用いることができる。バイオセンサは、生体起源の分子認識機構を利用した化学センサであり、生体内の pH 変化や酸化還元反応等の化学認識素子として用いられる。

[0045] この点、本実施形態に係る半導体装置 A、B は幅広い pH 領域において高い安定性を有するため、測定対象が強酸性や強塩基性であっても正確なセンシングが可能なバイオセンサとすることができる。例えば、特定の抗体を半導体表面に修飾させ、これに特異的な DNA 等の検知対象が吸着した際のプロトン量を計測するバイオセンサとすることができる。

[0046] <製造方法>

図 4 は、第 1 の実施形態に係る半導体装置 A の製造方法の一例を示す図である。

[0047] 図 4 に示す製造方法は、ボトムゲート・トップコンタクト型（図 1 参照）の半導体装置 A の製造方法である。この製造方法は、基板 50 上に半導体層 30 を形成する工程と、基板 50 上に導電層（不図示）を形成する工程と、この導電層を所定のパターンに対応させてエッチングし、第 1 の電極 10 及び第 2 の電極 20 を形成する工程と、半導体層 30 の表面の少なくとも一部を被覆するように、成膜温度が 200℃以下でスパッタリングを行うことに

よって保護層40を形成する工程と、を行うものである。以下、その各工程を詳しく説明する。

[0048] (第1工程)

まず、基板50の表面上に第3の電極60を形成する。第3の電極60は、上述したゲート電極に対応するものである。基板50の表面上への第3の電極60の形成方法は、特に限定されず、基板50や電極の材料等を考慮した上で、適宜好適な方法を採用することができる。

[0049] (第2工程)

次に、第3の電極60が形成された側の基板50の表面上に絶縁層70を形成し、第3の電極60を絶縁層70で被覆する。絶縁層70の形成方法は、特に限定されず、基板50、第3の電極60、絶縁層70の材料等を考慮した上で、適宜好適な方法を採用することができる。

[0050] (第3工程)

そして、絶縁層70の表面上に半導体層30を形成する。半導体層30は、スパッタリング法によって形成させることが好ましい。この場合、スパッタ装置を用いて形成することができ、複数のカソードを用いて所定の半導体層30を形成してもよい。スパッタリングには、1種の材料をターゲットとする一元同時スパッタを採用してもよいし、複数種の材料をターゲットとする共スパッタ (co-sputter) を採用してもよい。

[0051] 一例として、半導体層30をIGZO薄膜によって形成する場合を説明する。この場合、 InGaZnO_4 である酸化物焼結体をターゲットとしてもよいし (一元同時スパッタ)、 In_2O_3 、 Ga_2O_3 、及び ZnO の3種を多元同時に使用することで、組成比を傾斜させて所望の組成を持つIGZO膜となるよう制御してもよい (多元同時スパッタ、共スパッタ)。

[0052] 例えば、n型半導体材料の場合には、元素ドーピング、膜中の酸素欠損による作製が可能である。n型半導体が得られる元素としては、特に限定されないが、例えば、Al、In、Sn、Sb、Ta等が挙げられる。酸素欠損を発生させる方法としては、特に限定されず公知の方法を採用することがで

きる。具体的には、嫌酸素雰囲気下又は水素や水蒸気等の還元ガス雰囲気下で加熱処理を施すことが好ましい。例えば、スパッタガスに水素を混合した状態で成膜を行い、格子間水素によるn型のキャリアドーピングを行う方法が挙げられる。これらの処理は、成膜後チャンバー内で行ってもよいし、後工程として焼成してもよい。

[0053] 半導体層30の成膜温度は、半導体層30の結晶性を向上させる観点から190℃以上で行うことが好ましい。また、成膜温度の上限は、400℃であることが好ましい。

[0054] なお、加熱しすぎると基板50の表面に飛来するZn粒子の蒸発を促し、GaとZnの化学量論比からのずれ（組成ずれ）が生じる場合があるが、Zn又はZnOを含む焼結体ターゲットを同時放電することで、膜中のZn濃度を増加させることができ、組成ずれを効果的に防止することができる。

[0055] （第4工程）

半導体層30上に導電性を有する導電層（不図示）を形成し、この導電層を所定のパターンに対応させてエッチングすることによって、第1の電極10及び第2の電極20を形成する工程を行う。第1の電極10はソース電極であり、第2の電極20はドレイン電極である。第1の電極10及び第2の電極20の形成方法としては、通常のリソ工法を用いることができる。この場合、半導体層30上に導電層を形成した後、導電層上にレジスト層を形成し、所定のパターン光でレジスト層を露光し、現像する。次いで、レジスト層の開口部から露出している導電層をエッチングすることで第1の電極10、第2の電極20を形成することができる。なお、レジスト層としてポジ型の材料を用いてもよいし、ネガ型の材料を用いてもよい。

[0056] この場合、エッチング溶液は、酸性溶液であることが好ましい。通常のリソ工法で使用するレジスト材料はアルカリ性に可溶であるため、酸性溶液を用いることにより、レジスト層を溶かすことなく好適に導電層をエッチングすることができる。なお、図示していないが、導電層を形成する前に半導体層30上にエッチストップ層を形成する構成としてもよい。これに

より、導電層をエッチングする際に、半導体層 30 がエッチング溶液と接触して劣化するのを抑制することができる。

[0057] (第 5 工程)

そして、第 4 工程で形成された第 1 の電極 10 及び第 2 の電極 20 の上に、保護層 40 を形成することで、半導体装置 A を得ることができる。保護層 40 を基板 50 の最外表面に形成させることによって、外界の水分や金属イオン等から半導体装置 A の内部を保護することができる。

[0058] 従来の保護層は酸化珪素や酸化アルミニウム等の金属酸化膜を採用することが望ましいと考えられていたため、その成膜温度は 300℃ 以上であることが必要とされていた。しかしながら、本実施形態に係る製造方法は、使用するスピネル型酸化物の成膜温度が低温であり、成膜速度も速いため、簡便かつ効率よく半導体装置を製造することができる。例えば、基板 50 として樹脂基板を用いる場合、その使用可能温度は比較的低温であるため、成膜温度は低温であることが好ましい。かかる観点から、保護層 40 の成膜温度は、200℃ 以下であり、190℃ 以下であることが好ましい。

[0059] 一例として、保護層 40 を、亜鉛 (Zn) とガリウム (Ga) とを含むスピネル型酸化物によって形成する場合を説明する。この場合、保護層 40 としてかかる酸化物を用いることで、保護層 40 は強酸や強塩基に対して強い耐性を発現させることも期待できる。

[0060] 例えば、ガリウム亜鉛酸化物及び亜鉛酸化物をターゲットとして用いて共スパッタを行い、スピネル型のガリウム亜鉛酸化物からなる保護層 40 を形成することができる。あるいは、ガリウム酸化物及び亜鉛酸化物をターゲットとして用いて共スパッタする方法や、ガリウム及び亜鉛をターゲットとして用いて共スパッタし、成膜中に反応性ガスで酸化する方法を使用してもよい。さらには、共スパッタに限らず、亜鉛酸化物とガリウム酸化物の混合物をターゲットとして用いてスパッタする方法や、亜鉛とガリウムの混合物をターゲットとして用いてスパッタし、成膜中に反応性ガスで酸化する方法を使用してもよい。

[0061] このようにして得られた半導体装置Aは、所望の装置構成とするべく、必要に応じて、その他の工程を施してもよい。例えば、各部位を形成する前の前処理工程、各部位を形成した後の表面研磨工程、ダイジング工程、リードフレーム上へのマウント工程、回路形成後のパッケージングを行う組み立て工程、ワイヤーボンディング工程、モールド封入工程等を適宜に採用することができる。

[0062] 図5は、第2の実施形態に係る半導体装置Bの製造方法の一例を示す図である。

[0063] 図5に示す製造方法は、ボトムゲート・ボトムコンタクト型（図2参照）の半導体装置Bの製造方法である。この製造方法は、半導体層30と保護層40とを連続的に形成するものである。以下、その各工程を詳しく説明する。

[0064] （第1工程）

まず、基板50の表面上に第3の電極60を形成する。第3の電極60は、上述したゲート電極に対応するものである。基板50の表面上への第3の電極60の形成方法は、特に限定されず、基板50や電極の材料等を考慮した上で、適宜好適な方法を採用することができる。

[0065] （第2工程）

次に、第3の電極60が形成された側の基板50の表面上に絶縁層70を形成し、第3の電極60を絶縁層70で被覆する。絶縁層70の形成方法は、特に限定されず、基板50、第3の電極60、絶縁層70の材料等を考慮した上で、適宜好適な方法を採用することができる。

[0066] （第3工程）

そして、絶縁層70の表面上に導電性を有する導電層（不図示）を形成し、この導電層を所定のパターンに対応させてエッチングすることによって、第1の電極10及び第2の電極20を形成する工程を行う。第1の電極10はソース電極であり、第2の電極20はドレイン電極である。第1の電極10及び第2の電極20の形成方法としては、通常の写真リソ工程を用いる

ことができる。この場合、絶縁層 70 上に導電層を形成した後、導電層上にレジスト層を形成し、所定のパターン光でレジスト層を露光し、現像する。次いで、レジスト層の開口部から露出している導電層をエッチングすることで第 1 の電極 10、第 2 の電極 20 を形成することができる。なお、レジスト層としてポジ型の材料を用いてもよいし、ネガ型の材料を用いてもよい。

[0067] この場合、エッチング溶液は、酸性溶液であることが好ましい。通常のフォトリソ工程で使用されるレジスト材料はアルカリ性に可溶であるため、酸性溶液を用いることにより、レジスト層を溶かすことなく好適に導電層をエッチングすることができる。

[0068] (第 4 工程)

そして、第 1 の電極 10 と第 2 の電極 20 に接触するように半導体層 30 を絶縁層 70 の表面上に形成する。それに引き続き、半導体層 30 を覆うように保護層 40 を形成する。

[0069] 半導体層 30 及び保護層 40 は、スパッタリング法によって形成させることが好ましい。この場合、スパッタ装置を用いて形成することができ、複数のカソードを用いて所定の半導体層 30 及び保護層 40 を形成することが好ましい。半導体層 30 及び保護層 40 を同一の形成手法（例えば、スパッタリング法）によって形成することで、半導体層 30 及び保護層 40 を連続的に形成することが容易となる。

[0070] スパッタリングには、1 種の材料をターゲットとする一元同時スパッタを採用してもよいし、複数種の材料をターゲットとする共スパッタ (co-sputter) を採用してもよい。

[0071] 一例として、半導体層 30 を、IGZO 薄膜によって形成する場合を説明する。この場合、 InGaZnO_4 である酸化物焼結体をターゲットとしてもよいし（一元同時スパッタ）、 In_2O_3 、 Ga_2O_3 、及び ZnO の 3 種を多元同時に使用することで、組成比を傾斜させて所望の組成を持つ IGZO 膜となるよう制御してもよい（多元同時スパッタ、共スパッタ）。

[0072] 例えば、n 型半導体材料の場合には、元素ドーピング、膜中の酸素欠損に

よる作製が可能である。n型半導体が得られる元素としては、特に限定されないが、例えば、Al、In、Sn、Sb、Ta等が挙げられる。酸素欠損を発生させる方法としては、特に限定されず公知の方法を採用することができる。具体的には、嫌酸素雰囲気下又は水素等の還元ガス雰囲気下で加熱処理を施すことが好ましい。例えば、スパッタガスに水素を混合した状態で成膜を行い、格子間水素によるn型のキャリアドーピングを行う方法が挙げられる。これらの処理は、成膜後チャンバー内で行ってもよいし、後工程として焼成してもよい。

[0073] 半導体層30の成膜温度は、半導体層30の膜密度を向上させる観点から105℃以上で行うことが好ましく、150℃以上であることがより好ましい。また、成膜温度の上限は、300℃であることが好ましい。

[0074] なお、加熱しすぎると基板50の表面に飛来するZn粒子の蒸発を促し、GaとZnの化学量論比からのずれ（組成ずれ）が生じる場合があるが、Zn又はZnOを含む焼結体ターゲットを同時放電することで、膜中のZn濃度を増加させることができ、組成ずれを効果的に防止することができる。

[0075] そして、保護層40を基板50の最外表面に形成させることによって、外界の水分や金属イオン等から半導体装置Bの内部を保護することができる。

[0076] 従来の保護層は酸化珪素や酸化アルミニウム等の金属酸化膜を採用することが望ましいと考えられていたため、その成膜温度は300℃以上であることが必要とされていた。これに比べて、本実施形態に係る製造方法は、成膜温度が低温であり、成膜速度も速いため、簡便かつ効率よく半導体装置を製造することができる。例えば、基板50として樹脂基板を用いる場合、その使用可能温度は比較的低温であるため、成膜温度は低温であることが好ましい。かかる観点から、保護層40の成膜温度は、200℃以下であり、190℃以下であることが好ましい。

[0077] 一例として、保護層40を、亜鉛（Zn）とガリウム（Ga）とを含むスピネル型酸化物によって形成する場合を説明する。この場合、保護層40としてかかる酸化物を用いることで、保護層40は強酸や強塩基に対して強い

耐性を発現させることも期待できる。

[0078] 例えば、ガリウム亜鉛酸化物及び亜鉛酸化物をターゲットとして用いて共スパッタを行い、スピネル型のガリウム亜鉛酸化物からなる保護層40を形成することができる。あるいは、ガリウム酸化物及び亜鉛酸化物をターゲットとして用いて共スパッタする方法や、ガリウム及び亜鉛をターゲットとして用いて共スパッタし、成膜中に反応性ガスで酸化する方法を使用してもよい。さらには、共スパッタに限らず、亜鉛酸化物とガリウム酸化物の混合物をターゲットとして用いてスパッタする方法や、亜鉛とガリウムの混合物をターゲットとして用いてスパッタし、成膜中に反応性ガスで酸化する方法を使用してもよい。

[0079] 本実施形態では、半導体層30と保護層40のいずれもスパッタリング法によって形成することが好ましい。例えば、半導体層30がIGZOからなり、保護層40がスピネル型のガリウム亜鉛酸化物である場合、スパッタリング法のターゲットを共通して利用できるため、半導体層30を形成した後、そのまま同一装置内で保護層40を連続して形成することができる。これによって、装置構成を大がかりなものにせず、簡便かつ連続的な製造が可能となる。

[0080] このようにして得られた半導体装置Bは、所望の装置構成とするべく、必要に応じて、その他の工程を実施してもよい。例えば、各部位を形成する前の前処理工程、各部位を形成した後の表面研磨工程、ダイジング工程、リードフレーム上へのマウント工程、回路形成後のパッケージングを行う組み立て工程、ワイヤーボンディング工程、モールド封入工程等を適宜に採用することができる。

実施例

[0081] 以下の実施例及び比較例により本発明を更に詳しく説明するが、本発明は以下の実施例により何ら限定されるものではない。

[0082] <実施例1>

図6は、実施例1の半導体装置Dの概略断面図である。

[0083] (半導体膜の形成)

まず、p型ドーブ（ホウ素ドーブ）されたシリコンウエハに200nmの熱酸化膜（ SiO_2 ）が形成された、高電導性p型シリコン基板を用意した。この基板の上に、 α -IGZO薄膜を形成させた。 α -IGZO薄膜は、 $\text{In}:\text{Ga}:\text{Zn}$ の原子数濃度が1:1:1となる InGaZnO ターゲットを用いてRFスパッタリング法により形成した。なお、成膜中の基板温度は105℃とした。

[0084] (ソース・ドレイン電極の形成)

そして、ソース・ドレイン電極となるAl電極（膜厚80nm）を、メタルマスクを用いた真空蒸着法によって成膜した。ソース・ドレイン電極の形成は、抵抗加熱型の真空蒸着装置を用いて行った。

[0085] (保護層（パッシベーション膜）の形成)

続いて、上述した α -IGZO薄膜を覆うように、スピネル型の ZnGa_2O_4 薄膜を保護層として形成させ、これをパッシベーション膜とした。 ZnGa_2O_4 薄膜の形成は、 α -IGZO薄膜形成に用いたのと同じスパッタ装置を用い、 ZnO ターゲットと Ga_2O_3 ターゲットを同時にスパッタするコスパッタによって行った。ターゲット出力を制御してZnとGaの組成比が1:2となるように制御し、190℃の基板加熱を行うことで ZnGa_2O_4 はスピネル型の結晶構造となる。特に、スパッタガスについて、半導体層の形成には通常水素3%を含んだArを用いることが多いが、本実施例ではパッシベーション膜の形成であるので、水素を含有しないArガスを用いた。それと同時に、反応性ガスとして酸素をArに対して体積比10%の割合で導入した。これによって、水素や酸素欠損がないように制御した。そして、背圧 $1 \times 10^{-4} \text{Pa}$ 以下、成膜圧力0.22Pa、成膜温度190℃の条件で成膜した。これによって、図6に示す構造を有する半導体装置Dを作製した。

[0086] 図7は、実施例1のSIMS測定結果のグラフである。

[0087] 得られた半導体装置の構造確認は、XRD（X線回折法）による $\theta-2\theta$

測定及び二次イオン質量分析法（SIMS）により行った。その結果を図7に示す。これにより、 ZnGa_2O_4 薄膜がスピネル型の ZnGa_2O_4 薄膜であることや、パッシベーション膜の水素含有量が $1 \times 10^{21} \text{ atoms/cc}$ 以下であることを確認した。

[0088] <比較例1>

パッシベーション膜を形成しなかった点以外は、実施例1と同様にして半導体装置を作製した。

[0089] <評価方法>

得られた半導体装置について、薄膜トランジスタ（TFT）としての電気的特性を、半導体パラメータアナライザ（4200-SCS、KEITHLEY社製）を用いて評価した。具体的には、ゲート電極をSi基板、ソース・ドレイン電極をAl電極として、以下のバイアスストレス耐性を評価した。

[0090] （1）正バイアスストレス耐性（Positive Bias Stress ; PBS）

ゲート電極に、+20Vを、0秒、10秒、100秒、1000秒で印加し、それぞれの伝達特性を測定した。

[0091] （2）負バイアスストレス耐性（Negative Bias Stress ; NBS）

ゲート電極に、-20Vを、0秒、10秒、100秒、1000秒で印加し、それぞれの伝達特性を測定した。

[0092] （3）光照射下負バイアスストレス耐性（Negative Bias Illumination Stress ; NBIS）

ゲート電極に、-20Vを、0秒、10秒、100秒、1000秒で印加し、白色光（照射条件：1000ルクス）を照射して、それぞれの伝達特性を測定した。

[0093] 図8は、実施例1のPBSテストのグラフであり、図9は、実施例1のNBSテストのグラフであり、図10は、実施例1のNBISテストのグラフである。

[0094] 図8～図10より、実施例1の半導体装置は、0秒～1000秒にわたり

シフトが少なく、トランジスタとして優れた移動度であることが確認された。そして、実施例 1 の半導体装置は、成膜温度が低く、成膜速度も早い製造方法により作製可能であり、かつ、不純物含有量が少ないことから優れた半導体特性を有することも確認された。

[0095] 図 1 1 は、比較例 1 の P B S テストのグラフであり、図 1 2 は、比較例 1 の N B S テストのグラフである。

[0096] 図 1 1、図 1 2 より、比較例 1 の半導体装置は、0 秒～1 0 0 0 秒にわたりシフトが大きく、半導体特性として劣っていることが確認された。また、比較例 1 の N B I S テストについては、測定中に半導体装置が破損したために、計測不可能であった。

符号の説明

[0097] 1 0…第 1 の電極、2 0…第 2 の電極、3 0…半導体層、4 0…保護層、5 0…基板、6 0…第 3 の電極、7 0…絶縁層、8 0…プール壁、9 0…参照電極、A, B…半導体装置、C…p H センサ、S…溶液

請求の範囲

- [請求項1] 第1の電極と、
第2の電極と、
前記第1の電極と前記第2の電極とに接する半導体層と、
前記半導体層の表面の少なくとも一部を被覆する保護層と、
を有し、
前記保護層は、スピネル型の酸化物を含む、
半導体装置。
- [請求項2] 前記スピネル型の酸化物は、亜鉛（Zn）とガリウム（Ga）とを含む、
請求項1に記載の半導体装置。
- [請求項3] 前記スピネル型の酸化物は、 ZnGa_2O_4 である、
請求項1又は2に記載の半導体装置。
- [請求項4] 前記半導体層が、In、Ga及びZnを含む酸化物である、
請求項1～3のいずれか一項に記載の半導体装置。
- [請求項5] 前記半導体層が、 InGaZnO_4 である、
請求項1～4のいずれか一項に記載の半導体装置。
- [請求項6] 前記保護層の水素含有量が、 $1 \times 10^{21} \text{ atoms/cc}$ 以下である、
請求項1～5のいずれか一項に記載の半導体装置。
- [請求項7] 前記保護層は、パッシベーション機能を有する、
請求項1～6のいずれか一項に記載の半導体装置。
- [請求項8] 前記保護層の膜厚が、40nm以上である、
請求項1～7のいずれか一項に記載の半導体装置。
- [請求項9] 基板をさらに有する、
請求項1～8のいずれか一項に記載の半導体装置。
- [請求項10] 前記基板は、ガラス、樹脂、シリコン、及びこれらの組み合わせからなる群より選ばれる1種である、

請求項 9 に記載の半導体装置。

[請求項11] 前記基板は、可撓性を有する、
請求項 9 又は 10 に記載の半導体装置。

[請求項12] 請求項 1 ～ 11 のいずれか一項に記載の半導体装置であって、
前記半導体層に接する絶縁層と、
前記絶縁層を介して前記半導体層と対向して設けられた第 3 の電極
と、
を更に有し、
前記第 1 の電極をソース電極として、前記第 2 の電極をドレイン電
極として、前記第 3 の電極をゲート電極として、それぞれ有するトラ
ンジスタである、半導体装置。

[請求項13] 請求項 1 ～ 12 のいずれか一項に記載の半導体装置を備える、pH
センサ。

[請求項14] 請求項 1 ～ 12 のいずれか一項に記載の半導体装置を備える、バイ
オセンサ。

[請求項15] 請求項 1 ～ 12 のいずれか一項に記載の半導体装置の製造方法であ
って、
スパッタリングによって前記保護層を形成する工程を含む、
半導体装置の製造方法。

[請求項16] 前記保護層を形成する工程は、200℃以下で行われる、
請求項 15 に記載の半導体装置の製造方法。

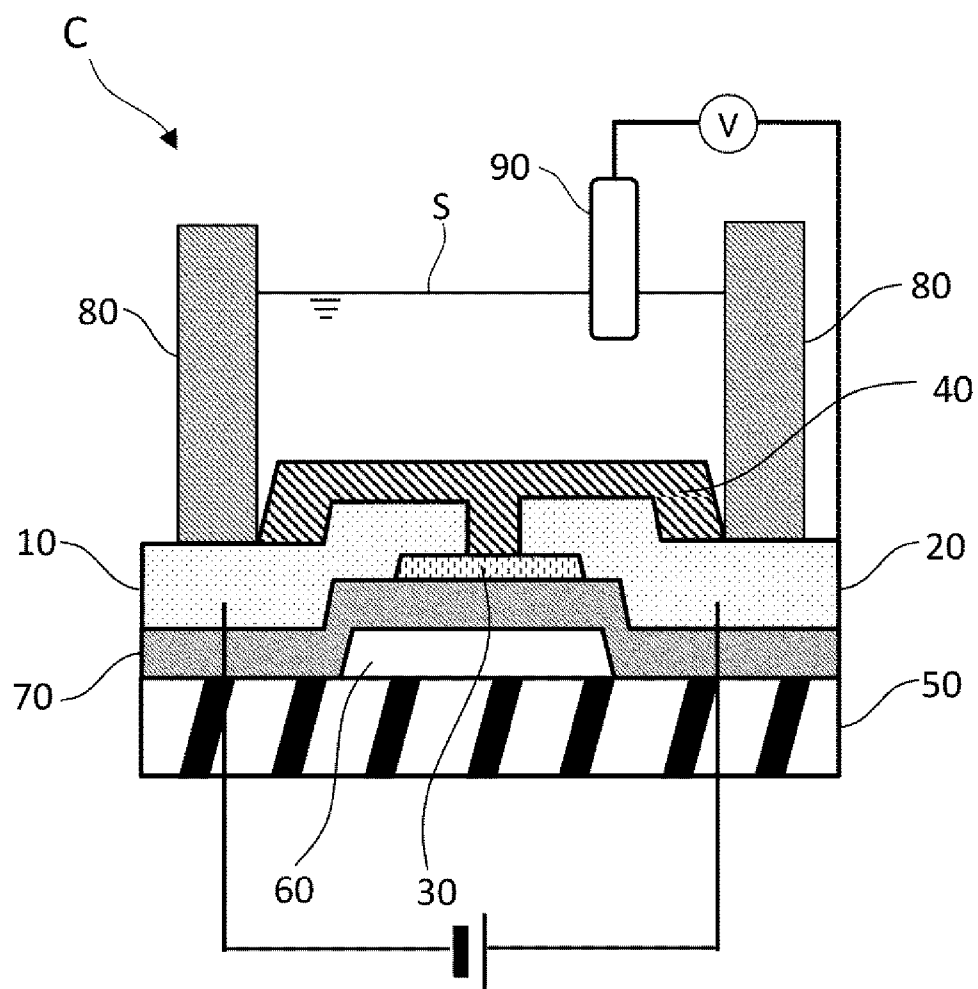
[請求項17] 前記半導体層を形成した後に、前記半導体層を形成したチャンバー
と同一のチャンバー内で、前記保護層を形成する工程を行う、
請求項 15 又は 16 に記載の半導体装置の製造方法。

A cross-sectional view of a semiconductor device structure, labeled A. The structure consists of a substrate 50 with a series of vertical stripes. A layer 70 is formed on the substrate. A central region 30 is defined by a patterned layer 60. A layer 20 is formed on the layer 70, and a layer 40 is formed on the layer 20. The layer 40 has a central region 10 and side regions 20. The layer 40 is patterned to form a central region 10 and side regions 20. The layer 40 is formed on the layer 20, and the layer 20 is formed on the layer 70. The layer 70 is formed on the substrate 50.

This cross-sectional view shows the device structure along the direction of arrow B. It features a central trapezoidal region 40 with diagonal hatching, flanked by two trapezoidal regions 10 with a dotted pattern. These are situated on a base layer 20, also with a dotted pattern. Below the base layer is a thin layer 70 with a cross-hatched pattern. The entire structure is supported by a substrate 50 with diagonal hatching. A central rectangular region 30 is located within the base layer 20, and a trapezoidal region 60 is located within the thin layer 70.

[図3]

Fig.3



[図4]

Fig.4

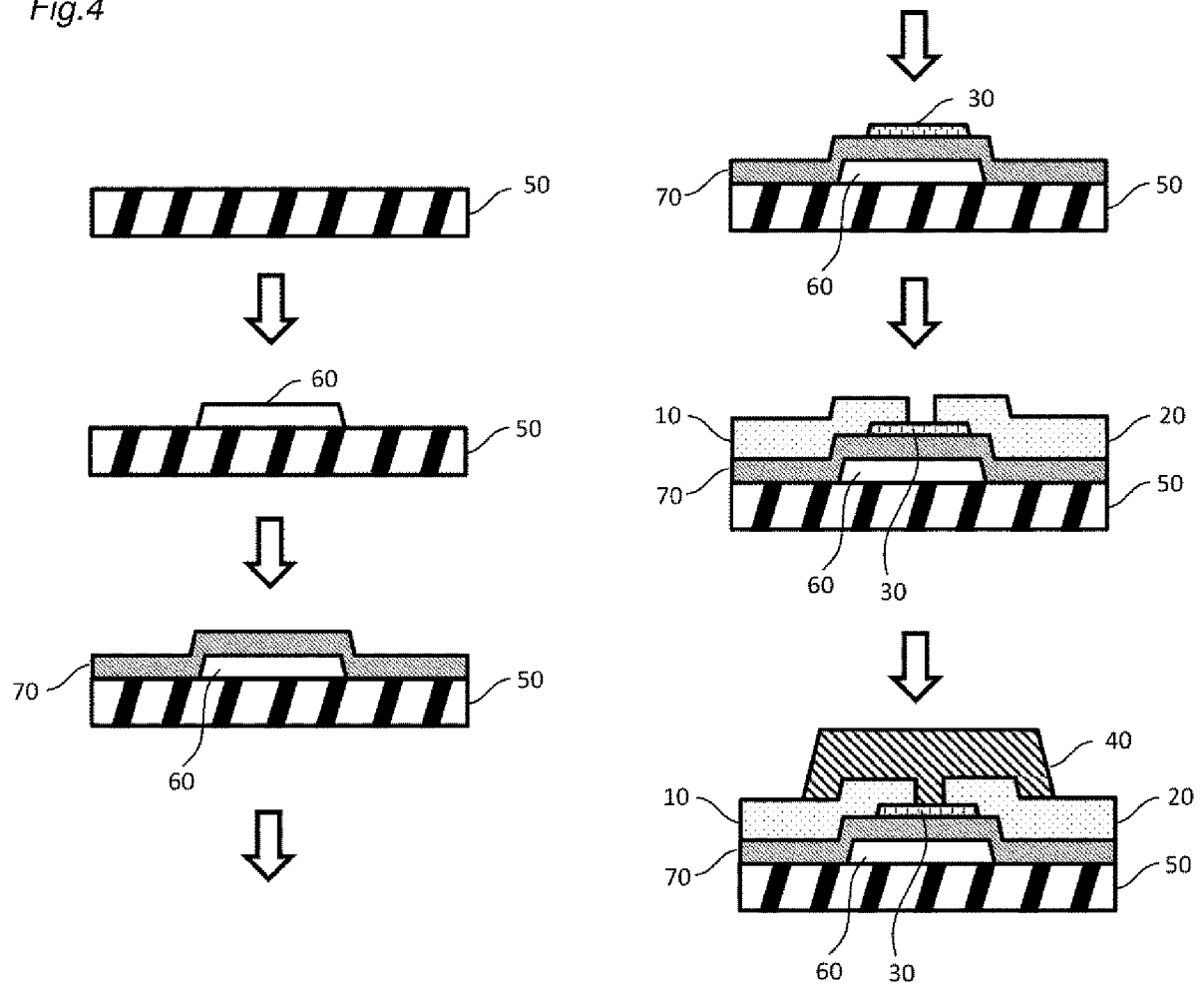


Fig.5

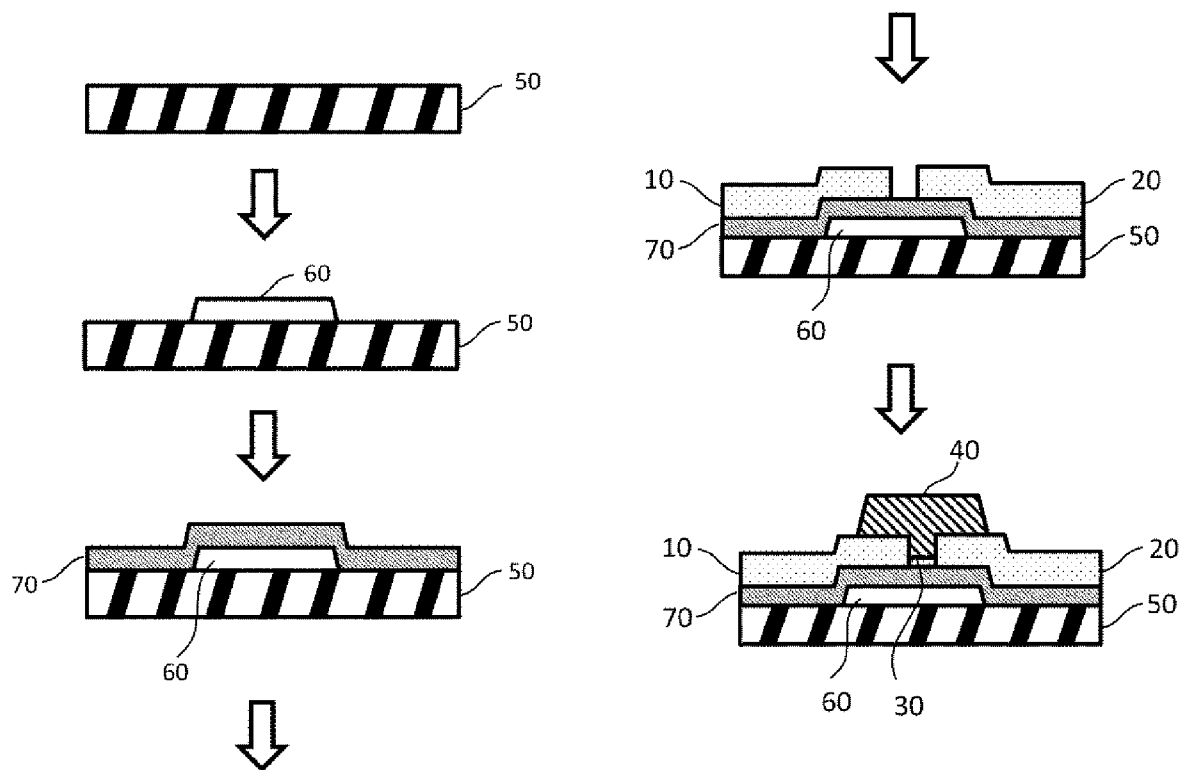
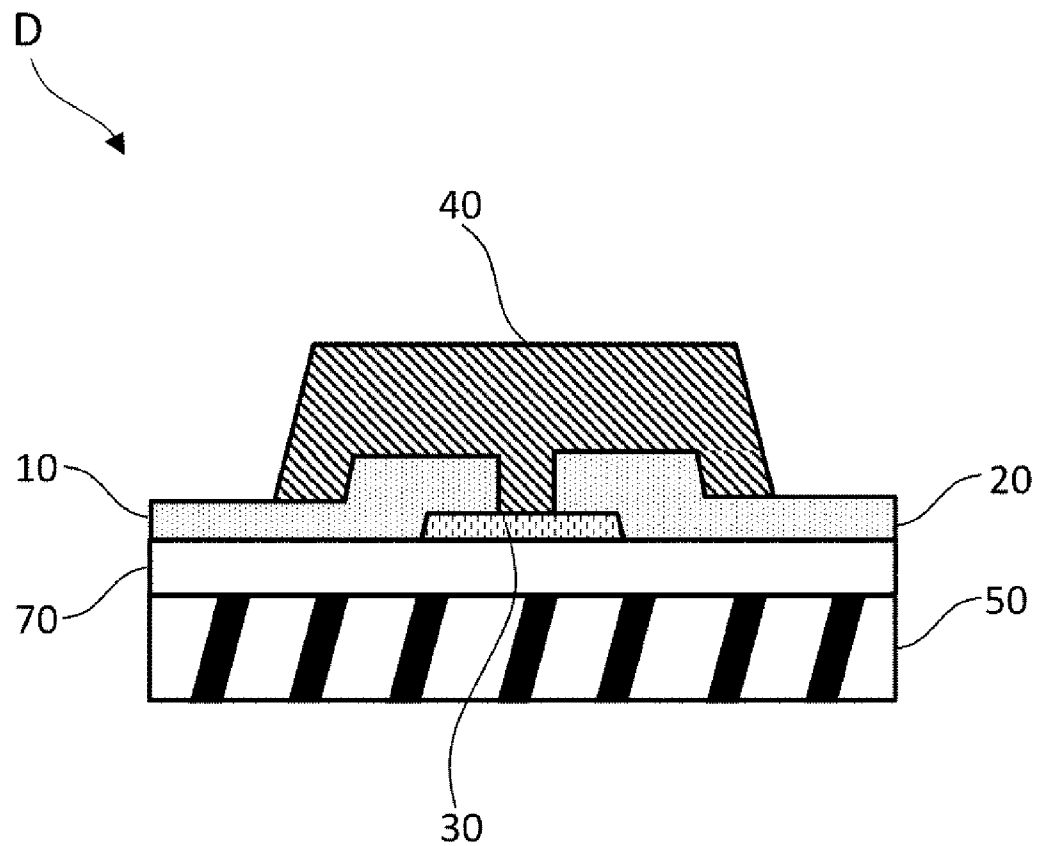
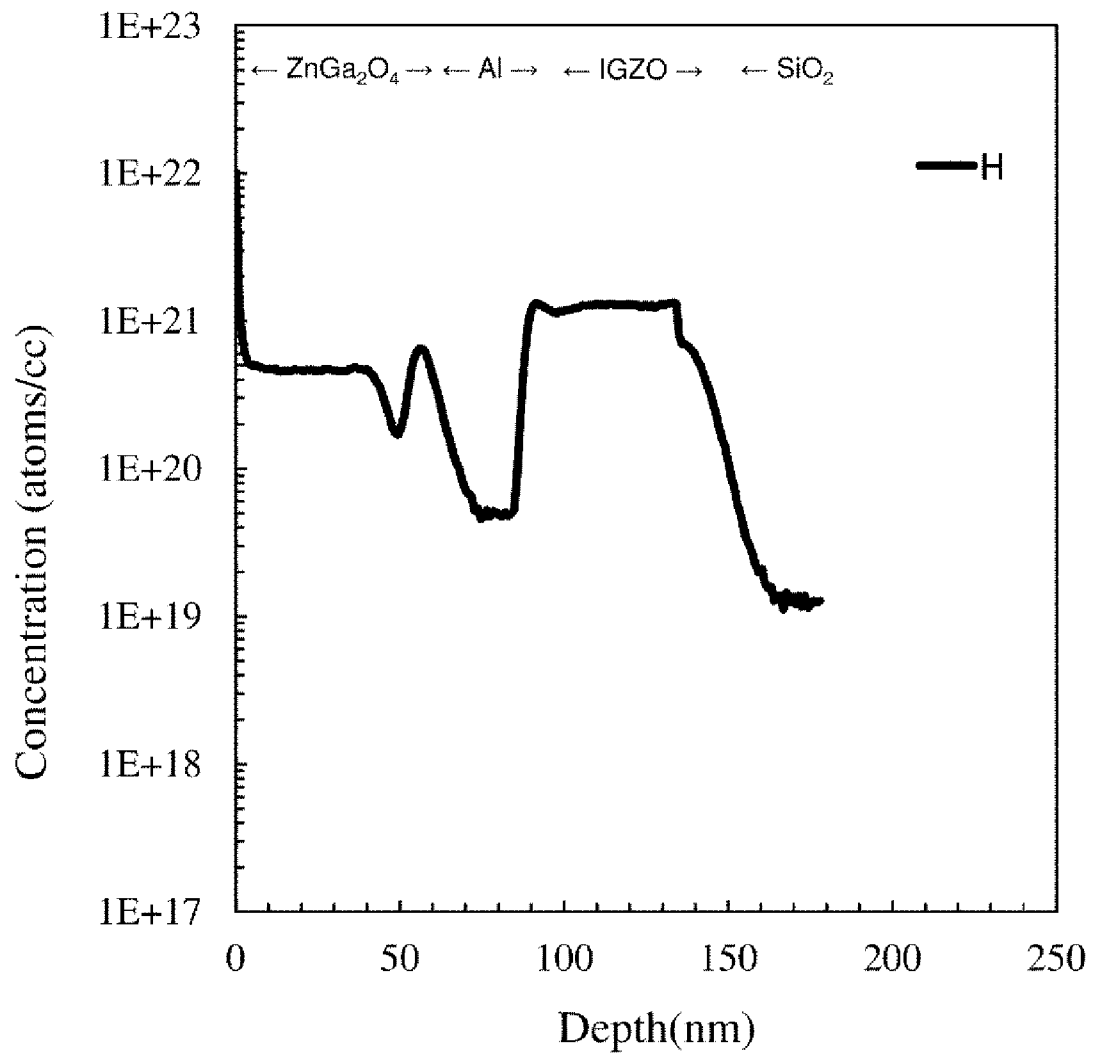


Fig.6



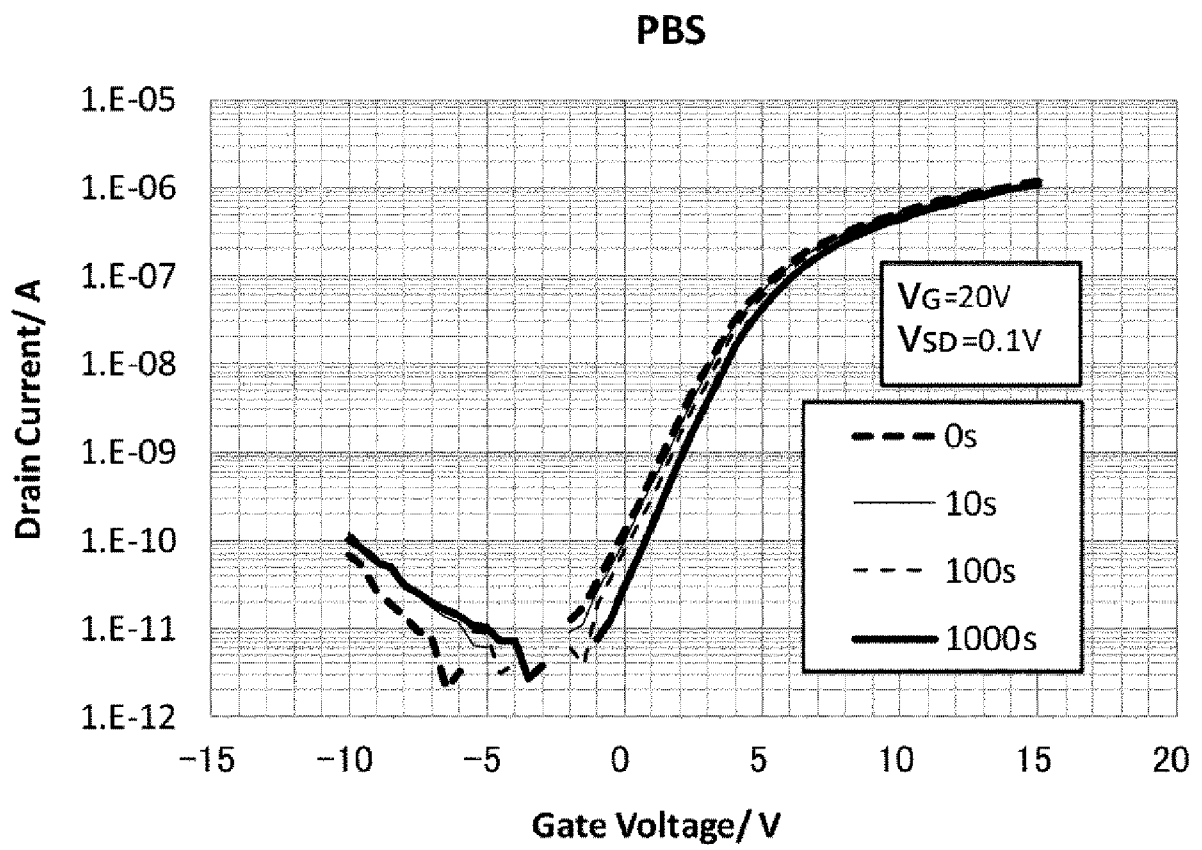
[図7]

Fig.7



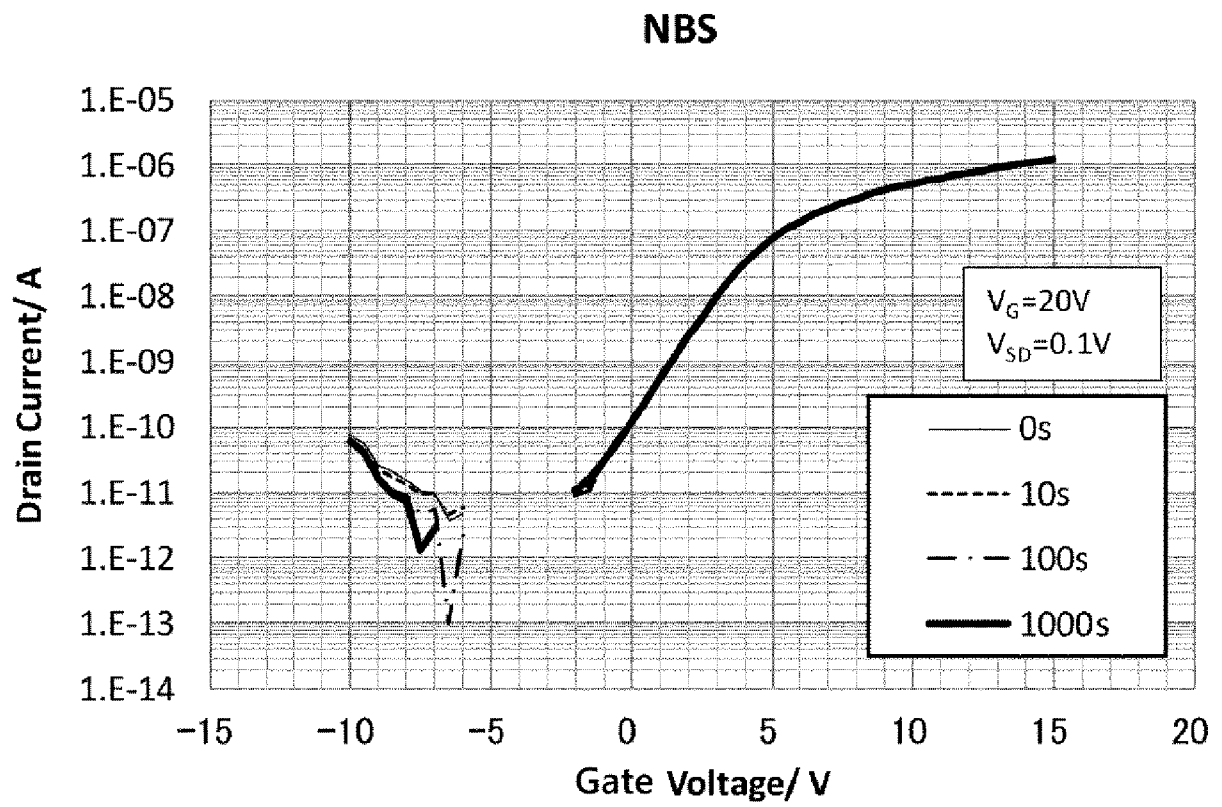
[図8]

Fig.8



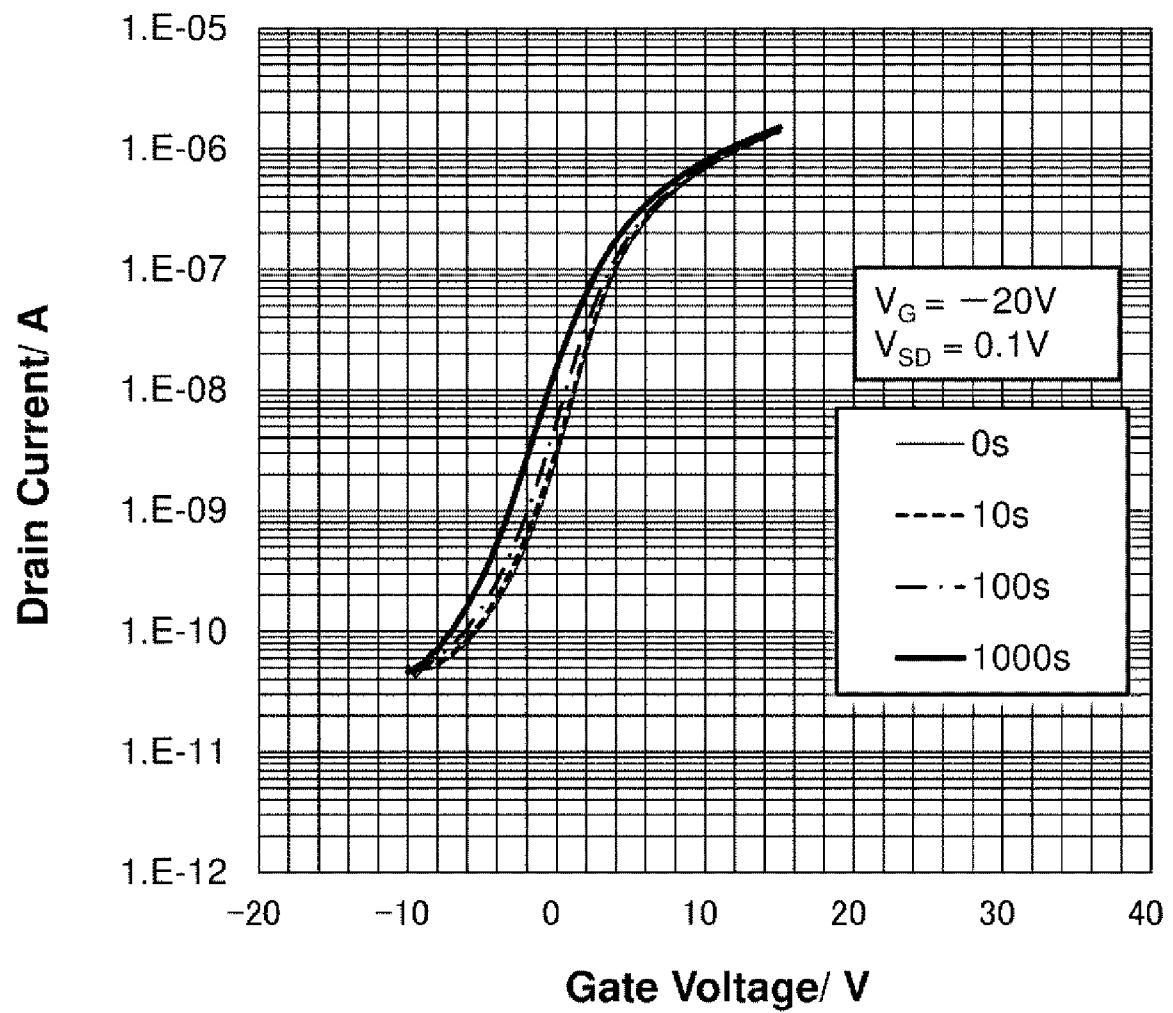
[図9]

Fig.9



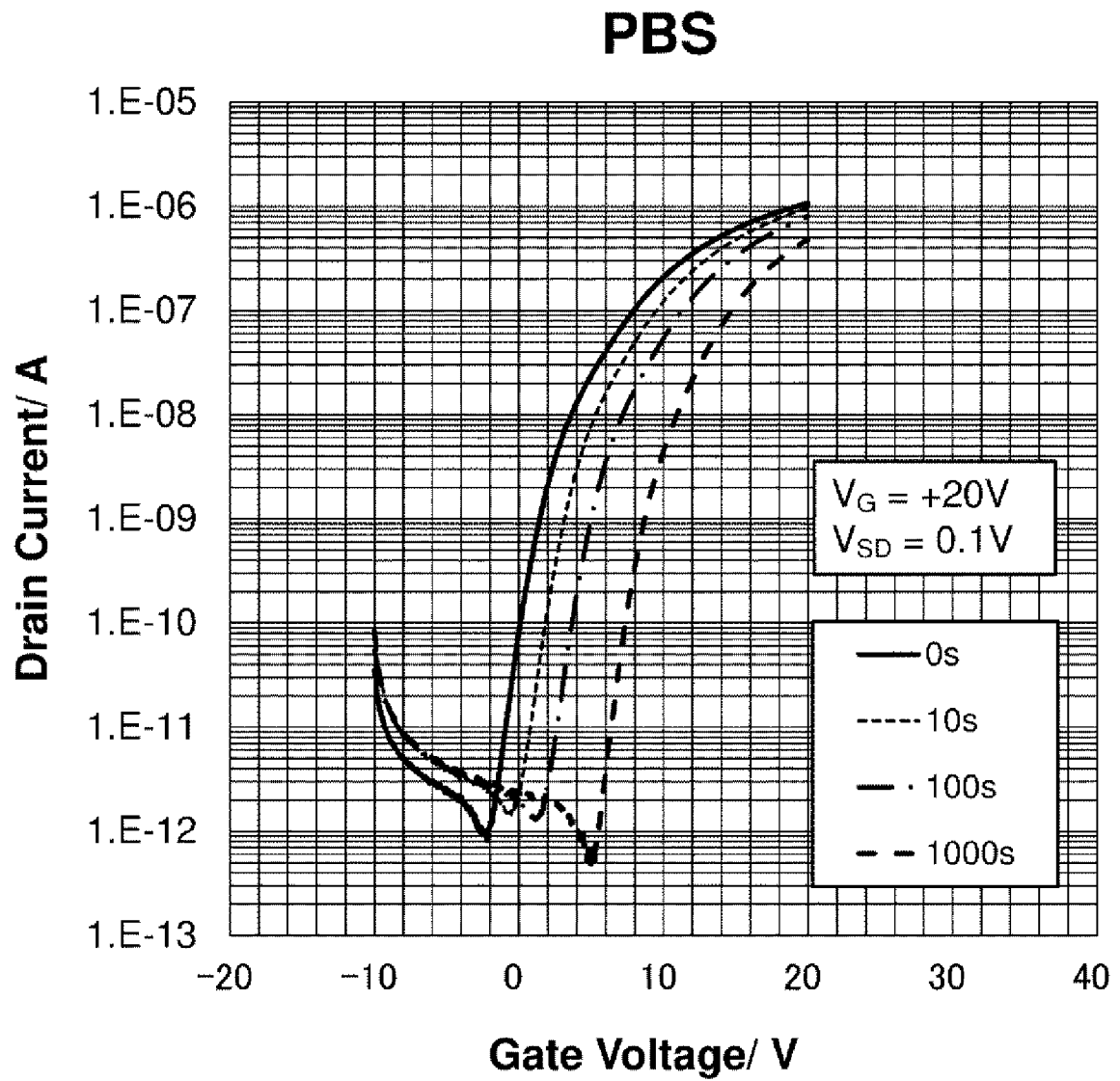
[図10]

Fig. 10

NBIS

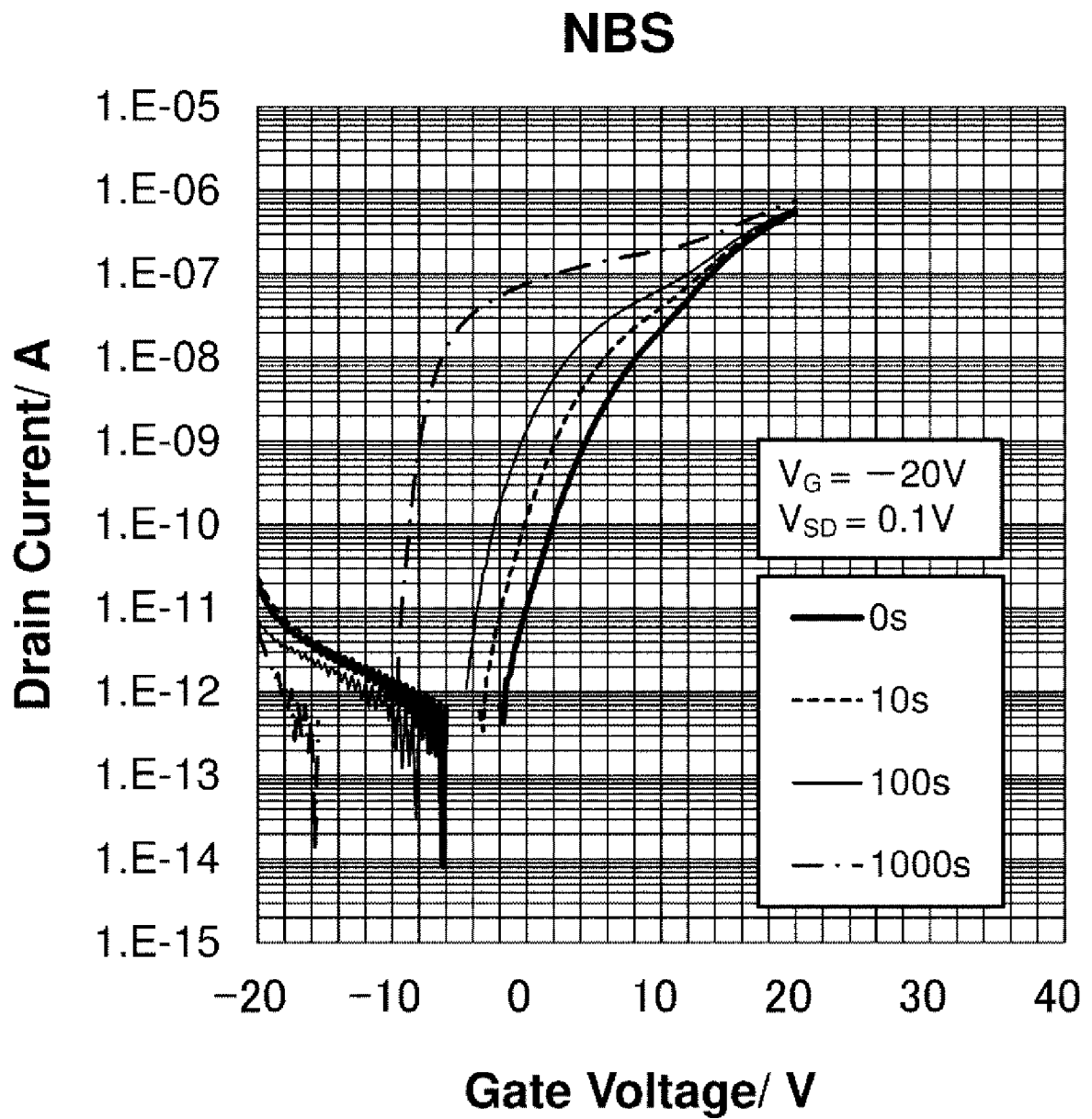
[図11]

Fig.11



[図12]

Fig.12



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2019/007093

A. CLASSIFICATION OF SUBJECT MATTER

Int. Cl. H01L21/336(2006.01)i, H01L29/786(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int. Cl. H01L21/336, H01L29/786

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996
Published unexamined utility model applications of Japan 1971-2019
Registered utility model specifications of Japan 1996-2019
Published registered utility model applications of Japan 1994-2019

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2016-74580 A (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 12 May 2016, paragraphs [0038]-[0454],	1, 2, 4-7, 9-12, 15, 16
Y	[0560] & US 2015/0243738 A1, paragraphs [0129]-[0531], [0637] & CN 104867981 A & KR 10-2015-0099467 A & TW 201544458 A	3, 6, 8, 11, 13, 14, 17
X	JP 2017-118106 A (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 29 June 2017, paragraphs [0058],	1-5, 7-10, 12, 15, 16
Y	[0175]-[0272], [0377], [0440] & US 2017/0179294 A1, paragraphs [0101], [0216]-[0313], [0418], [0482]	3, 6, 8, 11, 13, 14, 17
Y	WO 2018/025647 A1 (NIKON CORPORATION) 08 February 2018, paragraphs [0009]-[0019] & CN 109314146 A	13, 14



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
08.05.2019

Date of mailing of the international search report
21.05.2019

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No. PCT/JP2019/007093
--

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2010-56540 A (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 11 March 2010, paragraphs [0147]-[0190] & US 2010/0025676 A1, paragraphs [0179]-[0222] & CN 101640220 A	17

A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl. H01L21/336(2006.01)i, H01L29/786(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. H01L21/336, H01L29/786

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2019年
日本国実用新案登録公報	1996-2019年
日本国登録実用新案公報	1994-2019年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	JP 2016-74580 A（株式会社半導体エネルギー研究所）2016.05.12, 段落[0038]-[0454], [0560] & US 2015/0243738 A1, 段落	1, 2, 4-7, 9-12, 15, 16
Y	[0129]-[0531], [0637] & CN 104867981 A & KR 10-2015-0099467 A & TW 201544458 A	3, 6, 8, 11, 13, 14, 17
X	JP 2017-118106 A（株式会社半導体エネルギー研究所）2017.06.29, 段落[0058], [0175]-[0272], [0377], [0440] & US 2017/0179294 A1, 段落[0101], [0216]-[0313], [0418], [0482]	1-5, 7-10, 12, 15, 16
Y		3, 6, 8, 11, 13, 14, 17

☒ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

08.05.2019

国際調査報告の発送日

21.05.2019

国際調査機関の名称及びあて先

日本国特許庁（ISA/J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

脇水 佳弘

5 F

3464

電話番号 03-3581-1101 内線 3516

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	WO 2018/025647 A1 (株式会社ニコン) 2018.02.08, 段落 [0009]-[0019] & CN 109314146 A	13, 14
Y	JP 2010-56540 A (株式会社半導体エネルギー研究所) 2010.03.11, 段落[0147]-[0190] & US 2010/0025676 A1, 段落[0179]-[0222] & CN 101640220 A	17