

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 3 区分

【発行日】平成 19 年 10 月 11 日 (2007.10.11)

【公表番号】特表 2003-509943 (P2003-509943A)

【公表日】平成 15 年 3 月 11 日 (2003.3.11)

【出願番号】特願 2001-524245 (P2001-524245)

【国際特許分類】

H 0 3 M 13/29 (2006.01)

G 0 6 F 11/10 (2006.01)

【 F I 】

H 0 3 M 13/29

G 0 6 F 11/10 3 3 0 N

【手続補正書】

【提出日】平成 19 年 8 月 14 日 (2007.8.14)

【手続補正 1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

$$x_1(t) = I(t-1) \oplus \alpha_1 \cdot x_1(t-1) \oplus \alpha_2 \cdot x_2(t-1) \oplus \dots \oplus \alpha_N \cdot x_N(t-1)$$

$$\alpha_i \in \{0, 1\}$$

$$x_2(t) = x_1(t-1)$$

・

・

・

$$x_N(t) = x_{N-1}(t-1)$$

$$Q_j(t) = \beta_{j0} \cdot I(t-1) \oplus$$

$$x_1(t-1) \cdot [\beta_{j0} \cdot \alpha_1 \oplus \beta_{j1}] \oplus$$

・

・

・

$$x_N(t-1) \cdot [\beta_{j0} \cdot \alpha_N \oplus \beta_{jN}]$$

$$\beta_{ij} \in \{0, 1\}$$

$$j \in [1, \dots, N]$$

に応じたシリアルターボ符号化ブロック表現から、並列ターボ符号化を行う方法であって

、
a) 並列度 n において、

$$\begin{aligned}
 x_1(t-1) &= I(t-2) \oplus \alpha_1 \cdot x_1(t-2) \oplus \\
 &\quad \alpha_2 \cdot x_2(t-2) \oplus \dots \oplus \\
 &\quad \alpha_N \cdot x_N(t-2)
 \end{aligned}$$

(2.x₁.1)

.
 .
 .

$$\begin{aligned}
 x_1(t-(n-1)) &= I(t-n) \oplus \alpha_1 \cdot x_1(t-n) \oplus \\
 &\quad \alpha_2 \cdot x_2(t-n) \oplus \dots \oplus \\
 &\quad \alpha_N \cdot x_N(t-n)
 \end{aligned}$$

(2.x₁.n-1)

に対応する第1の内部状態について時間インデックス置換を行う工程と、

b)

$$X_i(t-1) = X_{i-1}(t-2) \quad (2.xi.1)$$

.
 .
 .

$$X_i(t-(n-1)) = X_{i-1}(t-n) \quad (2.xi.n-1)$$

に応じた残りの内部状態 ($i=2, \dots, N$) について時間インデックス置換を行う工程と、

c)

$$\begin{aligned}
 Q_j(t-i) &= \beta_{j0} \cdot I(t-(i+1)) \oplus \\
 &\quad x_1(t-(i+1)) \cdot [\beta_{j0} \alpha_1 \oplus \beta_{j1}] \oplus \\
 &\quad x_N(t-(i+1)) \cdot [\beta_{j0} \alpha_N \oplus \beta_{jN}]
 \end{aligned}$$

$i \in [1, \dots, n-1]$

(2.Q.i)

に応じた出力信号について、

$$Q_j(t) = Q_{j0}(p)$$

$$Q_j(t-1) = Q_{j1}(p)$$

.
 .
 .

$$Q_j(t-(n-1)) = Q_{jn-1}(p)$$

$j \in [1, \dots, M]$

の並列出力ベクトルを導出するために時間インデックス置換を行う工程と、

d) 内部状態 $x_k(t)$ ($k=1, \dots, N$) のそれぞれについて内部状態置換処理を行う工程であって、

d1) 最大時間インデックス要素を前記内部状態 $x_k(t)$ について $t_{max}=t-1$ に設定する工程と、

d2) 前記最大時間インデックス t_{max} を有する内部状態について、前記内部状態 $x_k(t)$ 表現をスキャンする工程と、

d 3) 式(2)を利用する状態変数置換工程を通して、前記内部状態 $x_k(t)$ の表現において t_{max} から t_{max-1} へ後方時間インデックス遷移を実行する工程と、

d 4) t_{max} を1だけ減ずると共に、 t_{max} が $t-n$ よりも大きい間において前記ステップd 2)からd 4)を繰り返す工程とを備える工程と、

e) 内部状態置換処理を、各並列出力ベクトル $Q_j(t)$ ($j=i, \dots, M$)の各要素 $Q_j(t-1)$ ($i=0, \dots, n-2$)について実行する工程であって、

e 1) 前記最大時間インデックス要素を、考慮された並列出力ベクトル $Q_j(t)$ におけるベクトル要素 $Q_j(t-1)$ について、 $t_{max} = t-i-1$ に設定する工程と、

e 2) 前記最大時間インデックスを有する内部状態について、前記ベクトル要素 $Q_j(t-i)$ の表現をスキャンする工程と、

e 3) 式(2)を利用する状態変数置換工程を通して、前記ベクトル要素 $Q_j(t-i)$ の表現において t_{max} から t_{max-1} へ後方時間インデックス遷移を実行する工程と、

e 4) t_{max} を1だけ減ずると共に、 t_{max} が $t-n$ よりも大きい間において前記ステップe 2)からe 4)を繰り返す工程とを備える工程とを備えることを特徴とする方法。

【請求項2】 並列度 n の並列ターボ符号化ブロックであって、

a) 入力信号 $I(t)$ の n サンプル($I(t-1), \dots, I(t-n)$)を、前記並列ターボ符号化ブロックに格納するための手段(I_0, \dots, I_7)と、

b) 前記並列ターボ符号化ブロックの少なくとも1の出力信号 $Q_j(t)$ の n サンプル($Q_j(t), \dots, Q_j(t-(n-1))$)を格納するための、少なくとも1の手段(Q_0, \dots, Q_7)と、

c) 遅延ユニット(X_1, \dots, X_N)の列を備え、並列処理に適応され、前記列の少なくとも2つの遅延ユニット X_1, \dots, X_N が、前記入力信号 $I(t)$ の n 個のサンプル $I(t-1), \dots, I(t-n)$ のサブセットを直接受け、前記並列化ターボ符号化ブロックの少なくとも1つの遅延ユニット X_1, \dots, X_N の出力信号が、前記並列化ターボ符号化ブロックの少なくとも2つの遅延ユニットへ供給されるように、前記入力信号 $I(t)$ の n 個のサンプルの並列処理に適応されたターボ符号化手段とを備え、

$$x_1(t) = I(t-1) \oplus \alpha_1 \cdot x_1(t-1) \oplus \alpha_2 \cdot x_2(t-1) \oplus \dots \oplus \alpha_N \cdot x_N(t-1)$$

$$\alpha_i \in \{0, 1\}$$

$$x_2(t) = x_1(t-1)$$

$$\cdot$$

$$x_N(t) = x_{N-1}(t-1)$$

$$Q_j(t) = \beta_{j0} \cdot I(t-1) \oplus x_1(t-1) \cdot [\beta_{j0} \cdot \alpha_1 \oplus \beta_{j1}] \oplus \cdot \cdot x_N(t-1) \cdot [\beta_{j0} \cdot \alpha_N \oplus \beta_{jN}]$$

$$\beta_{ji} \in \{0, 1\}$$

$$j \in [1, \dots, M]$$

に対応するシリアルターボ符号化ブロックから導出可能な構造を、前記ターボ符号化手段が請求項1に記載の並列化されたターボ符号化を行なう際に有することを特徴とする並列ターボ符号化ブロック。

【請求項3】 前記並列度が2であり、 $N=3$ 、 $M=1$ 、 $\alpha = [0, 1, 1]$ 、 $\beta = [1, 1$

, 0, 1] である場合に、前記ターボ符号化手段の構造が

$$Q0(p) = I0(p-1) \oplus I1(p-1) \oplus x_1(p-1) \oplus x_2(p-1) \oplus x_3(p-1)$$

$$Q1(p) = I1(p-1) \oplus x_1(p-1) \oplus x_2(p-1),$$

ここで

$$x_1(p) = I0(p-1) \oplus x_1(p-1) \oplus x_2(p-1),$$

$$x_2(p) = I1(p-1) \oplus x_2(p-1) \oplus x_3(p-1), \text{ and}$$

$$x_3(p) = x_1(p-1).$$

であることを特徴とする請求項 2 に記載の並列ターボ符号化ブロック。

【請求項 4】 前記並列度が 4 であり、 $N = 3$, $M = 1$ 、 $\mathbf{A} = [0, 1, 1]$ 、 $\mathbf{B} = [1, 1, 0, 1]$ である場合に、前記ターボ符号化手段の構造が

$$Q0(p) = I0(p-1) \oplus I1(p-1) \oplus I2(p-1) \oplus I3(p-1) \oplus x_3(p-1)$$

$$Q1(p) = I1(p-1) \oplus I2(p-1) \oplus I3(p-1) \oplus x_1(p-1) \oplus x_3(p-1)$$

$$Q2(p) = I2(p-1) \oplus I3(p-1) \oplus x_1(p-1) \oplus x_2(p-1) \oplus x_3(p-1)$$

$$Q3(p) = I3(p-1) \oplus x_1(p-1) \oplus x_2(p-1),$$

ここで

$$x_1(p) = I0(p-1) \oplus I2(p-1) \oplus I3(p-1) \oplus$$

$$x_1(p-1) \oplus x_3(p-1),$$

$$x_2(p) = I1(p-1) \oplus I3(p-1) \oplus$$

$$x_1(p-1) \oplus x_2(p-1) \oplus x_3(p-1), \text{ and}$$

$$x_3(p) = I2(p-1) \oplus x_1(p-1) \oplus x_2(p-1).$$

であることを特徴とする請求項 2 に記載の並列ターボ符号化ブロック。

【請求項 5】 前記並列度が 8 であり、 $N = 3$, $M = 1$ 、 $\mathbf{A} = [0, 1, 1]$ 、 $\mathbf{B} = [1, 1, 0, 1]$ である場合に、前記ターボ符号化手段の構造が

$$Q0(p) = I0(p-1) \oplus I1(p-1) \oplus I2(p-1) \oplus I3(p-1) \oplus$$

$$I6(p-1) \oplus x_1(p-1) \oplus x_2(p-1)$$

$$Q1(p) = I1(p-1) \oplus I2(p-1) \oplus I3(p-1) \oplus I4(p-1) \oplus$$

$$I7(p-1) \oplus x_2(p-1) \oplus x_3(p-1)$$

$$Q2(p) = I2(p-1) \oplus I3(p-1) \oplus I4(p-1) \oplus I5(p-1) \oplus x_1(p-1)$$

$$Q3(p) = I3(p-1) \oplus I4(p-1) \oplus I5(p-1) \oplus I6(p-1) \oplus x_2(p-1)$$

$$Q4(p) = I4(p-1) \oplus I5(p-1) \oplus I6(p-1) \oplus I7(p-1) \oplus x_3(p-1)$$

$$Q5(p) = I5(p-1) \oplus I6(p-1) \oplus I7(p-1) \oplus x_1(p-1) \oplus x_3(p-1)$$

$$Q6(p) = I6(p-1) \oplus I7(p-1) \oplus x_1(p-1) \oplus x_2(p-1) \oplus x_3(p-1)$$

$$Q7(p) = I7(p-1) \oplus x_1(p-1) \oplus x_2(p-1),$$

ここで

$$x_1(p) = I0(p-1) \oplus I2(p-1) \oplus I3(p-1) \oplus$$

$$I4(p-1) \oplus I7(p-1) \oplus x_2(p-1) \oplus x_3(p-1),$$

$$x_2(p) = I1(p-1) \oplus I3(p-1) \oplus I4(p-1) \oplus I5(p-1) \oplus$$

$$x_1(p-1), \text{ and}$$

$$x_3(p) = I2(p-1) \oplus I4(p-1) \oplus I5(p-1) \oplus I6(p-1) \oplus x_2(p-1).$$

であることを特徴とする請求項 2 に記載の並列ターボ符号化ブロック。

【請求項 6】 コンピュータの内部メモリに直接にロード可能なコンピュータプログラムであって、

前記コンピュータプログラムがコンピュータ上で実行される場合に、請求項 1 に記載の方法を実行するためのソフトウェアコード部を備えることを特徴とするコンピュータプログラム。

【請求項 7】 前記ソフトウェアコード部が、V H D L 形式であることを特徴とする請求項 6 に記載のコンピュータプログラム。

【請求項 8】 前記ソフトウェアコード部が、

```
LIBRARY ieee;
USE ieee.std_logic_1164.ALL;
USE ieee.std_logic_arith.ALL;

ENTITY en_turbo_coder_rtl IS
  PORT(
    -- General:
    reset_p          : IN STD_LOGIC;
    clk32m            : IN STD_LOGIC;  -- Clock
                                   (rising edge triggered)
    input_8           : IN std_logic_vector(7 DOWNTO 0);
    input_4           : IN std_logic_vector(3 DOWNTO 0);
    input_2           : IN std_logic_vector(1 DOWNTO 0);
    input_1           : IN std_logic;

    -- turboCoding 2 bit parallel
    output_8          : OUT std_logic_vector(7 DOWNTO 0);
    output_4          : OUT std_logic_vector(3 DOWNTO 0);
    output_2          : OUT std_logic_vector(1 DOWNTO 0);
    output_1          : OUT std_logic
  );
END en_turbo_coder_rtl;

ARCHITECTURE rtl OF en_turbo_coder_rtl IS
```

```
SIGNAL s1_x1      : std_logic;
SIGNAL s1_x2      : std_logic;
SIGNAL s1_x3      : std_logic;
SIGNAL s1_i       : std_logic;
SIGNAL s1_o       : std_logic;

SIGNAL s2_x1      : std_logic;
SIGNAL s2_x2      : std_logic;
SIGNAL s2_x3      : std_logic;
SIGNAL s2_i       : std_logic_vector(1 DOWNTO 0);
SIGNAL s2_o       : std_logic_vector(1 DOWNTO 0);

SIGNAL s4_x1      : std_logic;
SIGNAL s4_x2      : std_logic;
SIGNAL s4_x3      : std_logic;
SIGNAL s4_i       : std_logic_vector(3 DOWNTO 0);
SIGNAL s4_o       : std_logic_vector(3 DOWNTO 0);

SIGNAL s8_x1      : std_logic;
SIGNAL s8_x2      : std_logic;
SIGNAL s8_x3      : std_logic;
SIGNAL s8_i       : std_logic_vector(7 DOWNTO 0);
SIGNAL s8_o       : std_logic_vector(7 DOWNTO 0);
```

```
BEGIN
```

```
    tc_1: PROCESS (clk32m, reset_p) -- seriell building of
                                     turbo coder block TCB
```

```
BEGIN
```

```
    IF reset_p = '1' THEN
```

```
s1_x1 <= '0';
s1_x2 <= '0';
s1_x3 <= '0';
s1_i  <= '0';
s1_o  <= '0';

ELSIF clk32m'EVENT AND clk32m = '1' THEN

    s1_i  <= input_1;
    s1_x1 <= s1_i XOR s1_x2 XOR s1_x3;
    s1_x2 <= s1_x1;
    s1_x3 <= s1_x2;
    s1_o  <= s1_i XOR s1_x2 XOR s1_x1;

END IF;

END PROCESS tc_1;

output_1 <= s1_o;

tc_2: PROCESS (clk32m, reset_p) -- 2bit parallel building
                                   of turbo coder block

BEGIN

    IF reset_p = '1' THEN

        s2_x1 <= '0';
        s2_x2 <= '0';
        s2_x3 <= '0';
        s2_i  <= (OTHERS => '0');
        s2_o  <= (OTHERS => '0');
```



```
ELSIF clk32m'EVENT AND clk32m = '1' THEN
```

```
    s2_i  <= input_2;
    s2_x1 <= s2_i(0) XOR s2_x1 XOR s2_x2;
    s2_x2 <= s2_i(1) XOR s2_x2 XOR s2_x3;
    s2_x3 <= s2_x1;
    s2_o(0) <= s2_i(0) XOR
                s2_i(1) XOR s2_x1 XOR s2_x2 XOR s2_x3;
    s2_o(1) <= s2_i(1) XOR s2_x1 XOR s2_x2;
```

```
END IF;
```

```
END PROCESS tc_2;
```

```
output_2 <= s2_o;
```

```
tc_4: PROCESS (clk32m, reset_p) -- 4bit parallel building
                                of turbo coder block
```

```
BEGIN
```

```
IF reset_p = '1' THEN
```

```
    s4_x1 <= '0';
    s4_x2 <= '0';
    s4_x3 <= '0';
    s4_i  <= (OTHERS => '0');
    s4_o  <= (OTHERS => '0');
```

```
ELSIF clk32m'EVENT AND clk32m = '1' THEN
```

```
    s4_i  <= input_4;
    s4_x1 <= s4_i(0) XOR s4_i(2) XOR s4_i(3)
```

```

                                XOR s4_x1 XOR s4_x3;
s4_x2    <= s4_i(1) XOR s4_i(3) XOR s4_x1
                                XOR s4_x2 XOR s4_x3;
s4_x3    <= s4_i(2) XOR s4_x1 XOR s4_x2;
s4_o(0)  <= s4_i(0) XOR s4_i(1) XOR s4_i(2)
                                XOR s4_i(3) XOR s4_x3;
s4_o(1)  <= s4_i(1) XOR s4_i(2) XOR s4_i(3)
                                XOR s4_x1 XOR s4_x3;
s4_o(2)  <= s4_i(2) XOR s4_i(3) XOR s4_x1
                                XOR s4_x2 XOR s4_x3;
s4_o(3)  <= s4_i(3) XOR s4_x1 XOR s4_x2;

```

```

END IF;

```

```

END PROCESS tc_4;

```

```

output_4 <= s4_o;

```

```

tc_8: PROCESS (clk32m, reset_p) -- 8bit parallel building
                                of turbo coder block

```

```

BEGIN

```

```

    IF reset_p = '1' THEN

```

```

        s8_x1    <= '0';
        s8_x2    <= '0';
        s8_x3    <= '0';
        s8_i     <= (OTHERS => '0');
        s8_o     <= (OTHERS => '0');

```

```

    ELSIF clk32m'EVENT AND clk32m = '1' THEN

```

```
s8_i    <= input_8;
s8_x1   <= s8_i(0) XOR s8_i(2) XOR s8_i(3)
          XOR s8_i(4) XOR s8_i(7)
          XOR s8_x2 XOR s8_x3;
s8_x2   <= s8_i(1) XOR s8_i(3) XOR s8_i(4)
          XOR s8_i(5) XOR s8_x1;
s8_x3   <= s8_i(2) XOR s8_i(4) XOR s8_i(5)
          XOR s8_i(6) XOR s8_x2;
s8_o(0) <= s8_i(0) XOR s8_i(1) XOR s8_i(2)
          XOR s8_i(3) XOR s8_i(6)
          XOR s8_x1 XOR s8_x2;
s8_o(1) <= s8_i(1) XOR s8_i(2) XOR s8_i(3)
          XOR s8_i(4) XOR s8_i(7)
          XOR s8_x2 XOR s8_x3;
s8_o(2) <= s8_i(2) XOR s8_i(3) XOR s8_i(4)
          XOR s8_i(5) XOR s8_x1;
s8_o(3) <= s8_i(3) XOR s8_i(4) XOR s8_i(5)
          XOR s8_i(6) XOR s8_x2;
s8_o(4) <= s8_i(4) XOR s8_i(5) XOR s8_i(6)
          XOR s8_i(7) XOR s8_x3;
s8_o(5) <= s8_i(5) XOR s8_i(6) XOR s8_i(7)
          XOR s8_x1 XOR s8_x3;
s8_o(6) <= s8_i(6) XOR s8_i(7) XOR s8_x1
          XOR s8_x2 XOR s8_x3;
s8_o(7) <= s8_i(7) XOR s8_x1 XOR s8_x2;
```

END IF;

END PROCESS tc_8;

output_8 <= s8_o;

END rtl;

のように定義されることを特徴とする請求項 7 に記載のコンピュータプログラム。