(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2015-0143113
(43) 공개일자 2015년12월23일

(51) 국제특허분류(Int. Cl.)
G11C 16/34 (2006.01) *G11C 16/04* (2006.01)
(21) 출원번호 10-2014-0072208
(22) 출원일자 2014년06월13일
심사청구일자 없음

(71) 출원인
에스케이하이닉스 주식회사
경기도 이천시 부발읍 경충대로 2091
(72) 발명자
안치욱
경기도 이천시 부발읍 경충대로2041번길 54 사원임대아파트 105동 501호
이민규
경기도 이천시 대월면 경충대로2050번길 70-50 현대6차아파트 603동 1003호
(74) 대리인
강신섭, 문용호, 이용우

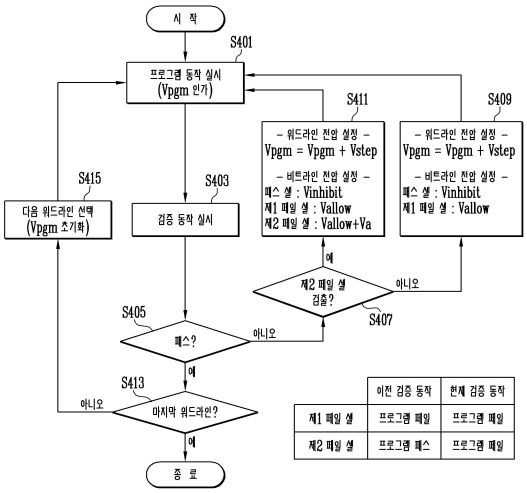
전체 청구항 수 : 총 19 항

(54) 발명의 명칭 **반도체 장치**

(57) 요 약

반도체 장치는 워드라인들에 연결된 메모리 셀들을 포함하는 메모리 블록, 및 선택된 워드라인에 연결된 메모리 셀들의 프로그램 동작 및 검증 동작을 실시하도록 구성되는 동작 회로를 포함하고, 프로그램 동작을 실시할 때 동작 회로는 프로그램 페일 상태를 유지하는 제1 프로그램 페일 셀의 비트라인에는 제1 프로그램 허용 전압을 인가하고, 프로그램 패스 상태에서 프로그램 페일 상태로 변경된 제2 프로그램 페일 셀의 비트라인에는 제2 프로그램 허용 전압을 인가하도록 구성된다.

대 표 도 - 도4



명 세 서

청구범위

청구항 1

워드라인들에 연결된 메모리 셀들을 포함하는 메모리 블록; 및

선택된 워드라인에 연결된 메모리 셀들의 프로그램 동작 및 검증 동작을 실시하도록 구성되는 동작 회로를 포함하고,

상기 프로그램 동작을 실시할 때 상기 동작 회로는 프로그램 페일 상태를 유지하는 제1 프로그램 페일 셀의 비트라인에는 제1 프로그램 허용 전압을 인가하고, 프로그램 패스 상태에서 프로그램 페일 상태로 변경된 제2 프로그램 페일 셀의 비트라인에는 제2 프로그램 허용 전압을 인가하도록 구성되는 반도체 장치.

청구항 2

제 1 항에 있어서,

상기 제1 프로그램 허용 전압이 상기 제2 프로그램 허용 전압보다 낮은 반도체 장치.

청구항 3

제 1 항에 있어서,

상기 프로그램 동작 시 상기 동작 회로는 이전 프로그램 동작에서 인가된 프로그램 전압보다 스텝 전압만큼 더 높은 프로그램 전압을 상기 선택된 워드라인에 인가하도록 구성되는 반도체 장치.

청구항 4

제 3 항에 있어서,

상기 스텝 전압과 상기 제2 프로그램 허용 전압의 레벨이 동일한 반도체 장치.

청구항 5

제 1 항에 있어서,

상기 검증 동작을 실시할 때, 상기 동작 회로는 이전 검증 동작에서 프로그램 페일 상태로 확인된 메모리 셀과 프로그램 패스 상태로 변경된 메모리 셀의 프로그램 상태를 함께 확인하도록 구성되는 반도체 장치.

청구항 6

제 1 항에 있어서,

상기 제1 프로그램 페일 셀은 이전 검증 동작과 상기 검증 동작에서 프로그램 페일 상태로 확인된 메모리 셀에 해당하는 반도체 장치.

청구항 7

제 1 항에 있어서,

상기 제2 프로그램 페일 셀은 이전 검증 동작에서 프로그램 패스 상태로 변경되고 상기 검증 동작에서 프로그램 페일 상태로 확인된 메모리 셀에 해당하는 반도체 장치.

청구항 8

제 1 항에 있어서,

상기 동작 회로는 상기 프로그램 동작과 상기 검증 동작을 ISPP 방식으로 반복 실시하도록 구성되는 반도체 장치.

청구항 9

제 1 항에 있어서,

상기 프로그램 동작 시 상기 동작 회로는 프로그램 패스된 제3 메모리 셀의 비트라인에는 프로그램 금지 전압을 인가하도록 구성되는 반도체 장치.

청구항 10

제 9 항에 있어서,

상기 프로그램 금지 전압과 상기 제2 프로그램 허용 전압의 차이는 상기 프로그램 동작에서 인가되는 프로그램 전압과 이전 프로그램 동작에서 인가된 프로그램 전압의 차이에 대응하는 반도체 장치.

청구항 11

워드라인들에 연결된 메모리 셀들을 포함하는 메모리 블록; 및

선택된 워드라인에 연결된 메모리 셀들의 프로그램 동작 및 검증 동작을 실시하도록 구성되는 동작 회로를 포함하고,

상기 검증 동작에서 프로그램 페일 상태를 유지하는 제1 프로그램 페일 셀과 프로그램 패스 상태에서 상기 프로그램 페일 상태로 변경된 제2 프로그램 페일 셀이 검출되면, 상기 동작 회로는 상기 프로그램 동작에서 상기 제2 프로그램 페일 셀을 프로그램하기 위한 제1 프로그램 전압과 상기 제1 프로그램 페일 셀을 프로그램하기 위한 제2 프로그램 전압을 상기 선택된 워드라인에 인가하도록 구성되는 반도체 장치.

청구항 12

제 11 항에 있어서,

상기 제1 프로그램 전압을 인가할 때 상기 동작 회로는 상기 제2 프로그램 페일 셀의 비트라인에 프로그램 허용 전압을 인가하고 나머지 비트라인들에 프로그램 금지 전압을 인가하도록 구성되는 반도체 장치.

청구항 13

제 11 항에 있어서,

상기 제2 프로그램 전압을 인가할 때 상기 동작 회로는 상기 제1 프로그램 페일 셀의 비트라인에 프로그램 허용 전압을 인가하고 나머지 비트라인들에 프로그램 금지 전압을 인가하도록 구성되는 반도체 장치.

청구항 14

제 11 항에 있어서,

상기 제1 프로그램 전압은 이전 프로그램 동작에서 상기 선택된 워드라인에 인가된 프로그램 전압과 동일한 레벨을 갖는 반도체 장치.

청구항 15

제 11 항에 있어서,

상기 제2 프로그램 전압이 상기 제1 프로그램 전압보다 스텝 전압만큼 높은 반도체 장치.

청구항 16

제 11 항에 있어서,

상기 동작 전압은 상기 제1 프로그램 전압 및 상기 제2 프로그램 전압을 상기 선택된 워드라인에 순차적으로 인가한 후 상기 검증 동작을 실시하도록 구성되는 반도체 장치.

청구항 17

제 11 항에 있어서,

상기 검증 동작을 실시할 때, 상기 동작 회로는 이전 검증 동작에서 프로그램 페일로 확인된 메모리 셀과 처음으로 프로그램 패스로 확인된 메모리 셀의 프로그램 상태를 함께 확인하도록 구성되는 반도체 장치.

청구항 18

제 11 항에 있어서,

상기 제1 메모리 셀은 이전 검증 동작과 상기 검증 동작에서 모두 상기 프로그램 페일 상태로 확인된 메모리 셀에 해당하는 반도체 장치.

청구항 19

제 11 항에 있어서,

상기 제2 메모리 셀은 이전 검증 동작에서 프로그램 패스 상태로 변경되고 상기 검증 동작에서 프로그램 페일 상태로 확인된 메모리 셀에 해당하는 반도체 장치.

발명의 설명

기 술 분 야

[0001] 본 발명은 반도체 장치에 관한 것으로, 특히 메모리 셀을 포함하는 반도체 장치에 관한 것이다.

배 경 기 술

[0002] 플래시 메모리 셀은 프로그램 동작에 의해 데이터가 저장되고 검증 동작에 의해 데이터가 저장되었는지를 확인한다. 프로그램 동작을 실시하면 메모리 셀의 문턱전압이 상승하고, 문턱전압이 목표 레벨보다 높아지면 입력된

데이터가 메모리 셀에 저장된 것으로 판단한다.

[0003] 소스 바운싱 현상과 같은 여러 가지 원인들로 인하여 검증 동작 시 문턱전압이 목표 레벨보다 높지 않음에도 불구하고 높은 것으로 판단되는 경우가 발생할 수 있다. 또한, 문턱전압이 목표 레벨보다 높아지더라도 문턱전압과 목표 레벨의 차이가 크지 않은 경우 문턱전압이 목표 레벨보다 낮아질 수 있다.

[0004] 이 경우, 메모리 셀에 저장된 데이터가 변경되고 반도체 장치의 신뢰성이 저하될 수 있다.

발명의 내용

해결하려는 과제

[0005] 본 발명의 실시예는 동작의 신뢰성을 향상시킬 수 있는 반도체 장치를 제공한다.

과제의 해결 수단

[0006] 본 발명의 실시예에 따른 반도체 장치는 워드라인들에 연결된 메모리 셀들을 포함하는 메모리 블록, 및 선택된 워드라인에 연결된 메모리 셀들의 프로그램 동작 및 검증 동작을 실시하도록 구성되는 동작 회로를 포함하고, 프로그램 동작을 실시할 때 동작 회로는 프로그램 페일 상태를 유지하는 제1 프로그램 페일 셀의 비트라인에는 제1 프로그램 허용 전압을 인가하고, 프로그램 패스 상태에서 프로그램 페일 상태로 변경된 제2 프로그램 페일 셀의 비트라인에는 제2 프로그램 허용 전압을 인가하도록 구성된다.

[0007] 본 발명의 다른 실시예에 따른 반도체 장치는 워드라인들에 연결된 메모리 셀들을 포함하는 메모리 블록, 및 선택된 워드라인에 연결된 메모리 셀들의 프로그램 동작 및 검증 동작을 실시하도록 구성되는 동작 회로를 포함하고, 검증 동작에서 프로그램 페일 상태를 유지하는 제1 프로그램 페일 셀과 프로그램 패스 상태에서 프로그램 페일 상태로 변경된 제2 프로그램 페일 셀이 검출되면, 동작 회로는 프로그램 동작에서 제2 프로그램 페일 셀을 프로그램하기 위한 제1 프로그램 전압과 제1 프로그램 페일 셀을 프로그램하기 위한 제2 프로그램 전압을 선택된 워드라인에 인가하도록 구성된다.

발명의 효과

[0008] 본 발명의 실시예는 동작의 신뢰성을 향상시킬 수 있다.

도면의 간단한 설명

[0009] 도 1은 본 발명의 실시예에 따른 반도체 장치를 설명하기 위한 블록도이다.

도 2는 도 1에 도시된 메모리 어레이를 설명하기 위한 회로도이다.

도 3은 도 1에 도시된 읽기/쓰기 회로를 설명하기 위한 회로도이다.

도 4는 본 발명의 실시예에 따른 반도체 장치의 동작 방법을 설명하기 위한 흐름도이다.

도 5a 내지 도 5e는 본 발명의 실시예에 따른 반도체 장치의 동작 방법을 설명하기 위한 회로도이다.

도 6은 본 발명의 다른 실시예에 따른 반도체 장치의 동작 방법을 설명하기 위한 흐름도이다.

도 7a 내지 도 7e는 본 발명의 실시예에 따른 반도체 장치의 동작 방법을 설명하기 위한 회로도이다.

도 8은 본 발명의 실시예에 따른 메모리 시스템을 간략히 보여주는 블록도이다.

도 9는 앞서 설명된 다양한 실시예들에 따라 프로그램 동작을 수행하는 퓨전 메모리 장치 또는 퓨전 메모리 시스템을 간략히 보여주는 블록도이다.

도 10은 본 발명의 실시예에 따른 플래시 메모리 장치를 포함한 컴퓨팅 시스템을 간략히 보여주는 블록도이다.

발명을 실시하기 위한 구체적인 내용

[0010] 이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시예를 설명하기로 한다. 그러나, 본 발명은 이하에서 개시되는 실시예에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 수 있으며, 본 발명의 범위가 다음에 상술하는 실시예에 한정되는 것은 아니다. 단지 본 실시예는 본 발명의 개시가 완전하도록 하며 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명의 범위는 본원의 특허 청구 범위에 의해서 이해되어야 한다.

[0011] 도 1은 본 발명의 실시예에 따른 반도체 장치를 설명하기 위한 도면이다.

[0012] 도 1을 참조하면, 반도체 장치는 메모리 어레이(110)와 동작 회로(120~170)를 포함한다.

[0013] 메모리 어레이(110)는 다수의 메모리 블록들(110MB)을 포함한다. 메모리 블록(110MB)의 구조를 설명하면 다음과 같다.

[0014] 도 2는 도 1에 도시된 메모리 어레이를 설명하기 위한 도면이다.

[0015] 도 2를 참조하면, 각각의 메모리 블록은 비트라인들(BLe, BLo)과 공통 소스 라인(SL) 사이에 연결된 다수의 메모리 스트링들(ST)을 포함한다. 즉, 메모리 스트링들(ST)은 대응하는 비트 라인들(BLe, BLo)과 각각 연결되고 공통 소스 라인(SL)과 공통으로 연결된다. 각각의 메모리 스트링(ST)은 소스가 공통 소스 라인(SL)에 연결되는 소스 셀렉트 트랜지스터(SST), 복수의 메모리 셀들(Ce)이 직렬로 연결된 셀 스트링, 그리고 드레인이 비트라인(BLe)에 연결되는 드레인 셀렉트 트랜지스터(DST)를 포함한다. 셀 스트링에 포함된 메모리 셀들(Ce)은 셀렉트 트랜지스터들(SST, DST) 사이에 직렬로 연결된다. 소스 셀렉트 트랜지스터(SST)의 게이트는 소스 셀렉트 라인(SSL)에 연결되고, 메모리 셀들(Ce)의 게이트들은 워드라인들(WL0~WLn)에 각각 연결되며, 드레인 셀렉트 트랜지스터(DST)의 게이트는 드레인 셀렉트 라인(DSL)에 연결된다.

[0016] 여기서, 드레인 셀렉트 트랜지스터(DST)는 셀 스트링(Ce)과 비트라인의 연결 또는 차단을 제어하며, 소스 셀렉트 트랜지스터(SST)는 셀 스트링(Ce)과 공통 소스 라인(SL)의 연결 또는 차단을 제어한다.

[0017] 낸드 플래시 메모리 장치에서 메모리 셀 블록에 포함된 메모리 셀들은 물리적 페이지 단위 또는 논리적 페이지 단위로 구분할 수 있다. 예를 들어, 하나의 워드라인(예, WL0)에 연결된 메모리 셀들(Ce, Co)이 하나의 물리적 페이지(PAGE)를 구성한다. 또한, 하나의 워드라인(예, WL0)에 연결된 짝수 번째 메모리 셀들(Ce)이 이븐 페이지를 구성하고, 홀수 번째 메모리 셀들(Co)이 오드 페이지를 구성할 수 있다. 이러한 페이지(또는, 이븐 페이지와 오드 페이지)는 프로그램 동작 또는 리드 동작의 기본 단위가 될 수 있다.

[0018] 다시, 도 1을 참조하면, 동작 회로(120~170)는 선택된 워드라인(예, WL0)에 연결된 메모리 셀들(Ce, Co)의 프로그램 루프, 소거 루프 및 리드 동작을 수행하도록 구성된다. 프로그램 루프는 프로그램 동작과 검증 동작을 포함하고, 소거 루프는 소거 동작과 검증 동작을 포함한다.

[0019] 동작 회로(120~170)는 프로그램 루프를 ISPP(Increment Step Pulse Program) 방식으로 실시할 수 있다. 즉, 동작 회로(120~170)는 선택된 워드라인(예, WL0)에 연결된 메모리 셀들(Ce, Co)의 문턱전압들이 모두 목표 레벨에 도달할 때까지 프로그램 동작과 검증 동작을 반복 실시할 수 있다. 다시 말해, 동작 회로(120~170)는 외부로부터 입력된 데이터가 선택된 워드라인(예, WL0)의 메모리 셀들(Ce, Co)에 저장된 것이 확인될 때까지 데이터를 저장하기 위한 프로그램 동작과 데이터 저장을 확인하기 위한 검증 동작을 반복 실시할 수 있다.

[0020] 한편, 동작 회로(120~170)는 프로그램 동작이 반복 실시될 때마다 정해진 스텝 전압만큼 선택된 워드라인에 인가된 프로그램 전압(Vpgm)을 상승시킬 수 있다. 즉, 동작 회로(120~170)는 프로그램 동작을 실시할 때 이전 프로그램 동작에서 사용된 프로그램 전압보다 스텝 전압만큼 높아진 프로그램 전압(Vpgm)을 선택된 워드라인(WL0)에 인가할 수 있다.

[0021] 특히, 검증 동작에서 프로그램 페일로 확인된 제1 프로그램 페일 셀과 이전 검증 동작에서 프로그램 패스로 확인된 후 프로그램 페일로 확인된 제2 프로그램 페일 셀이 검출되면, 동작 회로(120~170)는 프로그램 동작에서 제2 프로그램 페일 셀을 프로그램하기 위한 제1 프로그램 전압과 제1 프로그램 페일 셀을 프로그램하기 위한 제

2 프로그램 전압을 선택된 워드라인에 순서에 상관없이 연속적으로 인가할 수 있다. 구체적인 내용은 도 6에서 후술하기로 한다.

[0022] 프로그램 루프, 소거 루프 및 리드 동작을 수행하기 위하기 위하여, 동작 회로(120~170)는 동작 전압들(Verase, Vpgm, Vread, Vverify, Vpass, Vdsl, Vssl, Vsl)을 선택된 메모리 블록의 로컬 라인들(SSL, WL0~WLn, DSL)과 공통 소스 라인(SL)으로 선택적으로 출력하고, 비트라인들(BLe, BLo)의 프리차지/디스차지를 제어하거나 비트라인들(BLe, BLo)의 전류 흐름을 센싱하도록 구성된다. 예로써, 소거 전압(Verase)은 소거 동작 시 메모리 셀들이 형성된 벌크(기판 또는 P웰)로 인가되고, 프로그램 전압(Vpgm)은 프로그램 동작 시 선택된 워드라인에 인가되고, 리드 전압(Vread)은 리드 동작 시 선택된 워드라인에 인가되고, 검증 전압(Vverify)은 검증 동작 시 선택된 워드라인에 인가된다. 패스 전압(Vpass)은 프로그램 동작, 리드 동작 또는 검증 동작 시 선택된 워드라인에서 비선택 워드라인들에 인가되고, 드레인 셀렉트 전압(Vdsl)은 드레인 셀렉트 라인(DSL)에 인가되고, 소스 셀렉트 전압(Vssl)은 소스 셀렉트 라인에 인가되고, 소스 전압(Vsl)은 공통 소스 라인(SL)에 인가된다.

[0023] 특히, 프로그램 동작을 실시할 때 동작 회로(210~170)는 검증 동작에서 프로그램 페일로 확인된 제1 프로그램 페일 셀의 비트라인에는 제1 프로그램 허용 전압을 인가하고, 프로그램 패스 후 프로그램 페일로 확인된 제2 프로그램 페일 셀의 비트라인에는 제2 프로그램 허용 전압을 인가할 수 있다. 구체적인 내용은 도 4에서 설명하기로 한다.

[0024] NAND 플래시 메모리 장치의 경우, 동작 회로는 제어 회로(120), 전압 공급 회로(130), 읽기/쓰기 회로(140), 컬럼 선택 회로(150), 입출력 회로(160) 및 패스/페일 체크 회로(170)를 포함한다. 각각의 구성 요소에 대해 구체적으로 설명하면 다음과 같다.

[0025] 제어 회로(120)는 외부로부터 입출력 회로(160)를 통해 입력되는 명령 신호(CMD)에 응답하여 프로그램 루프, 소거 루프 및 리드 동작을 수행하기 위한 동작 전압들(Verase, Vpgm, Vread, Vverify, Vpass, Vdsl, Vssl, Vsl)이 원하는 레벨로 발생될 수 있도록 전압 공급 회로(130)를 제어하기 위한 전압 제어 신호(CMDv)를 출력한다. 그리고, 제어 회로(120)는 프로그램 루프, 소거 루프 및 리드 동작을 수행하기 위해 읽기/쓰기 회로 그룹(140)에 포함된 읽기/쓰기 회로들(PB)을 제어하기 위한 제어 신호들(CMDpb)을 출력한다. 또한, 제어 회로(120)는 어드레스 신호(ADD)가 입력되면 이들에 의해 컬럼 어드레스 신호(CADD)와 로우 어드레스 신호(RADD)가 생성되어 제어 회로(120)로부터 출력된다.

[0026] 전압 공급 회로(130)는 제어 회로(120)의 전압 제어 신호(CMDv)에 응답하여 메모리 셀들의 프로그램 루프, 소거 루프 및 리드 동작에 따라 필요한 동작 전압들(Verase, Vpgm, Vread, Vverify, Vpass, Vdsl, Vssl, Vsl)을 생성하고, 제어 회로(120)의 로우 어드레스 신호(RADD)에 응답하여 선택된 메모리 블록의 로컬 라인들(SSL, WL0~WLn, DSL)과 공통 소스 라인(SL)로 동작 전압들을 출력한다.

[0027] 이러한 전압 공급 회로(130)는 전압 생성 회로(131)와 로우 디코더(133)를 포함할 수 있다. 전압 생성 회로(131)는 제어 회로(120)의 전압 제어 신호(CMDv)에 응답하여 동작 전압들(Verase, Vpgm, Vread, Vverify, Vpass, Vdsl, Vssl, Vsl)을 생성하고, 로우 디코더(133)는 제어 회로(120)의 로우 어드레스 신호(RADD)에 응답하여 동작 전압들을 메모리 블록들(110MB) 중 선택된 메모리 블록의 로컬 라인들(SSL, WL0~WLn, DSL)과 공통 소스 라인(SL)으로 전달한다.

[0028] 이렇듯, 이하에서 설명되는 동작 전압들(Verase, Vpgm, Vread, Vverify, Vpass, Vdsl, Vssl, Vsl)의 출력과 변경은 제어 회로(120)의 전압 제어 신호(CMDv)에 따라 전압 공급 회로(130)에 의해 이루어진다.

[0029] 읽기/쓰기 회로 그룹(140)은 비트라인들(BLe, BLo)을 통해 메모리 어레이(110)와 연결되는 다수의 읽기/쓰기 회로들(예, 페이지 버퍼들)(PB)을 각각 포함할 수 있다. 특히, 읽기/쓰기 회로들(PB)은 비트라인들(BLe, BLo)마다 각각 연결될 수 있다. 즉, 하나의 비트라인에 하나의 읽기/쓰기 회로(PB)가 연결될 수 있다. 또한, 읽기/쓰기 회로들(PB)은 한쌍의 비트라인(BLe, BLo)마다 각각 연결될 수 있다.

[0030] 프로그램 동작 시 제어 회로(120)의 PB 제어 신호(CMDpb)와 메모리 셀들에 저장하기 위한 데이터(DATA)에 따라, 읽기/쓰기 회로들(PB)은 비트라인들(BLe, BLo)을 선택적으로 프리차지할 수 있다. 검증 동작이나 리드 동작 시 제어 회로(120)의 PB 제어 신호(CMDpb)에 따라, 읽기/쓰기 회로들(PB)은 비트라인들(BLe, BLo)을 프리차지한 후 비트라인들(BLe, BLo)의 전압 변화나 전류를 센싱하여 메모리 셀로부터 독출된 데이터를 래치할 수 있다.

[0031] 한편, 읽기/쓰기 회로들(PB)은 검증 동작에서 메모리 셀들로부터 독출된 데이터(또는 검증 동작에서 확인된 메모리 셀들의 문턱전압들)에 따라 메모리 셀들의 프로그램 패스/페일 또는 소거 패스/페일을 확인할 수 있는 패스/페일 신호들(FF[0:k])을 패스/페일 체크 회로(170)로 출력할 수 있다. 이를 위해, 읽기/쓰기 회로들(PB)은

메모리 셀들에 저장하기 위한 데이터를 임시로 저장하고 메모리 셀들의 검증 결과를 저장하기 위한 다수의 래치 회로들을 포함할 수 있다.

[0032] 특히, 읽기/쓰기 회로들(PB)은 검증 동작의 제1 검증 결과와 이전 검증 동작의 제2 검증 결과를 래치 회로들에 함께 저장하고, 프로그램 동작 시 제1 및 제2 검증 결과들에 따라 프로그램 페일 메모리 셀들의 비트라인들에 제1 프로그램 허용 전압과 제2 프로그램 허용 전압을 구분하여 인가할 수 있다.

[0033] 읽기/쓰기 회로(PB)의 구성을 보다 구체적으로 설명하면 다음과 같다. 도 3은 도 1에 도시된 읽기/쓰기 회로를 설명하기 위한 회로도이다.

[0034] 도 3을 참조하면, 읽기/쓰기 회로(또는 페이지 버퍼)(PB)는 도 1에 도시된 제어 회로의 제어 신호(CMDpb)에 따라 동작하며, 이하에서 설명되는 신호들(PRECHb, PBSENSE)은 제어 회로의 제어 신호(CMDpb)에 포함될 수 있다.

[0035] 읽기/쓰기 회로(PB)는 비트라인 연결 회로(310), 프리차지 회로(320) 및 다수의 래치 회로들(LC1~LC3)을 포함할 수 있다. 또한, 페이지 버퍼(PB)는 체크 신호 출력 회로(330)를 더 포함할 수 있다.

[0036] 비트라인 연결 회로(310)는 연결 신호(PBSENSE)에 응답하여 래치 회로들(LC1~LC3) 중 활성화된 래치 회로를 비트라인(BLe)과 연결하는 동작을 수행한다. 연결 신호(PBSENSE)는 비트라인(BL)을 프리차지 할 때와 비트라인(BL)의 전압 레벨을 센싱할 때 서로 다른 레벨로 인가될 수 있다. 비트라인 연결 회로(310)는 연결 신호(PBSENSE)에 응답하여 동작하는 스위칭 소자(N101)를 포함할 수 있으며, 래치 회로들(LC1~LC3)은 스위칭 소자(N101)에 병렬로 연결된다. 여기서, 비트라인 연결 회로(310)와 래치 회로들(LC1~LC3)의 접속 노드가 센싱 노드(SO)가 된다.

[0037] 프리차지 회로(320)는 전원전압 단자와 센싱 노드(SO) 사이에 접속되고 프리차지 신호(PRECHb)에 응답하여 동작하는 스위칭 소자(P101)를 포함할 수 있으며, 센싱 노드(SO)를 프리차지하는 동작을 수행한다. 센싱 노드(SO)에 프리차지된 전압(Vcc)은 비트라인(BL)을 프리차지하기 위한 프리차지 전압으로 사용될 수 있다. 즉, 프리차지 회로(320)는 센싱 노드(SO) 또는 비트라인(BL)을 프리차지하기 위한 프리차지 전압을 출력할 수 있다.

[0038] 래치 회로들(LC1~LC3)의 수와 기능은 설계에 따라 변경될 수 있으며, 3개의 래치 회로들(LC1~LC3)이 구비된 경우를 예로써 설명하기로 한다. 래치 회로들(LC1~LC3)은 통상적으로 하나만 활성화될 수 있다. 각각의 래치 회로(LC1~LC3)는 래치(LAT)를 포함할 수 있다.

[0039] 제1 래치 회로(LC1)는 검증 동작에서 메모리 셀의 문턱전압과 목표 전압의 비교 결과에 해당하는 검증 결과값을 래치하고 검증 결과 신호를 제1 노드(QA)로 출력하는 동작을 수행할 수 있다. 제1 래치 회로(LC1)는 반전 검증 결과 신호를 제2 노드(QB)로 출력할 수 있다.

[0040] 제2 래치 회로(LC2)는 이전 검증 동작에서 얻어진 검증 결과값을 래치하기 위해 사용될 수 있다. 이를 위해, 이전 검증 동작에서 제1 래치 회로(LC1)에 검증 결과값이 래치되면, 제1 래치 회로(LC1)는 검증 결과값을 제2 래치 회로(LC2)로 전달하고 제2 래치 회로(LC2)는 제1 래치 회로(LC1)로부터 전달된 검증 결과값을 래치한다. 그리고, 검증 동작에서 제1 래치 회로(LC1)에는 새로운 검증 결과값이 래치된다. 따라서, 검증 동작이 완료되면 제1 래치 회로(LC1)에는 새로운 검증 결과값이 래치되고 제2 래치 회로(LC2)에는 이전 검증 동작의 검증 결과값이 래치된다.

[0041] 제3 래치 회로(LC3)는 입출력 회로를 통해 외부로부터 입력된 데이터에 따라 프로그램 동작 시 비트라인에 프로그램 금지 전압 또는 프로그램 허용 전압이 인가될 수 있다.

[0042] 특히, 프로그램 패스 셀들의 비트라인들에는 제1 프로그램 허용 전압과 제2 프로그램 허용 전압이 선택적으로 인가되는데, 제1 프로그램 허용 전압과 제2프로그램 허용 전압이 레벨이 서로 상이하다. 제3 래치 회로(LC3)에 의해 프로그램 허용 전압의 인가 여부가 결정되고 연결 신호(PBSENSE)의 레벨에 따라 제1 및 제2 프로그램 허용 전압들 중 비트라인으로 인가될 프로그램 허용 전압이 결정될 수 있다.

[0043] 체크 신호 출력 회로(330)는 전원 전압 단자와 출력 노드 사이에 연결되고 래치(LAT)의 제1 노드(QA)로 출력되는 신호에 따라 동작하는 스위칭 소자(P103)를 포함할 수 있다. 메모리 셀이 프로그램 페일 상태이면 래치(LAT)의 제1 노드(QA)로 로우 레벨의 신호가 출력되고, 체크 신호 출력 회로(330)는 래치(LAT)의 제1 노드(QA)의 전위에 따라 전원 전압을 검증 체크 신호(FFk)로 출력한다. 메모리 셀이 프로그램 패스 상태이면 체크 신호 출력 회로(330)는 체크 신호(FFk)가 출력되는 출력 노드를 플로팅 상태로 설정한다. 즉, 출력 노드로 어떠한 신호

도 출력하지 않는다.

[0044] 다시, 도 1을 참조하면, 컬럼 선택 회로(150)는 제어 회로(120)에서 출력된 컬럼 어드레스(CADD)에 응답하여 읽기/쓰기 회로 그룹(140)에 포함된 읽기/쓰기 회로들(PB)을 선택한다. 즉, 컬럼 선택 회로(150)는 메모리 셀들에 저장될 데이터를 컬럼 어드레스(CADD)에 응답하여 순차적으로 읽기/쓰기 회로들(PB)로 전달한다. 또한, 리드 동작에 의해 읽기/쓰기 회로들(PB)에 래치된 메모리 셀들의 데이터가 외부로 출력될 수 있도록 컬럼 선택 회로(150)는 컬럼 어드레스(CADD)에 응답하여 순차적으로 읽기/쓰기 회로들(PB)을 선택한다.

[0045] 입출력 회로(160)는 외부로부터 입력되는 명령 신호(CMD)와 어드레스 신호(ADD)를 제어 회로(120)로 전달한다. 또한, 입출력 회로(160)는 프로그램 동작 시 외부로부터 입력된 데이터(DATA)를 컬럼 선택 회로(150)로 전달하거나, 리드 동작 시 메모리 셀들로부터 독출된 데이터를 외부로 출력하는 동작을 수행한다.

[0046] 패스/페일 체크 회로(170)는 프로그램 패스/페일을 판단하기 위한 검증 동작을 실시한 후 읽기/쓰기 회로들(PB)로부터 출력되는 체크 신호들(FF[0:k])에 따라 달라지는 전류의 량을 센싱하도록 구성될 수 있다. 패스/페일 체크 회로(170)는 체크 신호들(FF[0:k])에 따라 체크 결과 신호(CHECKs)를 제어 회로(120)로 출력한다.

[0047] 제어 회로(120)는 체크 결과 신호(CHECHs)와 읽기/쓰기 회로들(PB)에 저장된 이전 검증 동작의 검증 결과값에 따라서 다음 프로그램 동작 시 동작 조건을 다르게 설정할 수 있다. 구체적인 동작의 실시예를 설명하면 다음과 같다.

[0048] 도 4는 본 발명의 실시예에 따른 반도체 장치의 동작 방법을 설명하기 위한 흐름도이다. 도 5a 내지 도 5e는 본 발명의 실시예에 따른 반도체 장치의 동작 방법을 설명하기 위한 회로도이다.

[0049] 도 4를 참조하면, 단계(S401)에서 동작 회로는 프로그램 동작을 실시한다. 이를 위해, 메모리 셀들에 저장되는 데이터 또는 메모리 셀들의 프로그램 성공 여부에 따라 비트라인들에 프로그램 금지 전압과 프로그램 허용 전압을 선택적으로 인가한다. 즉, 프로그램 대상 셀들 중 프로그램 페일 셀의 비트라인에는 프로그램 허용 전압(예, 접지전압)을 인가하고, 프로그램 금지 셀이나 프로그램 패스 셀(또는 프로그램 성공 셀)의 비트라인에는 프로그램 금지 전압(예, 전원전압)을 인가할 수 있다. 그리고, 선택된 워드라인에 프로그램 전압(Vpgm)을 인가한다. 그 결과, 일부 메모리 셀들(예, 프로그램 페일 셀들)의 문턱전압이 상승한다.

[0050] 도 4 및 도 5a를 참조하면, 단계(S403)에서 동작 회로는 프로그램 동작의 패스/페일을 확인하기 위한 검증 동작을 실시한다. 이를 위해, 비트라인들은 전원전압(Vcc)으로 프리차지되고 선택된 워드라인에는 검증 전압(Vverify)이 인가될 수 있다. 나머지 비선택 워드라인들, 드레인 셀렉트 라인 및 소스 셀렉트 라인에는 비선택 메모리 셀들, 드레인 셀렉트 트랜지스터 및 소스 셀렉트 트랜지스터를 턴온시키기 위한 전압들이 인가되고, 공통 소스 라인에는 접지 전압(Vgnd)가 인가될 수 있다.

[0051] 이하, 검증 동작 결과 제1 및 제3 메모리 셀들(C1, C3)이 프로그램 페일로 판단되고 제2 및 제4 메모리 셀들(C2, C4)가 프로그램 패스로 판단된 경우를 예로써 설명하기로 한다. 제1 및 제3 메모리 셀들(C1, C3)의 비트라인들에 인가된 프리차지 전압(Vcc)은 그대로 유지되고 제2 및 제4 메모리 셀들(C2, C4)의 비트라인들은 접지 전압으로 낮아진다. 동작 회로는 비트라인들의 전압 변화를 감지하고 감지 결과에 따른 검증 결과값을 래치 회로에 저장한다.

[0052] 단계(S405)에서 동작 회로는 검증 결과에 따라 모든 메모리 셀들에 데이터의 저장이 완료되었는지를 판단한다. 즉, 외부로부터 입력된 데이터와 메모리 셀들에 저장된 데이터가 일치하는지를 확인하고 프로그램 패스 여부를 결정한다.

[0053] 프로그램 페일로 판단되는 경우, 단계(S407)에서 이전 검증 동작 시 프로그램 패스 상태로 변경된 후 단계(S403)의 검증 동작에서 프로그램 페일 상태로 확인된 프로그램 페일 셀(이하, 제2 프로그램 페일 셀)이 존재하는지 확인한다. 즉, 제2 프로그램 페일 셀은 이전 검증 동작에서 프로그램 패스 상태로 확인되고 단계(S403)의 검증 동작에서 프로그램 페일 상태로 변경된 메모리 셀을 포함한다. 동작 회로(즉, 읽기/쓰기 회로)는 검증 동작의 검증 결과(이하, 제1 검증 결과)뿐만 아니라 이전 검증 동작의 검증 결과(이하, 제2 검증 결과)도 저장하고 있기 때문에, 제1 및 제2 검증 결과들을 이용하면 제2 프로그램 페일 셀의 존재 여부를 확인할 수 있다.

[0054] 제2 프로그램 페일 셀이 존재하지 않는 경우, 단계(S409)에서 워드라인 전압과 비트라인 전압을 설정한다. 예로써, 다음 프로그램 동작에서 선택된 워드라인에 인가될 프로그램 전압(Vpgm)을 정해진 스텝 전압(Vstep)만큼 상승시킨다. 그리고, 제1 및 제3 메모리 셀들(C1, C3)(즉, 프로그램 페일 셀들)의 비트라인들이 인가될 전압은 제

1 프로그램 허용 전압(Vallow)으로 설정하고, 제2 및 제4 메모리 셀들(C2, C4)(즉, 프로그램 패스 셀들)의 비트라인들이 인가될 전압은 프로그램 금지 전압(Vinhibit)으로 설정한다.

[0055] 도 4 및 도 5b를 참조하면, 단계(S401)에서 동작 회로는 단계(S409)에서 설정된 조건에 따라 프로그램 동작을 실시한다.

[0056] 도 4 및 도 5c를 참조하면, 단계(S403)에서 동작 회로는 프로그램 동작의 패스/페일을 확인하기 위한 검증 동작을 실시한다. 검증 동작은 도 5a에서 설명한 방식에 따라 실시될 수 있다. 동작 회로는 비트라인들의 전압 변화를 감지하고 감지 결과에 따른 검증 결과값을 래치 회로에 저장한다.

[0057] 이하, 제3 메모리 셀(C3)이 프로그램 페일 상태에서 프로그램 패스 상태로 변경되고, 제2 메모리 셀(C2)이 프로그램 패스 상태에서 프로그램 페일 상태로 변경된 경우를 예로써 설명하기로 한다. 따라서, 제1 및 제2 메모리 셀들(C1, C2)이 프로그램 페일로 판단되고 제3 및 제4 메모리 셀들(C3, C4)가 프로그램 패스로 판단된다.

[0058] 단계(S405)에서 동작 회로는 검증 결과에 따라 모든 메모리 셀들에 데이터의 저장이 완료되었는지를 판단한다. 즉, 외부로부터 입력된 데이터와 메모리 셀들에 저장된 데이터가 일치하는지를 확인하고 프로그램 패스(성공) 여부를 결정한다.

[0059] 프로그램 페일로 판단되는 경우, 단계(S407)에서 이전 검증 동작 시 프로그램 패스로 판단된 후 프로그램 페일로 판단된 프로그램 페일 셀(이하, 제2 프로그램 페일 셀)이 존재하는지 확인한다. 제2 메모리 셀(C2)은 이전 검증 동작에서 프로그램 패스로 판단된 후 현재 검증 동작에서 프로그램 페일로 판단되었으므로, 제2 메모리 셀(C2)이 제2 프로그램 패일 셀이 된다.

[0060] 제2 프로그램 페일 셀이 존재하므로, 단계(S411)에서 워드라인 전압과 비트라인 전압을 설정한다. 예로써, 다음 프로그램 동작에서 선택된 워드라인에 인가될 프로그램 전압(Vpgm)을 정해진 스텝 전압(Vstep)만큼 상승킨다. 그리고, 제3 및 제4 메모리 셀들(C3, C4)(즉, 프로그램 패스 셀들)의 비트라인들이 인가될 전압은 프로그램 금지 전압(Vinhibit)으로 설정한다.

[0061] 한편, 프로그램 페일 셀들(C1, C2)의 비트라인들이 인가될 전압은 프로그램 허용 전압으로 설정한다. 예로써, 제1 메모리 셀(C1)은 계속해서 프로그램 페일 상태로 확인되는 제1 프로그램 페일 셀이므로, 제1 메모리 셀(C1)의 비트라인에 인가될 전압은 제1 프로그램 허용 전압(Vallow)으로 설정한다. 그리고, 제2 메모리 셀(C2)은 제2 프로그램 페일 셀이므로, 제2 메모리 셀(C2)의 비트라인들이 인가될 전압은 제2 프로그램 허용 전압(Vallow+Va)으로 설정한다. 프로그램 패스로 확인된 메모리 셀들(C3, C4)의 비트라인에 인가될 전압은 프로그램 금지 전압(Vinhibit)으로 설정될 수 있다.

[0062] 제1 프로그램 허용 전압(Vallow)은 접지 전압이 될 수 있다. 그리고, 제1 프로그램 허용 전압(Vallow)이 제2 프로그램 허용 전압(Vallow+Va)보다 낮다. 제2 프로그램 허용 전압(Vallow+Va)의 레벨은 스텝 전압(Vstep)의 레벨과 동일할 수 있다. 즉, 제1 프로그램 허용 전압(Vallow)과 제2 프로그램 허용 전압(Vallow+Va)의 차이가 스텝 전압(Vstep)에 대응할 수 있다. 또한, 프로그램 금지 전압(Vstep)과 제2 프로그램 허용 전압(Vallow+Va)의 차이가 스텝 전압(Vstep)에 대응할 수도 있다.

[0063] 도 4 및 도 5d를 참조하면, 단계(S401)에서 동작 회로는 단계(S411)에서 설정된 조건에 따라 프로그램 동작을 실시한다.

[0064] 도 4 및 도 5e를 참조하면, 단계(S403)에서 동작 회로는 프로그램 동작의 패스/페일을 확인하기 위한 검증 동작을 실시한다. 검증 동작은 도 5a에서 설명한 방식에 따라 실시될 수 있다. 동작 회로는 비트라인들의 전압 변화를 감지하고 감지 결과에 따른 검증 결과값을 래치 회로에 저장한다.

[0065] 이하, 제1 및 제2 메모리 셀들(C1, C2)이 프로그램 페일 상태에서 프로그램 패스 상태로 변경된 경우를 예로써 설명하기로 한다. 따라서, 제1 내지 제4 메모리 셀들(C1~C4)이 프로그램 패스로 판단된다.

[0066] 단계(S405)에서 동작 회로는 검증 결과에 따라 모든 메모리 셀들에 데이터의 저장이 완료되었는지를 판단한다. 즉, 외부로부터 입력된 데이터와 메모리 셀들에 저장된 데이터가 일치하는지를 확인하고 프로그램 패스(성공) 여부를 결정한다.

[0067] 프로그램 패스로 판단되는 경우, 단계(S413)에서 프로그램 루프(S401~S411)가 실시된 워드라인이 마지막 워드라인인지 확인한다. 마지막 워드라인이 아니라면, 단계(S415)에서 다음 워드라인이 선택되고, 프로그램 전압(Vpgm)은 초기화된다. 즉, 이전 프로그램 루프에서 높아진 프로그램 전압(Vpgm)이 다음 워드라인의 프로그램 루

프를 위하여 초기 레벨로 낮아진다. 이어서, 다음 워드라인의 프로그램 루프가 앞서 설명한 단계들(S401~S411)에 따라 진행된다. 마지막 워드라인으로 판단되면 프로그램 루프는 종료된다.

[0068] 앞서 설명한 바와 같이, 프로그램 패스로 판단된 후 프로그램 페일로 판단되는 메모리 셀(예, C2)은 문턱전압이 목표 레벨보다 높아지더라도 차이가 적기 때문에 도 5c의 검증 동작에서 다시 프로그램 페일로 판단될 수 있다. 이 때문에 제2 메모리 셀(C2)의 프로그램 동작을 다시 실시해야 하지만, 일반적은 프로그램 페일 셀(예, C1)과 동일한 조건에서 프로그램 동작이 재실시되면 제2 메모리 셀(C2)의 문턱전압이 목표 레벨보다 크게 높아질 수 있다. 따라서, 프로그램 동작 시 제2 메모리 셀(C2)의 비트라인 전압에 인가되는 프로그램 허용 전압(Vallow+Va)을 일반적인 프로그램 허용 전압(Vallow)보다 조금 높여주면 문턱전압의 상승폭을 줄일 수 있다. 그 결과, 제2 메모리 셀(C2)의 문턱전압이 목표 레벨보다 크게 높아지는 것을 방지하여 문턱전압 분포 폭을 좁힐 수 있다. 또한, 메모리 셀에 저장된 데이터가 변경되는 것을 방지할 수도 있다.

[0069] 이하, 프로그램 패스로 판단된 후 프로그램 패일로 판단되는 언드 프로그램 셀의 또 다른 프로그램 루프 방식을 설명하기로 한다. 도 6은 본 발명의 다른 실시예에 따른 반도체 장치의 동작 방법을 설명하기 위한 흐름도이다. 도 7a 내지 도 7e는 본 발명의 실시예에 따른 반도체 장치의 동작 방법을 설명하기 위한 회로도이다.

[0070] 도 6 및 도 7a를 참조하면, 단계(S601)에서 동작 회로는 프로그램 동작을 실시한다. 이를 위해, 메모리 셀들에 저장되는 데이터 또는 메모리 셀들의 프로그램 성공 여부에 따라 비트라인들에 프로그램 금지 전압과 프로그램 허용 전압을 선택적으로 인가한다. 즉, 프로그램 대상 셀들 중 프로그램 페일 셀들(C1, C3)의 비트라인들에는 프로그램 허용 전압(Vallow)을 인가하고, 프로그램 금지 셀이나 프로그램 패스 셀(또는 프로그램 성공 셀)(C2, C4)의 비트라인들에는 프로그램 금지 전압(Vinhibit)을 인가할 수 있다. 그리고, 선택된 워드라인에 프로그램 전압(Vpgm)을 인가한다. 그 결과, 일부 메모리 셀들(예, 프로그램 페일 셀들)(C1, C3)의 문턱전압이 상승한다.

[0071] 도 6 및 도 7b를 참조하면, 단계(S603)에서 동작 회로는 프로그램 동작의 패스/페일을 확인하기 위한 검증 동작을 실시한다. 검증 동작은 도 5a에서 설명한 방식에 따라 실시될 수 있다. 동작 회로는 비트라인들의 전압 변화를 감지하고 감지 결과에 따른 검증 결과값을 래치 회로에 저장한다. 검증 동작을 실시할 때, 동작 회로는 이전 검증 동작에서 프로그램 페일로 확인된 메모리 셀과 처음으로 프로그램 패스로 확인된 메모리 셀의 프로그램 상태를 함께 확인하도록 구성된다.

[0072] 이하, 제3 메모리 셀(C3)이 프로그램 페일 상태에서 프로그램 패스 상태로 변경되고, 제2 메모리 셀(C2)이 프로그램 패스 상태에서 프로그램 페일 상태로 변경된 경우를 예로써 설명하기로 한다. 따라서, 제1 및 제2 메모리 셀들(C1, C2)이 프로그램 페일로 판단되고 제3 및 제4 메모리 셀들(C3, C4)가 프로그램 패스로 판단된다.

[0073] 단계(S605)에서 동작 회로는 검증 결과에 따라 모든 메모리 셀들에 데이터의 저장이 완료되었는지를 판단한다. 즉, 외부로부터 입력된 데이터와 메모리 셀들에 저장된 데이터가 일치하는지를 확인하고 프로그램 패스(성공) 여부를 결정한다.

[0074] 프로그램 페일로 판단되는 경우, 단계(S607)에서 이전 검증 동작 시 프로그램 패스로 판단된 후 프로그램 페일로 판단된 프로그램 페일 셀(이하, 제2 프로그램 페일 셀)이 존재하는지 확인한다. 즉, 제2 프로그램 페일 셀은 이전 검증 동작에서 프로그램 패스 상태로 확인되고 단계(S403)의 검증 동작에서 프로그램 페일 상태로 변경된 메모리 셀을 포함한다.

[0075] 제2 프로그램 페일 셀이 존재하지 않는 경우, 단계(S609)에서 워드라인 전압을 설정한다. 예로써, 다음 프로그램 동작에서 선택된 워드라인에 인가될 프로그램 전압(Vpgm)을 정해진 스텝 전압(Vstep)만큼 상승시킨다. 이어서, 단계(S601)에서 동작 회로는 단계(S609)에서 설정된 조건에 따라 프로그램 동작을 실시한 후 후속 단계들(S603~S607)이 진행된다.

[0076] 하지만, 제2 메모리 셀(C2)이 이전 검증 동작에서 프로그램 패스로 판단된 후 현재 검증 동작에서 프로그램 페일로 판단되었으므로, 제2 메모리 셀(C2)이 제2 프로그램 패일 셀이 된다. 즉, 단계(S607)에서 제2 프로그램 페일 셀이 검출된 것으로 확인된다. 참고로, 제1 메모리 셀(C1)은 프로그램 페일 상태를 계속 유지하고 있으므로 제1 프로그램 페일 셀이 된다. 즉, 제1 프로그램 페일 셀은 이전 검증 동작에서 프로그램 페일 상태로 확인되고 단계(S603)의 검증 동작에서도 프로그램 페일 상태로 확인된 메모리 셀을 포함한다.

[0077] 제2 프로그램 페일 셀(C2)이 존재하므로, 다른 조건에서 프로그램 동작이 진행된다. 우선, 단계(S611)에서 워드라인 전압을 설정한다. 예로써, 다음 프로그램 동작에서 선택된 워드라인에 인가될 프로그램 전압(Vpgm)을 정해

진 스텝 전압(Vstep)만큼 상승시킨다. 그리고, 제3 및 제4 메모리 셀들(C3, C4)(즉, 프로그램 패스 셀들)의 비트라인들이 인가될 전압은 프로그램 금지 전압(Vinhibit)으로 설정한다.

[0078] 도 6 및 도 7c를 참조하면, 단계(S613)에서 동작 회로는 프로그램 동작을 실시한다. 프로그램 동작에서 동작 회로는 제2 프로그램 페일 셀(C2)을 프로그램하기 위한 제1 프로그램 전압(Vpgm)과 제1 프로그램 페일 셀(C1)을 프로그램하기 위한 제2 프로그램 전압(Vpgm+Vstep)을 워드라인에 인가한다. 제1 프로그램 전압(Vpgm)은 이전 프로그램 동작에서 워드라인에 인가된 프로그램 전압으로써 단계(S611)에서 스텝 전압(Vstep)만큼 상승되기 전의 프로그램 전압에 해당된다. 제2 프로그램 전압(Vpgm+Vstep)은 단계(S611)에서 설정된 프로그램 전압으로써 이전 프로그램 동작의 프로그램 전압(Vpgm)보다 스텝 전압(Vstep)만큼 상승된 프로그램 전압에 해당된다.

[0079] 우선 선택된 워드라인에 제1 프로그램 전압(Vpgm)이 인가될 수 있다. 제1 프로그램 전압(Vpgm)이 인가될 때, 동작 회로는 제2 프로그램 페일 셀(C2)의 비트라인에 프로그램 허용 전압(Vallow)을 인가하고 나머지 비트라인들에 프로그램 금지 전압(Vinhibit)을 인가할 수 있다. 따라서, 제1 프로그램 전압(Vpgm)에 의해 제2 프로그램 페일 셀(C2)의 문턱전압만 상승한다.

[0080] 도 6 및 도 7d를 참조하면, 단계(S613)에서 제1 프로그램 전압(Vpgm)이 워드라인에 인가된 후 워드라인에 제2 프로그램 전압(Vpgm+Vstep)이 인가될 수 있다. 제2 프로그램 전압(Vpgm+Vstep)이 인가될 때, 동작 회로는 제1 프로그램 페일 셀(C1)의 비트라인에 프로그램 허용 전압(Vallow)을 인가하고 나머지 비트라인들에 프로그램 금지 전압(Vinhibit)을 인가할 수 있다. 따라서, 제2 프로그램 전압(Vpgm+Vstep)에 의해 제1 프로그램 페일 셀(C1)의 문턱전압만 상승한다.

[0081] 앞서 설명한 바와 같이, 서로 다른 프로그램 전압들(Vpgm, Vpgm+Vstep)을 이용하여 제1 및 제2 프로그램 페일 셀들(C1, C2)의 프로그램 동작이 연속해서 진행될 수 있다. 한편, 제2 프로그램 전압(Vpgm+Vstep)을 먼저 인가한 후 제1 프로그램 전압(Vpgm)을 인가할 수도 있다. 즉, 제1 프로그램 페일 셀(C1)의 프로그램 동작을 실시한 후 제2 프로그램 페일 셀(C2)의 프로그램 동작을 실시할 수도 있다.

[0082] 도 6 및 도 7e를 참조하면, 단계(S603)에서 동작 회로는 프로그램 동작의 패스/페일을 확인하기 위한 검증 동작을 실시한다. 검증 동작은 도 5a에서 설명한 방식에 따라 실시될 수 있다. 동작 회로는 비트라인들의 전압 변화를 감지하고 감지 결과에 따른 검증 결과값을 래치 회로에 저장한다.

[0083] 이하, 제1 및 제2 메모리 셀들(C1, C2)이 프로그램 페일 상태에서 프로그램 패스 상태로 변경된 경우를 예로써 설명하기로 한다. 따라서, 제1 내지 제4 메모리 셀들(C1~C4)이 프로그램 패스로 판단된다.

[0084] 단계(S605)에서 동작 회로는 검증 결과에 따라 모든 메모리 셀들에 데이터의 저장이 완료되었는지를 판단한다. 즉, 외부로부터 입력된 데이터와 메모리 셀들에 저장된 데이터가 일치하는지를 확인하고 프로그램 패스(성공) 여부를 결정한다.

[0085] 프로그램 패스로 판단되는 경우, 단계(S615)에서 프로그램 루프(S601~S613)가 실시된 워드라인이 마지막 워드라인인지 확인한다. 마지막 워드라인이 아니라면, 단계(S617)에서 다음 워드라인이 선택되고, 프로그램 전압(Vpgm)은 초기화된다. 즉, 이전 프로그램 루프에서 높아진 프로그램 전압(Vpgm)이 다음 워드라인의 프로그램 루프를 위하여 초기 레벨로 낮아진다. 이어서, 다음 워드라인의 프로그램 루프가 앞서 설명한 단계들(S601~S613)에 따라 진행된다. 마지막 워드라인으로 판단되면 프로그램 루프는 종료된다.

[0086] 앞서 설명한 바와 같이, 프로그램 패스로 판단된 후 프로그램 페일로 판단되는 메모리 셀(예, C2)은 문턱전압이 목표 레벨보다 높아지더라도 차이가 적기 때문에 도 7b의 검증 동작에서 다시 프로그램 페일로 판단될 수 있다. 이 때문에 제2 메모리 셀(C2)의 프로그램 동작을 다시 실시해야 하지만, 일반적은 프로그램 페일 셀(예, C1)과 동일한 조건에서 프로그램 동작이 재실시되면 제2 메모리 셀(C2)의 문턱전압이 목표 레벨보다 크게 높아질 수 있다. 따라서, 프로그램 동작 시 제1 메모리 셀(C1)의 워드라인에 인가될 프로그램 전압(Vpgm+Vstep)보다 낮은 이전 프로그램 전압(Vpgm)을 제2 메모리 셀(C2)의 워드라인에 인가하여 제2 메모리 셀(C2)의 프로그램 동작을 추가로 실시하면 제2 메모리 셀(C2)의 문턱전압을 낮은 상승폭으로 높일 수 있다. 그 결과, 제2 메모리 셀(C2)의 문턱전압이 목표 레벨보다 크게 높아지는 것을 방지하여 문턱전압 분포 폭을 좁힐 수 있다. 또한, 메모리 셀에 저장된 데이터가 변경되는 것을 방지할 수도 있다.

[0087] 도 8은 본 발명의 실시예에 따른 메모리 시스템을 간략히 보여주는 블록도이다.

[0088] 도 8을 참조하면, 본 발명의 실시예에 따른 메모리 시스템(800)은 불휘발성 메모리 장치(820)와 메모리 컨트롤

러(810)를 포함한다.

[0089] 불휘발성 메모리 장치(820)는 앞서 설명한 반도체 장치로 구성될 수 있다. 불휘발성 메모리 장치(820)와 메모리 컨트롤러(810)의 결합에 의해 메모리 카드 또는 반도체 디스크 장치(Solid State Disk: SSD)로 제공될 수 있을 것이다. SRAM(811)은 프로세싱 유닛(812)의 동작 메모리로써 사용된다. 호스트 인터페이스(813)는 메모리 시스템(800)과 접속되는 호스트의 데이터 교환 프로토콜을 구비한다. 에러 정정 블록(814)은 불휘발성 메모리 장치(820)로부터 독출된 데이터에 포함되는 에러를 검출 및 정정한다. 메모리 인터페이스(815)는 본 발명의 불휘발성 메모리 장치(820)와 인터페이싱 한다. 프로세싱 유닛(812)은 메모리 컨트롤러(810)의 데이터 교환을 위한 제반 제어 동작을 수행한다.

[0090] 비록 도면에는 도시되지 않았지만, 본 발명에 따른 메모리 시스템(800)은 호스트(Host)와의 인터페이싱을 위한 코드 데이터를 저장하는 ROM(미도시됨) 등이 더 제공될 수 있음은 이 분야의 통상적인 지식을 습득한 자들에게 자명하다. 불휘발성 메모리 장치(820)는 복수의 플래시 메모리 칩들로 구성되는 멀티-칩 패키지로 제공될 수도 있다. 이상의 본 발명의 메모리 시스템(800)은 에러의 발생 확률이 낮은 고신뢰성의 저장 매체로 제공될 수 있다. 특히, 최근 활발히 연구되고 있는 반도체 디스크 장치(Solid State Disk: 이하 SSD)와 같은 메모리 시스템에서 본 발명의 플래시 메모리 장치가 구비될 수 있다. 이 경우, 메모리 컨트롤러(810)는 USB, MMC, PCI-E, SATA, PATA, SCSI, ESDI, 그리고 IDE 등과 같은 다양한 인터페이스 프로토콜들 중 하나를 통해 외부(예를 들면, 호스트)와 통신하도록 구성될 것이다.

[0091] 도 9는 앞서 설명된 다양한 실시예들에 따라 프로그램 동작을 수행하는 퓨전 메모리 장치 또는 퓨전 메모리 시스템을 간략히 보여주는 블록도이다. 예를 들면, 퓨전 메모리 장치로서 원낸드 플래시 메모리 장치(900)에 앞서 설명한 반도체 장치의 기술적 특징이 적용될 수 있다.

[0092] 원낸드 플래시 메모리 장치(900)는 서로 다른 프로토콜을 사용하는 장치와의 각종 정보 교환을 위한 호스트 인터페이스(910)와, 메모리 장치를 구동하기 위한 코드를 내장하거나 데이터를 일시적으로 저장하는 버퍼 램(920)과, 외부에서 주어지는 제어 신호와 명령어에 응답하여 읽기와 프로그램 및 모든 상태를 제어하는 제어부(930)와, 명령어와 어드레스, 메모리 장치 내부의 시스템 동작 환경을 정의하는 설정(Configuration) 등의 데이터가 저장되는 레지스터(940) 및 불휘발성 메모리 셀과 읽기/쓰기 회로를 포함하는 동작 회로로 구성된 낸드 플래시 셀 어레이(950)를 포함한다. 낸드 플래시 셀 어레이(950)의 메모리 어레이는 도 2에 도시된 메모리 어레이가 적용된다.

[0093] 도 10에는 본 발명에 따른 플래시 메모리 장치(812)를 포함한 컴퓨팅 시스템이 개략적으로 도시되어 있다.

[0094] 본 발명에 따른 컴퓨팅 시스템(800)은 시스템 버스(1060)에 전기적으로 연결된 마이크로프로세서(1020), 램(1030), 사용자 인터페이스(1040), 베이스밴드 칩셋(Baseband chipset)과 같은 모뎀(1050) 및 메모리 시스템(1010)을 포함한다. 본 발명에 따른 컴퓨팅 시스템(1000)이 모바일 장치인 경우, 컴퓨팅 시스템(1000)의 동작 전압을 공급하기 위한 배터리(미도시됨)가 추가적으로 제공될 것이다. 비록 도면에는 도시되지 않았지만, 본 발명에 따른 컴퓨팅 시스템(1000)에는 응용 칩셋(Application chipset), 카메라 이미지 프로세서(Camera Image Processor: CIS), 모바일 디램, 등이 더 제공될 수 있음은 이 분야의 통상적인 지식을 습득한 자들에게 자명하다. 메모리 시스템(1010)은, 예를 들면, 데이터를 저장하는 데 앞서 설명한 반도체 장치를 사용하는 SSD(Solid State Drive/Disk)를 구성할 수 있다. 또는, 메모리 시스템(1010)은, 퓨전 플래시 메모리(예를 들면, 원낸드 플래시 메모리)로 제공될 수 있다.

부호의 설명

[0095] 110 : 메모리 어레이 110MB : 메모리 블록

ST : 스트링 PAGE : 페이지

120 : 제어 회로 131 : 전압 생성 회로

133 : 로우 디코더 130 : 전압 공급 회로

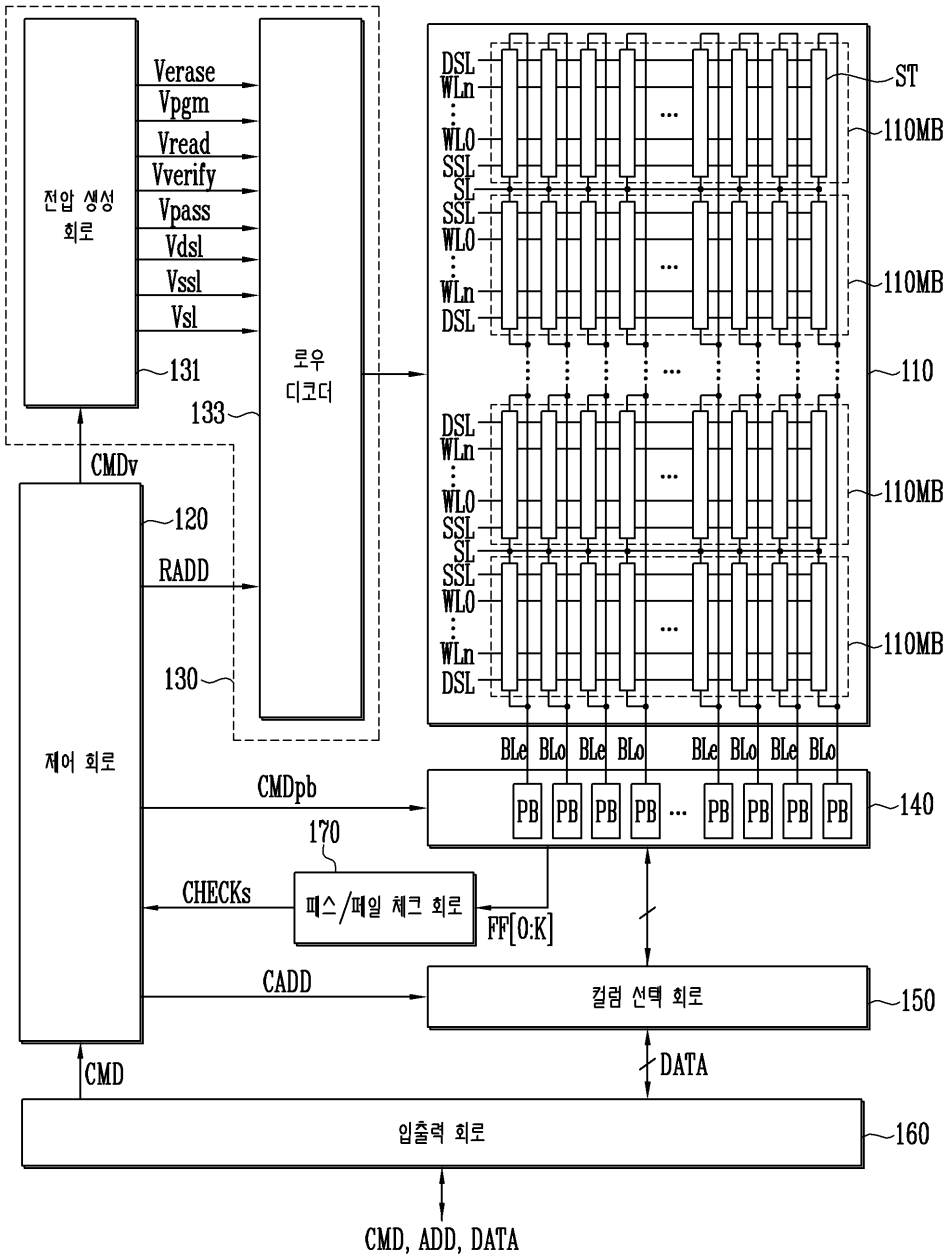
140 : 읽기/쓰기 회로 그룹 PB : 페이지 버퍼

150 : 컬럼 선택 회로 160 : 입출력 회로

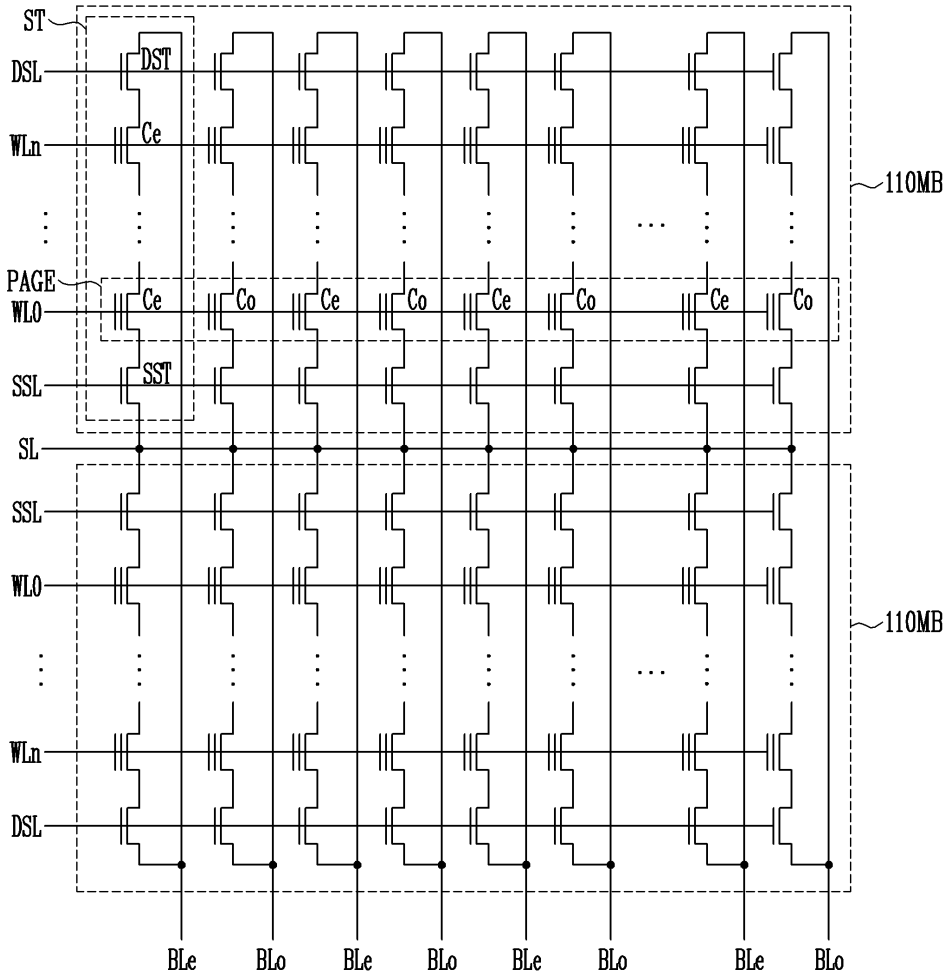
170 : 패스/페일 체크 회로

도면

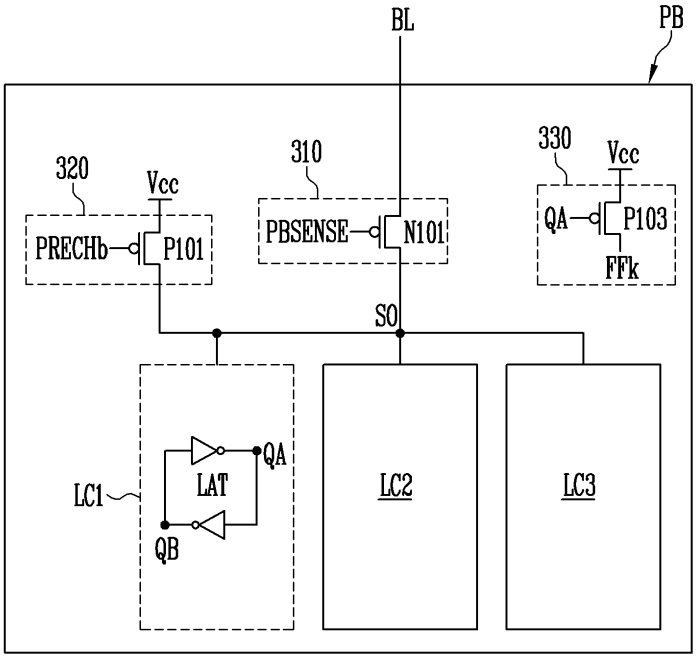
도면1



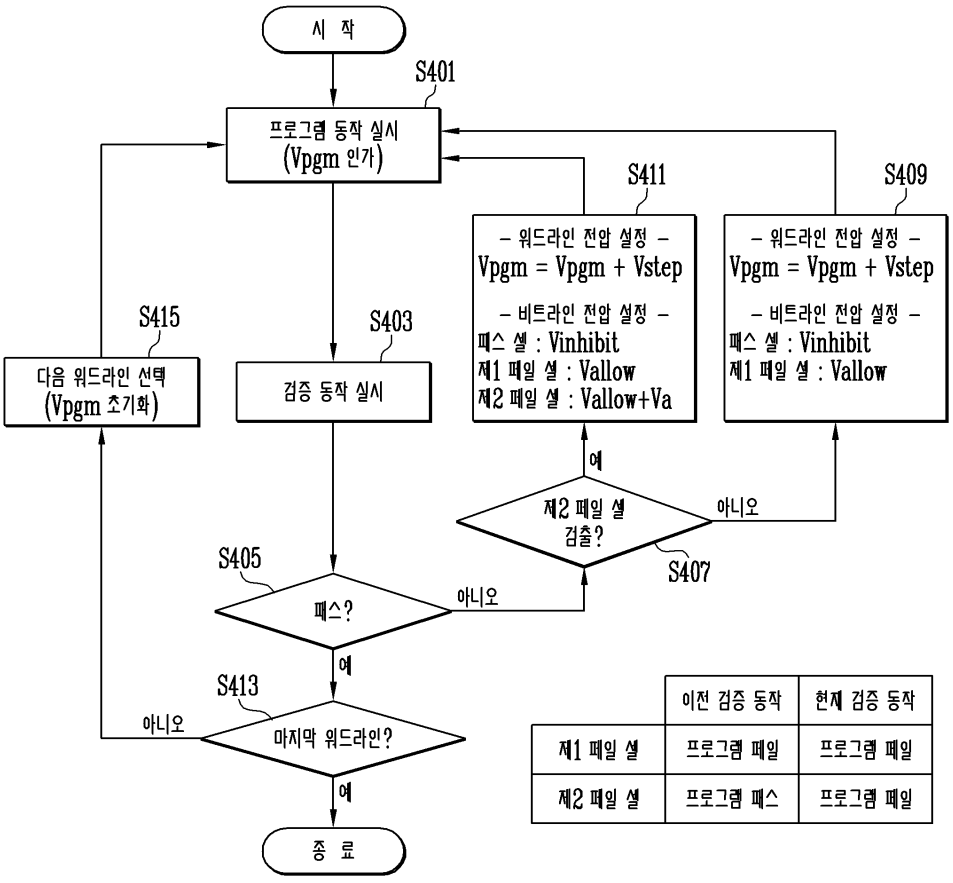
도면2


ST
DSL
DST
WLn
Ce
110MB
PAGE
WL0
Ce
Co
SST
SSL
SL
WL0
WLn
DSL
BLe
BLo

도면3

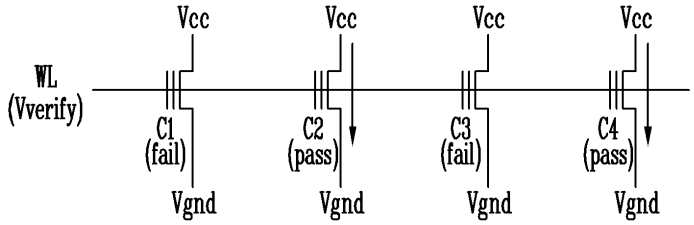


도면4

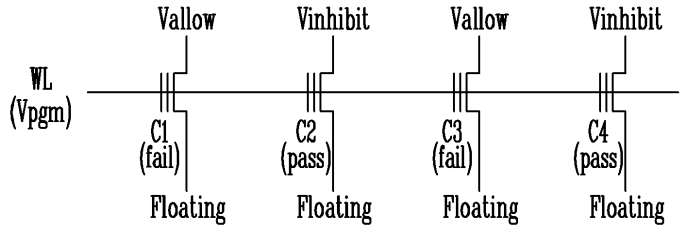


	이전 검증 동작	현재 검증 동작
제1 페일 셀	프로그램 페일	프로그램 페일
제2 페일 셀	프로그램 패스	프로그램 페일

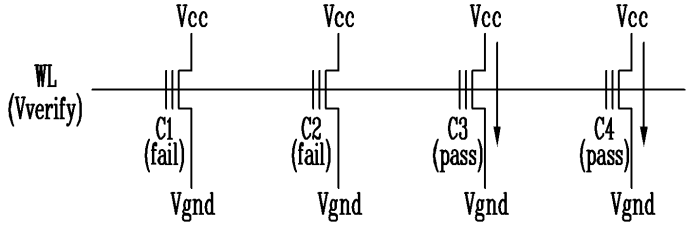
도면5a



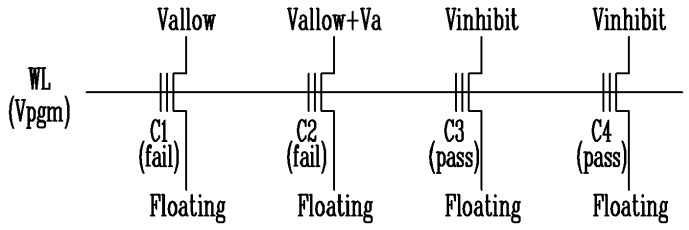
도면5b



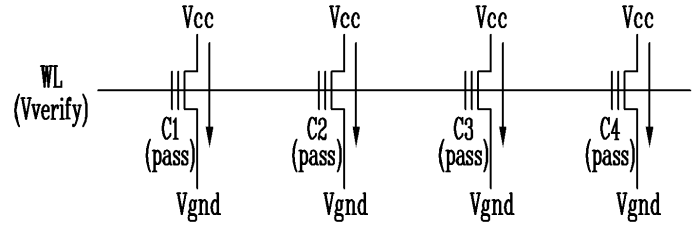
도면5c



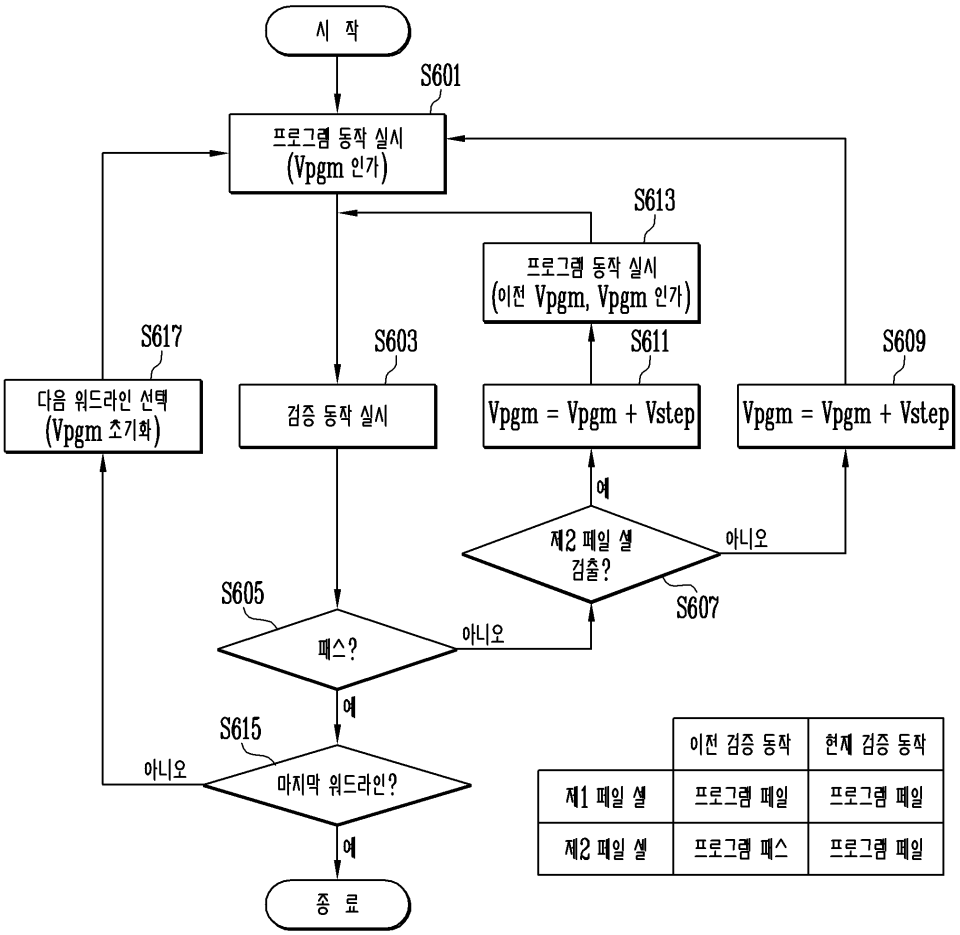
도면5d



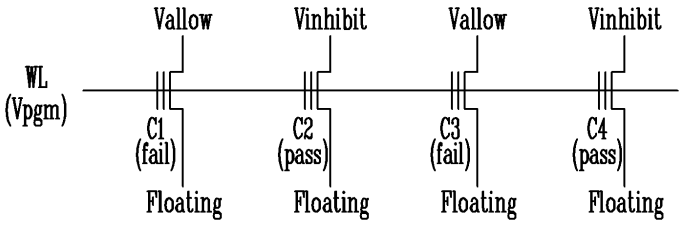
도면5e



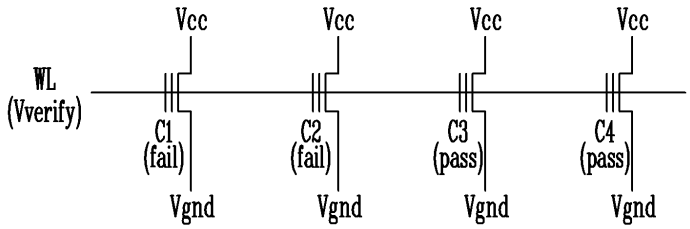
도면6



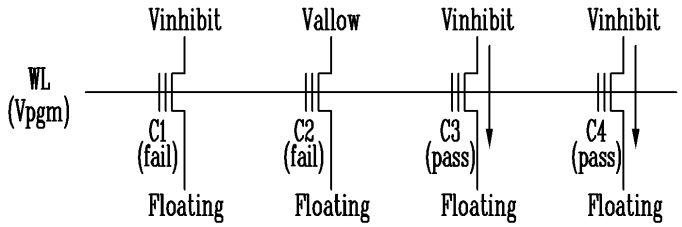
도면7a



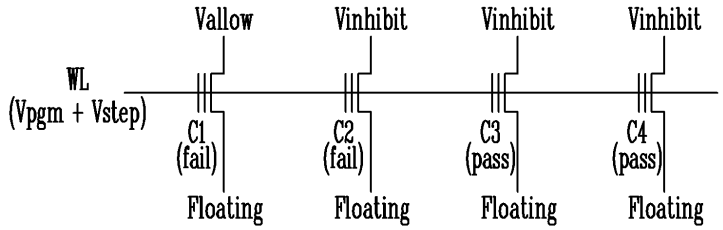
도면7b



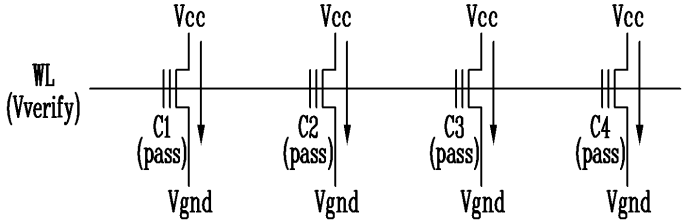
도면7c



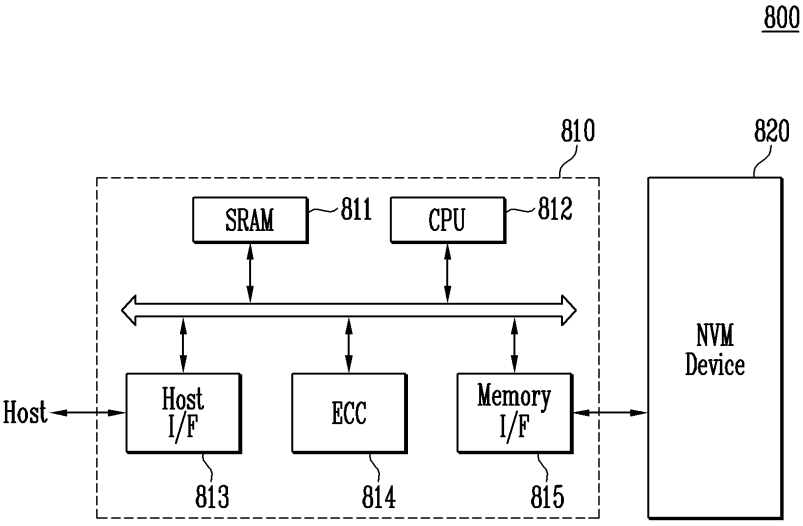
도면7d



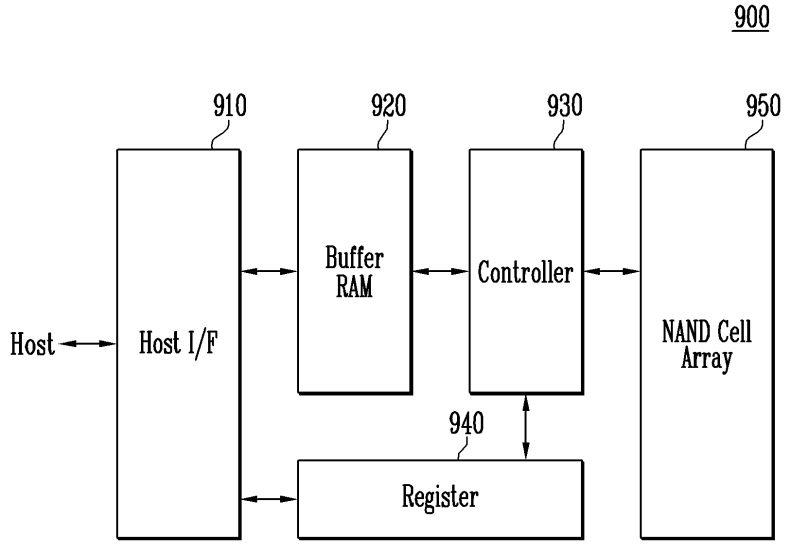
도면7e



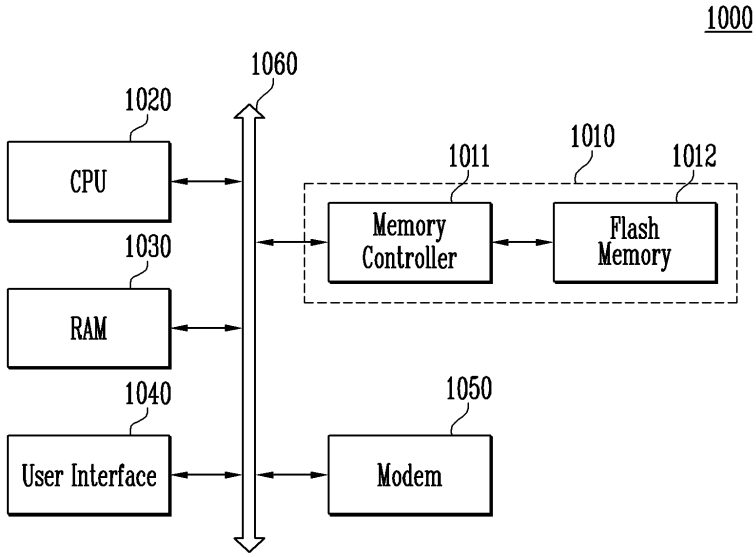
도면8



도면9


900
910
920
930
950
Host
Host I/F
Buffer RAM
Controller
NAND Cell Array
940
Register

도면10


1000
1060
1020
CPU
1011
1010
1012
Memory Controller
Flash Memory
1030
RAM
1040
1050
User Interface
Modem