



(12) 发明专利申请

(10) 申请公布号 CN 116420230 A

(43) 申请公布日 2023. 07. 11

(21) 申请号 202180002602.9

(22) 申请日 2021.09.17

(85) PCT国际申请进入国家阶段日
2021.09.18

(86) PCT国际申请的申请数据
PCT/CN2021/119060 2021.09.17

(87) PCT国际申请的公布数据
W02023/039830 EN 2023.03.23

(71) 申请人 京东方科技集团股份有限公司
地址 100015 北京市朝阳区酒仙桥路10号
申请人 成都京东方光电科技有限公司

(72) 发明人 汪锐 曾超 胡明 邱海军
黄炜贇 承天一

(74) 专利代理机构 北京天昊联合知识产权代理有限公司 11112
专利代理师 吴昊 姜春咸

(51) Int.Cl.
H01L 27/12 (2006.01)
H10K 59/12 (2023.01)

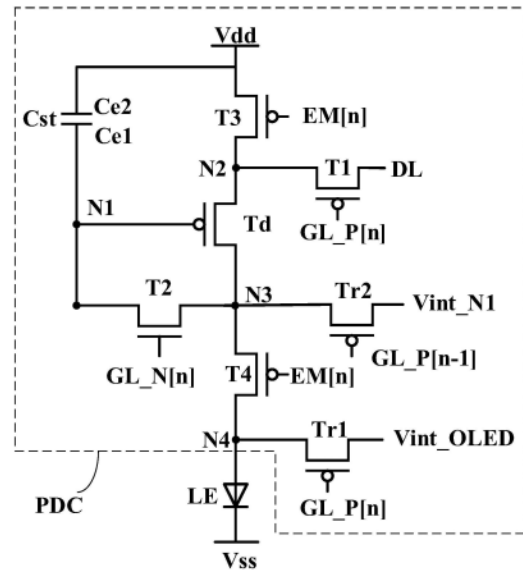
权利要求书5页 说明书18页 附图42页

(54) 发明名称

阵列基板和显示设备

(57) 摘要

提供一种像素驱动电路 (PDC)、阵列基板和显示装置。像素驱动电路 (PDC) 包括驱动晶体管 (Td) ; 存储电容器 (Cst) ; 第一复位晶体管 (Tr1) , 其具有连接到多个第一栅线中的当前级中的第一栅线 (GL_P[n]) 的栅极、连接到多个第一复位信号线中的相应第一复位信号线 (Vint_OLED) 的源极、以及连接到发光元件 (LE) 的阳极的漏极; 以及第二复位晶体管 (Tr2) , 其具有连接到所述多个第一栅线中的前一级中的第一栅线 (GL_P[n-1]) 的栅极、连接到多个第二复位信号线中的相应第二复位信号线 (Vint_N1) 的源极、以及连接到所述驱动晶体管 (Td) 的漏极的漏极。



1. 一种像素驱动电路,包括:

驱动晶体管;

存储电容器;

第一复位晶体管,其具有连接到多个第一栅线中的当前级中的第一栅线的栅极、连接到多个第一复位信号线中的相应第一复位信号线的源极、以及连接到发光元件的阳极的漏极;以及

第二复位晶体管,其具有连接到所述多个第一栅线中的前一级中的第一栅线的栅极、连接到多个第二复位信号线中的相应第二复位信号线的源极、以及连接到所述驱动晶体管的漏极的漏极。

2. 根据权利要求1所述的像素驱动电路,

其中,所述前一级中的所述第一栅线连接到所述当前级中的所述第二复位晶体管的所述栅极和所述前一级中的第一复位晶体管的栅极;以及

所述当前级中的所述第一栅线连接到所述当前级中的第一复位晶体管的栅极和下一级中的第二复位晶体管的栅极。

3. 根据权利要求2所述的像素驱动电路,还包括第四晶体管,所述第四晶体管具有连接到相应发光控制信号线的栅极、连接到所述第二复位晶体管的漏极和所述驱动晶体管的漏极的源极、以及连接到所述第一复位晶体管的漏极和所述发光元件的阳极的漏极。

4. 根据权利要求2或3所述的像素驱动电路,其中,所述当前级中的所述第一栅线包括被配置为提供有相同栅极扫描信号的第一栅线第一分支和第一栅线第二分支;

所述第一复位晶体管的栅极连接到所述当前级中的所述第一栅线第二分支;以及

所述第二复位晶体管的栅极连接到所述前一级中的所述第一栅线第二分支。

5. 根据权利要求4所述的像素驱动电路,还包括第一晶体管,所述第一晶体管具有连接到多个第一栅线中的当前级中的所述第一栅线第一分支的栅极、连接到多个数据线中的相应数据线的源极、以及连接到所述驱动晶体管的源极的漏极。

6. 根据权利要求1至5中任一项所述的像素驱动电路,还包括第二晶体管,所述第二晶体管具有连接到多个第二栅线中的当前级中的相应第二栅线的栅极、连接到所述存储电容器的第一电容器电极和所述驱动晶体管的栅极的源极、以及连接到所述驱动晶体管的漏极的漏极;

其中,所述多个第一栅线和所述多个第二栅线由一个或多个绝缘层间隔开。

7. 根据权利要求6所述的像素驱动电路,其中,在当前级中的所述相应第二栅线包括在两个不同层中的第二栅线第一分支和第二栅线第二分支。

8. 根据权利要求1至7中任一项所述的像素驱动电路,还包括:

第二复位晶体管,其具有连接到多个第一栅线中的前一级中的第一栅线的栅极、连接到多个第二复位信号线中的相应第二复位信号线的源极、以及连接到所述驱动晶体管的漏极的漏极;

第一晶体管,其具有连接到多个第一栅线中的当前级中的第一栅线的栅极、连接到多个数据线中的相应数据线的源极、以及连接到所述驱动晶体管的源极的漏极;

第二晶体管,其具有连接到多个第二栅线中的当前级中的相应第二栅线的栅极、连接到所述存储电容器的第一电容器电极和所述驱动晶体管的栅极的源极、以及连接到所述驱

动晶体管的漏极的漏极；

第三晶体管,其具有连接到多个发光控制信号线中的相应发光控制信号线的栅极、连接到多个电压供应线中的相应电压供应线的源极、以及连接到所述驱动晶体管的源极和所述第一晶体管的漏极的漏极;以及

第四晶体管,其具有连接到所述相应发光控制信号线的栅极、连接到所述驱动晶体管和所述第二晶体管的漏极的源极、以及连接到发光元件的阳极的漏极;

其中,所述存储电容器的第二电容器电极连接到所述相应电压供应线和所述第三晶体管的源极。

9. 一种阵列基板,包括根据权利要求1至8中任一项所述的像素驱动电路,以及连接到所述像素驱动电路的发光元件。

10. 根据权利要求9所述的阵列基板,其中,所述像素驱动电路还包括第二复位晶体管,所述第二复位晶体管具有连接到所述多个第一栅线中的前一级中的第一栅线的栅极、连接到多个第二复位信号线中的相应第二复位信号线的源极、以及连接到所述驱动晶体管的漏极的漏极;

所述前一级中的所述第一栅线连接到所述当前级中的所述第二复位晶体管的所述栅极和所述前一级中的第一复位晶体管的栅极;以及

所述当前级中的所述第一栅线连接到所述当前级中的所述第一复位晶体管的栅极和下一级中的第二复位晶体管的栅极。

11. 根据权利要求10所述的阵列基板,其中,所述像素驱动电路还包括第四晶体管,所述第四晶体管具有连接到相应发光控制信号线的栅极、连接到所述第二复位晶体管的漏极和所述驱动晶体管的漏极的源极、以及连接到所述第一复位晶体管的漏极和所述发光元件的阳极的漏极。

12. 根据权利要求10或11所述的阵列基板,其中,所述当前级中的所述第一栅线包括被配置为提供有相同栅极扫描信号的第一栅线第一分支和第一栅线第二分支;

所述第一复位晶体管的栅极连接到所述当前级中的所述第一栅线第二分支;以及

所述第二复位晶体管的栅极连接到所述前一级中的所述第一栅线第二分支。

13. 根据权利要求12所述的阵列基板,其中,所述像素驱动电路还包括第一晶体管,所述第一晶体管具有连接到多个第一栅线中的当前级中的所述第一栅线第一分支的栅极、连接到多个数据线中的相应数据线的源极、以及连接到所述驱动晶体管的源极的漏极。

14. 根据权利要求9至13中任一项所述的阵列基板,其中,所述像素驱动电路还包括第二晶体管,所述第二晶体管具有连接到多个第二栅线中的当前级中的相应第二栅线的栅极、连接到所述存储电容器的第一电容器电极和所述驱动晶体管的栅极的源极、以及连接到所述驱动晶体管的漏极的漏极;以及

所述多个第一栅线和所述多个第二栅线通过一个或多个绝缘层隔开。

15. 根据权利要求14所述的阵列基板,包括:

基底基板;

在所述基底基板上的第一半导体材料层;

绝缘层,其位于所述第一半导体材料层远离所述基底基板的一侧;以及

第二半导体材料层,其位于所述绝缘层远离所述第一半导体材料层的一侧;

其中,所述第一半导体材料层包括所述驱动晶体管的有源层和所述第一复位晶体管的有源层;以及

所述第二半导体材料层包括所述第二晶体管的有源层。

16. 根据权利要求15所述的阵列基板,其中,所述第一半导体材料层还包括所述驱动晶体管的所述源极的至少一部分、所述驱动晶体管的所述漏极的至少一部分、所述第一复位晶体管的所述源极的至少一部分、所述第一复位晶体管的所述漏极的至少一部分;以及

所述第二半导体材料层还包括所述第二晶体管的源极的至少一部分和所述第二晶体管的漏极的至少一部分。

17. 根据权利要求15或16所述的阵列基板,其中,所述第一半导体材料层包括所述像素驱动电路中除了所述第二晶体管之外的所有晶体管的有源层、源极的至少一部分和漏极的至少一部分。

18. 根据权利要求15至17中任一项所述的阵列基板,其中,所述第一半导体材料层包括多晶硅材料;以及

所述第二半导体材料层包括金属氧化物半导体材料。

19. 根据权利要求14至18中任一项所述的阵列基板,其中,在当前级中的所述相应第二栅线包括在两个不同层中的第二栅线第一分支和第二栅线第二分支;以及

所述第二栅线第一分支在基底基板上的正投影与所述第二栅线第二分支在所述基底基板上的正投影至少部分重叠。

20. 根据权利要求19所述的阵列基板,包括:

基底基板;

在所述基底基板上的第二栅极金属层;

第一层间电介质层,其位于所述第二栅极金属层远离所述基底基板的一侧;

第二半导体材料层,其位于所述第一层间电介质层远离所述第二栅极金属层的一侧;

第二层间电介质层,其位于所述第二半导体材料层远离所述第一层间电介质层的一侧;以及

第三栅极金属层,其位于所述第二层间电介质层远离第二半导体材料层的一侧;

其中,所述第二栅极金属层包括所述第二栅线第一分支;

所述第二半导体材料层包括所述第二晶体管的有源层;以及

所述第三栅极金属层包括所述第二栅线第二分支。

21. 根据权利要求14至20中任一项所述的阵列基板,还包括:

基底基板;

在所述基底基板上的第一栅极金属层,所述第一栅极金属层包括所述存储电容器的第一电容器电极;

第二半导体材料层,其位于所述第一栅极金属层远离所述基底基板的一侧,所述第二半导体材料层包括所述第二晶体管的源极的至少一部分;以及

第一信号线层,其位于所述第二半导体材料层远离所述第一栅极金属层的一侧,所述第一信号线层包括所述多个第一复位信号线和第一节点连接线;

其中,第一节点连接线通过第一通孔连接到所述第一电容器电极,并且通过第二通孔连接到所述第二晶体管的源极。

22. 根据权利要求21所述的阵列基板,其中,所述第一节点连接线跨过在所述当前级中的所述相应第二栅线。

23. 根据权利要求14至22中任一项所述的阵列基板,其中,所述像素驱动电路还包括:

第二复位晶体管,其具有连接到所述多个第一栅线中的前一级中的第一栅线的栅极、连接到多个第二复位信号线中的相应第二复位信号线的源极、以及连接到所述驱动晶体管的漏极的漏极;以及

第四晶体管,其具有连接到相应发光控制信号线的栅极、连接到所述第二复位晶体管的漏极和所述驱动晶体管的漏极的源极、以及连接到所述第一复位晶体管的漏极和所述发光元件的阳极的漏极;

其中,所述阵列基板还包括:

基底基板;

在所述基底基板上的第一半导体材料层,所述第一半导体材料层包括所述第二复位晶体管的漏极、所述第四晶体管的源极和所述驱动晶体管的漏极;

第二半导体材料层,其位于所述第一半导体材料层远离所述基底基板的一侧,所述第二半导体材料层包括所述第二晶体管的漏极;以及

第一信号线层,其位于所述第二半导体材料层远离所述第一栅极金属层的一侧,所述第一信号线层包括所述多个第一复位信号线和第二节点连接线;

其中,所述第二节点连接线通过第三通孔连接到所述第二晶体管的漏极,通过第四通孔连接到所述第二复位晶体管的漏极,并且通过第五通孔连接到所述第四晶体管的源极和所述驱动晶体管的漏极。

24. 根据权利要求23所述的阵列基板,其中,所述第二节点连接线跨过所述当前级中的所述相应第二栅线和所述当前级中的所述第一栅线的第一栅线第一分支。

25. 根据权利要求14至24中任一项所述的阵列基板,包括:

基底基板;

第二半导体材料层,其位于所述绝缘层远离所述第一半导体材料层的一侧,所述第二半导体材料层包括所述第二晶体管的有源层;以及

第二信号线层,其位于所述第二半导体材料层远离所述基底基板的一侧,所述第二信号线层包括多个电压供应线;

其中,所述多个电压供应线中的相应电压供应线在所述基底基板上的正投影覆盖所述第二晶体管的有源层在所述基底基板上的正投影。

26. 根据权利要求25所述的阵列基板,其中,所述多个电压供应线中的相应电压供应线在所述基底基板上的所述正投影还覆盖所述第二晶体管的源极或漏极在所述基底基板上的正投影。

27. 根据权利要求25或26所述的阵列基板,其中,分别来自彼此直接相邻且在所述当前级中的第一像素驱动电路和第二像素驱动电路的电压供应线形成一体结构,其中,所述电压供应线在一区域中彼此连接,在该区域中,电压供应线在所述基底基板上的正投影覆盖来自所述第一像素驱动电路和所述第二像素驱动电路的第二晶体管的有源层在所述基底基板上的正投影。

28. 根据权利要求9至27中任一项所述的阵列基板,其中,所述像素驱动电路还包括第

二复位晶体管,所述第二复位晶体管具有连接到所述多个第一栅线中的前一级中的第一栅线的栅极、连接到多个第二复位信号线中的相应第二复位信号线的源极、以及连接到所述驱动晶体管的漏极的漏极;以及

其中,分别来自彼此直接相邻且在所述当前级中的第一像素驱动电路和第二像素驱动电路的第二复位晶体管形成一体结构,其中所述第二复位晶体管的源极或漏极在一区域中彼此连接,在该区域中,所述相应第二复位信号线通过一个或多个通孔连接到所述第二复位晶体管的源极或漏极。

29. 根据权利要求28所述的阵列基板,其中,所述第一半导体材料层中的所述第二复位晶体管的一部分与同一像素驱动电路中的其他晶体管间隔开;

分别来自彼此直接相邻且在所述当前级中的第一像素驱动电路和第二像素驱动电路的第二复位晶体管形成一体结构;以及

分别来自彼此直接相邻且在所述当前级中的所述第一像素驱动电路和所述第二像素驱动电路的所述第二复位晶体管的源极或漏极彼此连接,从而形成所述一体结构。

30. 根据权利要求29的阵列基板,其中,所述相应第二复位信号线通过单个通孔连接到所述第二复位晶体管的源极或漏极。

31. 根据权利要求9至30中任一项所述的阵列基板,其中,彼此直接相邻并且在所述当前级中的第一像素驱动电路的对应层和第二像素驱动电路的对应层关于彼此实质上镜像对称。

32. 根据权利要求9至30中任一项所述的阵列基板,其中,彼此直接相邻并且在所述当前级中的第一像素驱动电路的对应层和第二像素驱动电路的对应层关于彼此实质上平移对称。

33. 一种显示设备,包括根据权利要求9至32中任一项所述的阵列基板以及连接至所述阵列基板的集成电路。

阵列基板和显示设备

技术领域

[0001] 本发明涉及显示技术,尤其涉及一种阵列基板和显示设备。

背景技术

[0002] 有机发光二极管(OLED)显示器是当今平板显示器研究领域的热点之一。与使用稳定电压来控制亮度的薄膜晶体管-液晶显示器(TFT-LCD)不同,OLED由需要保持恒定以控制照度的驱动电流来驱动。OLED显示面板包括多个像素单元,所述多个像素单元配置有以多行和多列排列的像素驱动电路。每个像素驱动电路包括驱动晶体管,该驱动晶体管具有连接到每行一个栅线的栅极端子和连接到每列一个数据线的漏极端子。当其中像素单元被选通的行导通时,连接到驱动晶体管的开关晶体管导通,并且数据电压从数据线经由开关晶体管施加到驱动晶体管,使得驱动晶体管将与数据电压对应的电流输出到OLED器件。OLED器件被驱动以发射相应亮度的光。

发明内容

[0003] 在一个方面,本公开提供了一种像素驱动电路,包括:驱动晶体管;存储电容器;第一复位晶体管,其具有连接到多个第一栅线中的当前级中的第一栅线的栅极、连接到多个第一复位信号线中的相应第一复位信号线的源极、以及连接到发光元件的阳极的漏极;以及第二复位晶体管,其具有连接到所述多个第一栅线中的前一级中的第一栅线的栅极、连接到多个第二复位信号线中的相应第二复位信号线的源极、以及连接到所述驱动晶体管的漏极的漏极。

[0004] 可选地,所述前一级中的所述第一栅线连接到所述当前级中的所述第二复位晶体管的所述栅极和所述前一级中的第一复位晶体管的栅极;以及所述当前级中的所述第一栅线连接到所述当前级中的第一复位晶体管的栅极和下一级中的第二复位晶体管的栅极。

[0005] 可选地,所述像素驱动电路还包括第四晶体管,所述第四晶体管具有连接到相应发光控制信号线的栅极、连接到所述第二复位晶体管的漏极和所述驱动晶体管的漏极的源极、以及连接到所述第一复位晶体管的漏极和所述发光元件的阳极的漏极。

[0006] 可选地,当前级中的所述第一栅线包括被配置为提供有相同栅极扫描信号的第一栅线第一分支和第一栅线第二分支;所述第一复位晶体管的栅极连接到所述当前级中的所述第一栅线第二分支;以及所述第二复位晶体管的栅极连接到所述前一级中的所述第一栅线第二分支。

[0007] 可选地,所述像素驱动电路还包括第一晶体管,所述第一晶体管具有连接到多个第一栅线中的当前级中的所述第一栅线第一分支的栅极、连接到多个数据线中的相应数据线的源极、以及连接到所述驱动晶体管的源极的漏极。

[0008] 可选地,所述像素驱动电路还包括第二晶体管,所述第二晶体管具有连接到多个第二栅线中的当前级中的相应第二栅线的栅极、连接到所述存储电容器的第一电容器电极和所述驱动晶体管的栅极的源极、以及连接到所述驱动晶体管的漏极的漏极;其中,所述多

个第一栅线和所述多个第二栅线由一个或多个绝缘层间隔开。

[0009] 可选地,在当前级中的所述相应第二栅线包括在两个不同层中的第二栅线第一分支和第二栅线第二分支。

[0010] 可选地,所述像素驱动电路还包括:第二复位晶体管,其具有连接到多个第一栅线中的前一级中的第一栅线的栅极、连接到多个第二复位信号线中的相应第二复位信号线的源极、以及连接到所述驱动晶体管的漏极的漏极;第一晶体管,其具有连接到多个第一栅线中的当前级中的第一栅线的栅极、连接到多个数据线中的相应数据线的源极、以及连接到所述驱动晶体管的源极的漏极;第二晶体管,其具有连接到多个第二栅线中的当前级中的相应第二栅线的栅极、连接到所述存储电容器的所述第一电容器电极和所述驱动晶体管的栅极的源极、以及连接到所述驱动晶体管的漏极的漏极;第三晶体管,其具有连接到多个发光控制信号线中的相应发光控制信号线的栅极、连接到多个电压供应线中的相应电压供应线的源极、以及连接到所述驱动晶体管的源极和所述第一晶体管的漏极的漏极;以及第四晶体管,其具有连接到所述相应发光控制信号线的栅极、连接到所述驱动晶体管 and 所述第二晶体管的漏极的源极、以及连接到发光元件的阳极的漏极;其中,所述存储电容器的第二电容器电极连接到所述相应电压供应线和所述第三晶体管的源极。

[0011] 在另一方面,本公开提供一种阵列基板,包括本文所述的像素驱动电路以及连接到所述像素驱动电路的发光元件。

[0012] 可选地,所述像素驱动电路还包括第二复位晶体管,所述第二复位晶体管具有连接到所述多个第一栅线中的前一级中的第一栅线的栅极、连接到多个第二复位信号线中的相应第二复位信号线的源极、以及连接到所述驱动晶体管的漏极的漏极;所述前一级中的所述第一栅线连接到所述当前级中的所述第二复位晶体管的所述栅极和所述前一级中的第一复位晶体管的栅极;以及所述当前级中的所述第一栅线连接到所述当前级中的所述第一复位晶体管的栅极和下一级中的第二复位晶体管的栅极。

[0013] 可选地,所述像素驱动电路还包括第四晶体管,所述第四晶体管具有连接到相应发光控制信号线的栅极、连接到所述第二复位晶体管的漏极和所述驱动晶体管的漏极的源极、以及连接到所述第一复位晶体管的漏极和所述发光元件的阳极的漏极。

[0014] 可选地,所述当前级中的所述第一栅线包括被配置为提供有相同栅极扫描信号的第一栅线第一分支和第一栅线第二分支;所述第一复位晶体管的栅极连接到所述当前级中的所述第一栅线第二分支;以及所述第二复位晶体管的栅极连接到所述前一级中的所述第一栅线第二分支。

[0015] 可选地,所述像素驱动电路还包括第一晶体管,所述第一晶体管具有连接到多个第一栅线中的当前级中的所述第一栅线第一分支的栅极、连接到多个数据线中的相应数据线的源极、以及连接到所述驱动晶体管的源极的漏极。

[0016] 可选地,所述像素驱动电路还包括第二晶体管,所述第二晶体管具有连接到多个第二栅线中的当前级中的相应第二栅线的栅极、连接到所述存储电容器的第一电容器电极和所述驱动晶体管的栅极的源极、以及连接到所述驱动晶体管的漏极的漏极;以及所述多个第一栅线和所述多个第二栅线通过一个或多个绝缘层隔开。

[0017] 可选地,所述阵列基板包括:基底基板;在所述基底基板上的第一半导体材料层;绝缘层,其位于所述第一半导体材料层远离所述基底基板的一侧;以及第二半导体材料层,

其位于所述绝缘层远离所述第一半导体材料层的一侧；其中，所述第一半导体材料层包括所述驱动晶体管的有源层和所述第一复位晶体管的有源层；以及所述第二半导体材料层包括所述第二晶体管的有源层。

[0018] 可选地，所述第一半导体材料层还包括所述驱动晶体管的所述源极的至少一部分、所述驱动晶体管的所述漏极的至少一部分、所述第一复位晶体管的所述源极的至少一部分、所述第一复位晶体管的所述漏极的至少一部分；以及所述第二半导体材料层还包括所述第二晶体管的源极的至少一部分和所述第二晶体管的漏极的至少一部分。

[0019] 可选地，所述第一半导体材料层包括所述像素驱动电路中除了所述第二晶体管之外的所有晶体管的有源层、源极的至少一部分和漏极的至少一部分。

[0020] 可选地，所述第一半导体材料层包括多晶硅材料；以及所述第二半导体材料层包括金属氧化物半导体材料。

[0021] 可选地，在当前级中的所述相应第二栅线包括在两个不同层中的第二栅线第一分支和第二栅线第二分支；以及所述第二栅线第一分支在基底基板上的正投影与所述第二栅线第二分支在所述基底基板上的正投影至少部分重叠。

[0022] 可选地，所述阵列基板包括：基底基板；在所述基底基板上的第二栅极金属层；第一层间电介质层，其位于所述第二栅极金属层远离所述基底基板的一侧；第二半导体材料层，其位于所述第一层间电介质层远离所述第二栅极金属层的一侧；第二层间电介质层，其位于所述第二半导体材料层远离所述第一层间电介质层的一侧；以及第三栅极金属层，其位于所述第二层间电介质层远离第二半导体材料层的一侧；其中，所述第二栅极金属层包括所述第二栅线第一分支；所述第二半导体材料层包括所述第二晶体管的有源层；以及所述第三栅极金属层包括所述第二栅线第二分支。

[0023] 可选地，所述阵列基板还包括：基底基板；在所述基底基板上的第一栅极金属层，所述第一栅极金属层包括所述存储电容器的第一电容器电极；第二半导体材料层，其位于所述第一栅极金属层远离所述基底基板的一侧，所述第二半导体材料层包括所述第二晶体管的源极的至少一部分；以及第一信号线层，其位于所述第二半导体材料层远离所述第一栅极金属层的一侧，所述第一信号线层包括所述多个第一复位信号线和第一节点连接线；其中，所述第一节点连接线通过第一通孔连接到所述第一电容器电极，并且通过第二通孔连接到所述第二晶体管的源极。

[0024] 可选地，所述第一节点连接线跨过在所述当前级中的所述相应第二栅线。

[0025] 可选地，所述像素驱动电路还包括：第二复位晶体管，其具有连接到所述多个第一栅线中的前一级中的第一栅线的栅极、连接到多个第二复位信号线中的相应第二复位信号线的源极、以及连接到所述驱动晶体管的漏极的漏极；以及第四晶体管，其具有连接到相应发光控制信号线的栅极、连接到所述第二复位晶体管的漏极和所述驱动晶体管的漏极的源极、以及连接到所述第一复位晶体管的漏极和所述发光元件的阳极的漏极；其中，所述阵列基板还包括：基底基板；在所述基底基板上的第一半导体材料层，所述第一半导体材料层包括所述第二复位晶体管的漏极、所述第四晶体管的源极和所述驱动晶体管的漏极；第二半导体材料层，其位于所述第一半导体材料层远离所述基底基板的一侧，所述第二半导体材料层包括所述第二晶体管的漏极；以及第一信号线层，其位于所述第二半导体材料层远离所述第一栅极金属层的一侧，所述第一信号线层包括所述多个第一复位信号线和第二节点

连接线;其中,所述第二节点连接线通过第三通孔连接到所述第二晶体管的漏极,通过第四通孔连接到所述第二复位晶体管的漏极,并且通过第五通孔连接到所述第四晶体管的源极和所述驱动晶体管的漏极。

[0026] 可选地,所述第二节点连接线跨过所述当前级中的所述相应第二栅线和所述当前级中的所述第一栅线的第一栅线第一分支。

[0027] 可选地,所述阵列基板包括:基底基板;第二半导体材料层,其位于所述绝缘层远离所述第一半导体材料层的一侧,所述第二半导体材料层包括所述第二晶体管的有源层;以及第二信号线层,其位于所述第二半导体材料层远离所述基底基板的一侧,所述第二信号线层包括多个电压供应线;其中,所述多个电压供应线中的相应电压供应线在所述基底基板上的正投影覆盖所述第二晶体管的有源层在所述基底基板上的正投影。

[0028] 可选地,所述多个电压供应线中的相应电压供应线在所述基底基板上的所述正投影还覆盖所述第二晶体管的源极或漏极在所述基底基板上的正投影。

[0029] 可选地,分别来自彼此直接相邻且在所述当前级中的第一像素驱动电路和第二像素驱动电路的电压供应线形成一体结构,其中,所述电压供应线在一区域中彼此连接,在该区域中,电压供应线在所述基底基板上的正投影覆盖来自所述第一像素驱动电路和所述第二像素驱动电路的第二晶体管的有源层在所述基底基板上的正投影。

[0030] 可选地,所述像素驱动电路还包括第二复位晶体管,所述第二复位晶体管具有连接到所述多个第一栅线中的前一级中的第一栅线的栅极、连接到多个第二复位信号线中的相应第二复位信号线的源极、以及连接到所述驱动晶体管的漏极的漏极;以及其中,分别来自彼此直接相邻且在所述当前级中的第一像素驱动电路和第二像素驱动电路的第二复位晶体管形成一体结构,其中所述第二复位晶体管的源极或漏极在一区域中彼此连接,在该区域中,所述相应第二复位信号线通过一个或多个通孔连接到所述第二复位晶体管的源极或漏极。

[0031] 可选地,所述第一半导体材料层中的所述第二复位晶体管的一部分与同一像素驱动电路中的其他晶体管间隔开;分别来自彼此直接相邻且在所述当前级中的第一像素驱动电路和第二像素驱动电路的第二复位晶体管形成一体结构;以及分别来自彼此直接相邻且在所述当前级中的所述第一像素驱动电路和所述第二像素驱动电路的所述第二复位晶体管的源极或漏极彼此连接,从而形成所述一体结构。

[0032] 可选地,所述相应第二复位信号线通过单个通孔连接到所述第二复位晶体管的源极或漏极。

[0033] 可选地,彼此直接相邻并且在所述当前级中的第一像素驱动电路的对应层和第二像素驱动电路的对应层关于彼此实质上镜像对称。

[0034] 可选地,彼此直接相邻并且在所述当前级中的第一像素驱动电路的对应层和第二像素驱动电路的对应层关于彼此实质上平移对称。

[0035] 在另一方面,本公开提供一种显示设备,包括本文所述的阵列基板和连接至该阵列基板的集成电路。

附图说明

[0036] 根据各种公开的实施例,以下附图仅是用于说明目的的示例,并且不旨在限制本

发明的范围。

[0037] 图1是根据本公开的一些实施例中的阵列基板的平面图。

[0038] 图2是示出根据本公开的一些实施例中的像素驱动电路的结构的电路图。

[0039] 图3A是示出根据本公开的一些实施例中的阵列基板中的两个相邻像素驱动电路的结构的图。

[0040] 图3B是示出图3A中所示的阵列基板中两个相邻像素驱动电路的第一半导体材料层的结构的图。

[0041] 图3C是示出图3A中所示的阵列基板中两个相邻像素驱动电路的第一栅极金属层的结构的图。

[0042] 图3D是示出图3A中所示的阵列基板中两个相邻像素驱动电路的第二栅极金属层的结构的图。

[0043] 图3E是示出图3A中所示的阵列基板中两个相邻像素驱动电路的第二半导体材料层的结构的图。

[0044] 图3F是示出图3A中所示的阵列基板中两个相邻像素驱动电路的第三栅极金属层的结构的图。

[0045] 图3G是示出图3A中所示的阵列基板中的延伸穿过钝化层、第二层间电介质层、第一层间电介质层、绝缘层和栅极绝缘层的通孔的图。

[0046] 图3H是示出图3A中所示的阵列基板中的延伸穿过钝化层和第二层间电介质层的通孔的图。

[0047] 图3I是示出图3A中所示的阵列基板中两个相邻像素驱动电路的第一信号线层的结构的图。

[0048] 图3J是示出图3A中所示的阵列基板中的延伸穿过第一平坦化层的通孔的图。

[0049] 图3K是示出图3A所示的阵列基板中的延伸穿过钝化层、第二层间电介质层、第一层间电介质层、绝缘层和栅极绝缘层的通孔的图。

[0050] 图3L是示出图3A中所示的阵列基板中两个相邻像素驱动电路的第二信号线层的结构的图。

[0051] 图3M是示出图3A所示的阵列基板中的延伸穿过第二平坦化层的通孔的图。

[0052] 图3N是示出图3A中所示的阵列基板中两个相邻像素驱动电路的阳极层的结构的图。

[0053] 图3O是示出图3A中所示的阵列基板中两个相邻像素驱动电路的像素限定层的结构的图。

[0054] 图4A是沿图3A中的A-A'线的截面图。

[0055] 图4B是沿图3A中的B-B'线的截面图。

[0056] 图4C是沿图3A中的C-C'线的截面图。

[0057] 图4D是沿图3A中的D-D'线的截面图。

[0058] 图5A是示出根据本公开的一些实施例中的阵列基板中的两个相邻像素驱动电路的结构的图。

[0059] 图5B是示出图5A中所示的阵列基板中两个相邻像素驱动电路的第一半导体材料层的结构的图。

[0060] 图5C是示出图5A中所示的阵列基板中两个相邻像素驱动电路的第一栅极金属层的结构的图。

[0061] 图5D是示出图5A中所示的阵列基板中两个相邻像素驱动电路的第二栅极金属层的结构的图。

[0062] 图5E是示出图5A中所示的阵列基板中两个相邻像素驱动电路的第二半导体材料层的结构的图。

[0063] 图5F是示出图5A中所示的阵列基板中两个相邻像素驱动电路的第三栅极金属层的结构的图。

[0064] 图5G是示出图5A中所示的阵列基板中的延伸穿过钝化层、第二层间电介质层、第一层间电介质层、绝缘层和栅极绝缘层的通孔的图。

[0065] 图5H是示出图5A中所示的阵列基板中的延伸穿过钝化层和第二层间电介质层的通孔的图。

[0066] 图5I是示出图5A中所示的阵列基板中两个相邻像素驱动电路的第一信号线层的结构的图。

[0067] 图5J是示出图5A中所示的阵列基板中的延伸穿过第一平坦化层的通孔的图。

[0068] 图5K是示出图5A中所示的阵列基板中的延伸穿过钝化层、第二层间电介质层、第一层间电介质层、绝缘层和栅极绝缘层的通孔的图。

[0069] 图5L是示出图5A中所示的阵列基板中两个相邻像素驱动电路的第二信号线层的结构的图。

[0070] 图5M是示出图5A中所示的阵列基板中的延伸穿过第二平坦化层的通孔的图。

[0071] 图5N是示出图5A中所示的阵列基板中两个相邻像素驱动电路的阳极层的结构的图。

[0072] 图5O是示出图5A中所示的阵列基板中两个相邻像素驱动电路的像素限定层的结构的图。

[0073] 图6A是沿图5A中的E-E'线的截面图。

[0074] 图6B是沿图5A中的F-F'线的截面图。

[0075] 图6C是沿图5A中的G-G'线的截面图。

[0076] 图6D是沿图5A中的H-H'线的截面图。

[0077] 图7A是示出图3A中所示的阵列基板中两个相邻像素驱动电路的第一半导体材料层、第一栅极金属层、第二栅极金属层、第二半导体材料层、第三栅极金属层以及第一信号线层的结构的图。

[0078] 图7B是示出图3A中所示的阵列基板中两个相邻像素驱动电路的第一信号线层与第二信号线层的结构的图。

[0079] 图7C是示出图3A中所示的阵列基板中两个相邻像素驱动电路的第二半导体材料层与第二信号线层的结构的图。

[0080] 图8A是示出图5A中所示的阵列基板中两个相邻像素驱动电路的第一半导体材料层、第一栅极金属层、第二栅极金属层、第二半导体材料层、第三栅极金属层以及第一信号线层的结构的图。

[0081] 图8B是示出图5A中所示的阵列基板中两个相邻像素驱动电路的第一信号线层和

第二信号线层的结构的图。

[0082] 图8C是示出图5A中所示的阵列基板中两个相邻像素驱动电路的第二半导体材料层与第二信号线层的结构的图。

具体实施方式

[0083] 现在将参考以下实施例更具体地描述本公开。应当注意,本文中呈现的一些实施例的以下描述仅用于说明和描述的目的。其不是穷举的或限于所公开的精确形式。

[0084] 本公开尤其提供了一种阵列基板和显示设备,其基本上克服了由于现有技术的限制和缺点而导致的一个或多个问题。在一个方面,本公开提供了一种阵列基板。在一些实施例中,阵列基板包括像素驱动电路和连接到像素驱动电路的发光元件。在一些实施例中,像素驱动电路包括驱动晶体管;存储电容器;第一复位晶体管,其具有连接到多个第一栅线中的当前级中的第一栅线的栅极、连接到多个第一复位信号线中的相应第一复位信号线的源极、以及连接到发光元件的阳极的漏极;以及第二复位晶体管,其具有连接到所述多个第一栅线中的前一级中的第一栅线的栅极、连接到多个第二复位信号线中的相应第二复位信号线的源极、以及与所述驱动晶体管的漏极连接的漏极。

[0085] 需要说明的是,本公开实施例中,源极或漏极是指晶体管的第一端和第二端中的一个,第一端和第二端连接到晶体管的有源层。流过晶体管的电流的方向可以被配置为从源极到漏极,或者从漏极到源极。因此,根据流过晶体管的电流的方向,在一个示例中,源极被配置为接收输入信号,并且漏极被配置为输出输出信号;在另一示例中,漏极被配置为接收输入信号,并且源极被配置为输出输出信号。

[0086] 在本阵列基板中可以使用各种适当的像素驱动电路。适当的驱动电路的示例包括3T1C、2T1C、4T1C、4T2C、5T2C、6T1C、7T1C、7T2C、8T1C和8T2C。在一些实施例中,多个像素驱动电路中的相应一个是7T1C驱动电路。在本阵列基板中可以使用各种适当的发光元件。适当的发光元件的示例包括有机发光二极管、量子点发光二极管和微发光二极管。可选地,所述发光元件为微发光二极管。可选地,发光元件是包括有机发光层的有机发光二极管。

[0087] 图1是根据本公开的一些实施例中的阵列基板的平面图。参照图1,阵列基板包括子像素 S_p 的阵列。每个子像素包括电子元件,例如发光元件。在一个示例中,发光元件由相应像素驱动电路PDC驱动。阵列基板包括多个第一栅线GL1、多个第二栅线GL2、多个数据线DL、多个电压供应线Vdd和相应第二电压供应线(例如,低电压供应线Vss)。各个子像素 s_p 的发光由相应像素驱动电路PDC驱动。在一个示例中,通过多个电压供应线Vdd中的相应高电压供应线向连接到发光元件的阳极的相应像素驱动电路PDC输入高电压信号(例如,VDD信号);低电压信号(例如,VSS信号)通过低电压供应线Vss输入到发光元件的阴极。高电压信号(例如,VDD信号)和低电压信号(例如,VSS信号)之间的电压差是驱动电压 ΔV ,其驱动发光元件的发光。

[0088] 图2是示出根据本公开的一些实施例中的像素驱动电路的结构的电路图。参照图2,在一些实施例中,像素驱动电路包括驱动晶体管Td;具有第一电容器电极Ce1和第二电容器电极Ce2的存储电容器Cst;第二复位晶体管Tr2,其具有连接到多个第一栅线中的前一级中的第一栅线GL_P[n-1]的栅极、连接到多个第二复位信号线中的相应第二复位信号线Vint_N1的源极、以及连接到驱动晶体管Td的漏极的漏极;第一晶体管T1,其具有连接到多

个第一栅线中的当前级中的第一栅线GL_P[n]的栅极、连接到多个数据线中的相应数据线DL的源极、以及连接到驱动晶体管Td的源极的漏极；第二晶体管T2，其具有连接到多个第二栅线中的当前级中的相应第二栅线GL_N[n]的栅极、连接到存储电容器Cst的第一电容器电极Ce1和驱动晶体管Td的栅极的源极、以及连接到驱动晶体管Td的漏极的漏极；第三晶体管T3，其具有连接到多个发光控制信号线中的相应发光控制信号线EM[n]的栅极、连接到多个电压供应线中的相应电压供应线Vdd的源极、以及连接到驱动晶体管Td的源极和第一晶体管T1的漏极的漏极；第四晶体管T4，其具有连接到相应发光控制信号线EM[n]的栅极、连接到驱动晶体管Td和第二晶体管T2的漏极的源极、以及连接到发光元件LE的阳极的漏极；以及第一复位晶体管Tr1，其具有连接到多个第一栅线中的当前级中的第一栅线GL_P[n]的栅极、连接到多个第一复位信号线中的相应第一复位信号线Vint_OLED的源极、以及连接到第四晶体管T4的漏极和发光元件LE的阳极的漏极。第二电容器电极Ce2连接至相应电压供应线和第三晶体管T3的源极。

[0089] 像素驱动电路还包括第一节点N1、第二节点N2、第三节点N3以及第四节点N4。第一节点N1连接至驱动晶体管Td的栅极、第一电容器电极Ce1以及第二晶体管T2的源极。第二节点N2连接至第三晶体管T3的漏极、第一晶体管T1的漏极以及驱动晶体管Td的源极。第三节点N3连接至驱动晶体管Td的漏极、第二晶体管T2的漏极、第四晶体管T4的源极、以及第二复位晶体管Tr2的漏极。第四节点N4连接至第四晶体管T4的漏极、第一复位晶体管Tr1的漏极以及发光元件LE的阳极。

[0090] 需要说明的是，本公开实施例中，源极或漏极是指晶体管的第一端和第二端中的一个，第一端和第二端连接到晶体管的有源层。流过晶体管的电流的方向可以被配置为从源极到漏极，或者从漏极到源极，也即是说晶体管的源漏电极可以互换。例如，参考图3B，图5B等，第一复位晶体管Tr1的第一端(标记Sr1的区域)根据电流方向，或者晶体管类型，可以是源极，也可以是漏极；同样的第一复位晶体管Tr1的第二端(标记Dr1的区域)可以是漏极，也可以是源极；又例如，第二复位晶体管Tr2的第一端(标记Sr2的区域)根据电流方向，或者晶体管类型，可以是源极，也可以是漏极，第二复位晶体管Tr2的第二端(标记Dr2的区域)可以是漏极，也可以是源极。相应的，其它晶体管的源漏电极也是根据电流方向，或者晶体管类型，可以互换，这里不再赘述。

[0091] 在一些实施例中，阵列基板包括多个子像素。在一些实施例中，多个子像素包括各个第一子像素、各个第二子像素、各个第三子像素和各个第四子像素。可选地，阵列基板的各个像素包括相应第一子像素、相应第二子像素、相应第三子像素和相应第四子像素。阵列基板中的多个子像素以阵列排列。在一个示例中，多个子像素的阵列包括S1-S2-S3-S4格式重复阵列，其中S1代表相应第一子像素，S2代表相应第二子像素，S3代表相应第三子像素，以及S4代表相应第四子像素。在另一示例中，S1-S2-S3-S4格式是C1-C2-C3-C4格式，其中C1代表第一颜色的相应第一子像素，C2代表第二颜色的相应第二子像素，C3代表第三颜色的相应第三子像素，C4代表第四颜色的相应第四子像素。在另一示例中，S1-S2-S3-S4格式是C1-C2-C3-C2'格式，其中C1代表第一颜色的相应第一子像素，C2代表第二颜色的相应第二子像素，C3代表第三颜色的相应第三子像素，C2'代表第二颜色的相应第四子像素。在另一示例中，C1-C2-C3-C2'格式为R-G-B-G格式，其中各个第一子像素为红色子像素，各个第二子像素为绿色子像素，各个第三子像素为蓝色子像素，各个第四子像素为绿色子像素。

[0092] 在一些实施例中,阵列基板的多个子像素的最小重复单元包括相应第一子像素、相应第二子像素、相应第三子像素和相应第四子像素。可选地,相应第一子像素、相应第二子像素、相应第三子像素和相应第四子像素中的每一个包括第一晶体管T1、第二晶体管T2、第三晶体管T3、第四晶体管T4、第一复位晶体管Tr1、第二复位晶体管Tr2和驱动晶体管Td。

[0093] 图3A是示出根据本公开的一些实施例中的阵列基板中的两个相邻像素驱动电路的结构图。图3B是示出图3A中所示的阵列基板中两个相邻像素驱动电路的第一半导体材料层的结构图。图3C是示出图3A中所示的阵列基板中两个相邻像素驱动电路的第一栅极金属层的结构图。图3D是示出图3A中所示的阵列基板中两个相邻像素驱动电路的第二栅极金属层的结构图。图3E是示出图3A中所示的阵列基板中两个相邻像素驱动电路的第二半导体材料层的结构图。图3F是示出图3A中所示的阵列基板中两个相邻像素驱动电路的第三栅极金属层的结构图。图3G是示出图3A中所示的阵列基板中的延伸穿过钝化层、第二层间电介质层、第一层间电介质层、绝缘层和栅极绝缘层的通孔的图。图3H是示出图3A中所示的阵列基板中的延伸穿过钝化层和第二层间电介质层的通孔的图。图3I是示出图3A中所示的阵列基板中两个相邻像素驱动电路的第一信号线层的结构图。图3J是示出图3A中所示的阵列基板中的延伸穿过第一平坦化层的通孔的图。图3K是示出图3A所示的阵列基板中的延伸穿过钝化层、第二层间电介质层、第一层间电介质层、绝缘层和栅极绝缘层的通孔的图。图3L是示出图3A中所示的阵列基板中两个相邻像素驱动电路的第二信号线层的结构图。图3M是示出图3A所示的阵列基板中的延伸穿过第二平坦化层的通孔的图。图3N是示出图3A中所示的阵列基板中两个相邻像素驱动电路的阳极层的结构图。图3O是示出图3A中所示的阵列基板中两个相邻像素驱动电路的像素限定层的结构图。

[0094] 图4A是沿图3A中的A-A'线的截面图。图4B是沿图3A中的B-B'线的截面图。图4C是沿图3A中的C-C'线的截面图。图4D是沿图3A中的D-D'线的截面图。

[0095] 图5A是示出根据本公开的一些实施例中的阵列基板中的两个相邻像素驱动电路的结构图。图5B是示出图5A中所示的阵列基板中两个相邻像素驱动电路的第一半导体材料层的结构图。图5C是示出图5A中所示的阵列基板中两个相邻像素驱动电路的第一栅极金属层的结构图。图5D是示出图5A中所示的阵列基板中两个相邻像素驱动电路的第二栅极金属层的结构图。图5E是示出图5A中所示的阵列基板中两个相邻像素驱动电路的第二半导体材料层的结构图。图5F是示出图5A中所示的阵列基板中两个相邻像素驱动电路的第三栅极金属层的结构图。图5G是示出图5A中所示的阵列基板中的延伸穿过钝化层、第二层间电介质层、第一层间电介质层、绝缘层和栅极绝缘层的通孔的图。图5H是示出图5A中所示的阵列基板中的延伸穿过钝化层和第二层间电介质层的通孔的图。图5I是示出图5A中所示的阵列基板中两个相邻像素驱动电路的第一信号线层的结构图。图5J是示出图5A中所示的阵列基板中的延伸穿过第一平坦化层的通孔的图。图5K是示出图5A所示的阵列基板中的延伸穿过钝化层、第二层间电介质层、第一层间电介质层、绝缘层和栅极绝缘层的通孔的图。图5L是示出图5A中所示的阵列基板中两个相邻像素驱动电路的第二信号线层的结构图。图5M是示出图5A所示的阵列基板中的延伸穿过第二平坦化层的通孔的图。图5N是示出图5A中所示的阵列基板中两个相邻像素驱动电路的阳极层的结构图。图5O是示出图5A中所示的阵列基板中两个相邻像素驱动电路的像素限定层的结构图。

[0096] 图6A是沿图5A中的E-E'线的截面图。图6B是沿图5A中的F-F'线的截面图。图6C是

沿图5A中的G-G'线的截面图。图6D是沿图5A中的H-H'线的截面图。

[0097] 参照图3A至图30以及图4A至图4D,在一些实施例中,彼此直接相邻且在当前级中的第一像素驱动电路的对应层和第二像素驱动电路的对应层关于彼此(例如,关于垂直于阵列基板的主表面且实质上平行于图3A中的数据线的平面)实质上镜像对称。如在此所使用的,术语“第一像素驱动电路的对应层和第二像素驱动电路的对应层”不旨在包括不是像素驱动电路的一部分的层。例如,“第一像素驱动电路的对应层和第二像素驱动电路的对应层”不包括阳极层或像素限定层。在一个示例中,“第一像素驱动电路的对应层和第二像素驱动电路的对应层”是指第一像素驱动电路的导电层和第二像素驱动电路的导电层。在一个具体示例中,“对应层”包括第一半导体材料层、第一栅极金属层、第二栅极金属层、第二半导体材料层、第三栅极金属层、第一信号线层或第二信号线层中的至少一个。在另一特定示例中,“对应层”还包括栅极绝缘层、绝缘层、第一层间电介质层、第二层间电介质层、钝化层、第一平坦化层或第二平坦化层中的至少一个。

[0098] 参照图5A至图50以及图6A至图6D,在一些实施例中,彼此直接相邻且在当前级中的第一像素驱动电路的对应层和第二像素驱动电路的对应层关于彼此(例如,沿着图5A中栅线的延伸方向)实质上平移对称。如在此所使用的,术语“第一像素驱动电路的对应层和第二像素驱动电路的对应层”不旨在包括不是像素驱动电路的一部分的层。例如,“第一像素驱动电路的对应层和第二像素驱动电路的对应层”不包括阳极层或像素限定层。在一个示例中,“第一像素驱动电路的对应层和第二像素驱动电路的对应层”是指第一像素驱动电路的导电层和第二像素驱动电路的导电层。在一个具体示例中,“对应层”包括第一半导体材料层、第一栅极金属层、第二栅极金属层、第二半导体材料层、第三栅极金属层、第一信号线层或第二信号线层中的至少一个。在另一特定示例中,“对应层”还包括栅极绝缘层、绝缘层、第一层间电介质层、第二层间电介质层、钝化层、第一平坦化层或第二平坦化层中的至少一个。

[0099] 参考图3A至图30、图4A至图4D、图5A至图50以及图6A至图6D,在一些实施例中,阵列基板包括基底基板BS;在基底基板BS上的第一半导体材料层SML1;栅极绝缘层GI,其位于第一半导体材料层SML1远离基底基板BS的一侧;第一栅极金属层Gate1,其位于栅极绝缘层GI远离第一半导体材料层SML1的一侧;绝缘层IN,其位于第一栅极金属层Gate1远离栅极绝缘层GI的一侧;第二栅极金属层Gate2,其位于绝缘层IN远离第一栅极金属层Gate1的一侧;第一层间电介质层ILD1,其位于第二栅极金属层Gate2远离绝缘层IN的一侧;第二半导体材料层SML2,其位于第一层间电介质层ILD1远离第二栅极金属层Gate2的一侧;第二层间电介质层ILD2,其位于第二半导体材料层SML2远离第一层间电介质层ILD1的一侧;第三栅极金属层Gate3,其位于第二层间电介质层ILD2远离第二半导体材料层SML2的一侧;钝化层PVX,其位于第三栅极金属层Gate3远离第二层间电介质层ILD2的一侧;第一信号线层SD1,其位于钝化层PVX远离第三栅极金属层Gate3的一侧;第一平坦化层PLN1,其位于第一信号线层SD1远离钝化层PVX的一侧;第二信号线层SD2,其位于第一平坦化层PLN1远离第一信号线层SD1的一侧;第二平坦化层PLN2,其位于第二信号线层SD2远离第一平坦化层PLN1的一侧;阳极层AD,其位于第二平坦化层PLN2远离第二信号线层SD2的一侧;以及像素限定层PDL,其位于阳极层AD远离第二平坦化层PLN2的一侧。

[0100] 参照图2、图3A、图3B、图5A、图5B、图4A至图4D以及图6A至图6D,在一些实施例中,

第一半导体材料层SML1至少包括像素驱动电路的多个晶体管(包括第一晶体管T1、第三晶体管T3、第四晶体管T4、第一复位晶体管Tr1、第二复位晶体管Tr2以及驱动晶体管Td)的有源层。可选地,第一半导体材料层SML1还包括像素驱动电路的多个晶体管(包括第一晶体管T1、第三晶体管T3、第四晶体管T4、第一复位晶体管Tr1、第二复位晶体管Tr2以及驱动晶体管Td)的源极的至少相应部分。可选地,第一半导体材料层SML1还包括像素驱动电路的多个晶体管(包括第一晶体管T1、第三晶体管T3、第四晶体管T4、第一复位晶体管Tr1、第二复位晶体管Tr2以及驱动晶体管Td)的漏极的至少相应部分。可选地,第一半导体材料层SML1包括像素驱动电路的多个晶体管(包括第一晶体管T1、第三晶体管T3、第四晶体管T4、第一复位晶体管Tr1、第二复位晶体管Tr2以及驱动晶体管Td)的有源层、源极和漏极。各种适当的半导体材料可用于制造第一半导体材料层SML1。用于制造第一半导体材料层SML1的半导体材料的示例包括硅基半导体材料,例如多晶硅、单晶硅和非晶硅。

[0101] 在图3B和图5B中,左侧的像素驱动电路标注有标记,其指示像素驱动电路中的多个晶体管(T1、T3、T4、Tr1、Tr2和Td)中的每一个的组件。例如,第一晶体管T1包括有源层ACT1、源极S1、和漏极D1。第三晶体管T3包括有源层ACT3、源极S3、漏极D3。第四晶体管T4包括有源层ACT4、源极S4、漏极D4。第一复位晶体管Tr1包括有源层ACTr1、源极Sr1和漏极Dr1。第二复位晶体管Tr2包括有源层ACTr2、源极Sr2和漏极Dr2。驱动晶体管Td包括有源层ACTd、源极Sd和漏极Dd。

[0102] 可选地,各个晶体管(T1、T3、T4、Tr1、Tr2和Td)的有源层(ACT1、ACT3、ACT4、ACTr1、ACTr2和ACTd)、源极(S1、S3、S4、Sr1、Sr2和Sd)以及漏极(D1、D3、D4、Dr1、Dr2和Dd)在同一层中。

[0103] 在一些实施例中,像素驱动电路中的各个晶体管(T1、T3、T4、Tr1和Td)的有源层(ACT1、ACT3、ACT4、ACTr1和ACTd)、源极(S1、S3、S4、Sr1和Sd)和漏极(D1、D3、D4、Dr1和Dd)是一体结构的一部分。可选地,第二复位晶体管Tr2在第一半导体材料层中的一部分与同一像素驱动电路中的其他晶体管(T1、T3、T4、Tr1和Td)间隔开。

[0104] 参照图3B,分别来自彼此直接相邻且在当前级中的第一像素驱动电路与第二像素驱动电路的第二复位晶体管形成一体结构。具体地,分别来自彼此直接相邻且在当前级中的第一像素驱动电路与第二像素驱动电路的第二复位晶体管的源极(或漏极,取决于流经第二复位晶体管的电流的方向)彼此连接,从而形成一体结构。

[0105] 参照图2、图3A、图3C、图5A、图5C、图4A至图4D以及图6A至图6D,在一些实施例中,第一栅极金属层Gate1包括多个第一栅线(例如,当前级中的第一栅线GL_P[n]、前一级中的第一栅线GL_P[n-1]、多个发光控制信号线中的相应发光控制信号线EM[n]以及存储电容器Cst的第一电容器电极Ce1。各种适当的电极材料和各种适当的制造方法可用于制造第一栅极金属层Gate1。例如,导电材料可以通过等离子体增强化学气相沉积(PECVD)工艺沉积在基板上并被图案化。用于制造第一栅极金属层Gate1的合适导电材料的示例包括但不限于铝、铜、钼、铬、铝铜合金、铜钼合金、钼铝合金、铝铬合金、铜铬合金、钼铬合金、铜钼铝合金等。可选地,多个第一栅线(例如,当前级中的第一栅线GL_P[n],前一级中的第一栅线GL_P[n-1]),多个发光控制信号线中的相应发光控制信号线EM[n],以及存储电容器Cst的第一电容器电极Ce1在同一层中。

[0106] 如本文所用,术语“同一层”是指在同一步骤中同时形成的层之间的关系。在一个

示例中,当多个第一栅线与第一电容器电极Ce1是由在同一材料层中进行的同一图案化过程的一个或多个步骤所形成时,多个第一栅线与第一电容器电极Ce1位于同一层中。在另一个示例中,通过同时执行形成多个第一栅线的步骤以及形成第一电容器电极Ce1的步骤,多个第一栅线与第一电容器电极Ce1可形成于同一层。术语“同一层”并不总是意味着在截面图中层的厚度或层的高度是相同的。

[0107] 在一些实施例中,参照图3C与图5C,当前级中的第一栅线GL_P[n]包括被配置为提供有相同的栅极扫描信号的第一栅线第一分支GL_P[n]_B1和第一栅线第二分支GL_P[n]_B2。第一复位晶体管Tr1的栅极连接到在当前级中的第一栅线第二分支GL_P[n]_B2。第二复位晶体管Tr2的栅极连接到前一级中的第一栅线第二分支GL_P[n]_B2。

[0108] 在一个示例中,图3C中的前一级中的第一栅线GL_P[n-1]示出前一级中的第一栅线第二分支。

[0109] 参照图2、图3A、图3D、图5A、图5D、图4A至图4D以及图6A至图6D,在一些实施例中,第二栅极金属层Gate2包括多个第二栅线的至少部分(例如,第二栅线第一分支GL_N[n]_B1)和存储电容器Cst的第二电容器电极Ce2。各种适当的电极材料和各种适当的制造方法可用于制造第二栅极金属层Gate2。例如,导电材料可以通过等离子体增强化学气相沉积(PECVD)工艺沉积在基板上并被图案化。用于制造第二栅极金属层Gate2的合适导电材料的示例包括但不限于铝、铜、钼、铬、铝铜合金、铜钼合金、钼铝合金、铝铬合金、铜铬合金、钼铬合金、铜钼铝合金等。可选地,第二栅线第一分支GL_N[n]_B1与存储电容器Cst的第二电容器电极Ce2位于同一层中。

[0110] 参照图2、图3A、图3E、图5A、图5E、图4A至图4D以及图6A至图6D,在一些实施例中,第二半导体材料层SML2至少包括第二晶体管T2的有源层。可选地,第二半导体材料层SML2还包括第二晶体管T2的源极的至少一部分。可选地,第二半导体材料层SML2还包括第二晶体管T2的漏极的至少一部分。可选地,第二半导体材料层SML2包括第二晶体管T2的有源层、源极和漏极。在本阵列基板中,至少第二晶体管T2的有源层在与像素驱动电路的至少其它晶体管的有源层不同的层中。各种适当的半导体材料可用于制造第二半导体材料层SML2。用于制造第二半导体材料层SML2的半导体材料的示例包括基于金属氧化物的半导体材料,如,氧化铟镓锌,和基于金属氮氧化物的半导体材料,如,氮氧化锌。

[0111] 在图3E与图5E中,左侧的像素驱动电路标注有标记,其指示像素驱动电路中的第二晶体管T2的元件。例如,第二晶体管T2包括有源层ACT2、源极S2、和漏极D2。可选地,第二晶体管T2的有源层ACT2、源极S2和漏极D2在同一层中。

[0112] 参考图2、图3A、图3F、图5A、图5F、图4A至图4D和图6A至图6D,在一些实施例中,第三栅极金属层Gate3包括多个第二栅线的至少部分(例如,第二栅线第二分支GL_N[n]_B2)。各种适当的电极材料和各种适当的制造方法可用于制造第三栅极金属层Gate3。例如,导电材料可以通过等离子体增强化学气相沉积(PECVD)工艺沉积在基板上并被图案化。用于制造第三栅极金属层Gate3的合适导电材料的示例包括但不限于铝、铜、钼、铬、铝铜合金、铜钼合金、钼铝合金、铝铬合金、铜铬合金、钼铬合金、铜钼铝合金等。

[0113] 在一些实施例中,在当前级中的相应第二栅线GL_N[n]包括在两个不同层中的第二栅线第一分支GL_N[n]_B1和第二栅线第二分支GL_N[n]_B2。可选地,第二栅线第一分支GL_N[n]_B1在第二栅极金属层Gate2中,并且第二栅线第二分支GL_N[n]_B2在第三栅极金

属层Gate3中。如图4B和图6B所示,在一些实施例中,第二栅线第一分支GL_N[n]_{B1}在基底基板BS上的正投影与第二栅线第二分支GL_N[n]_{B2}在基底基板BS上的正投影至少部分重叠。

[0114] 参考图2、图3A、图3I、图5A、图5I、图4A至图4D和图6A至图6D,在一些实施例中,第一信号线层SD1包括多个第一复位信号线(例如,相应第一复位信号线Vint_OLED)、多个第二复位信号线(例如,相应第二复位信号线Vint_N1)、第一节点连接线C1n1、第二节点连接线C1n2、电压连接垫VCP和中继电极RE。各种适当的导电材料和各种适当的制造方法可用于制造第一信号线层SD1。例如,导电材料可以通过等离子体增强化学气相沉积(PECVD)工艺沉积在基板上并被图案化。用于制造第一信号线层的适当导电材料的示例包括但不限于铝、铜、钼、铬、铝铜合金、铜钼合金、钼铝合金、铝铬合金、铜铬合金、钼铬合金、铜钼铝合金等。可选地,多个第一复位信号线(例如,相应第一复位信号线Vint_OLED)、多个第二复位信号线(例如,相应第二复位信号线Vint_N1)、第一节点连接线C1n1、第二节点连接线C1n2、电压连接垫VCP和中继电极RE在同一层中。通过具有在第一信号线层SD1中的多个第一复位信号线和多个第二复位信号线,多个第一复位信号线和多个第二复位信号线可由低电阻的材料制成,从而改善尤其是在显示低灰度级图像的区域中的不均匀(mura)。

[0115] 在一些实施例中,第一节点连接线C1n1将像素驱动电路的各种组件连接到节点N1。参考图4B和图6B,第一节点连接线C1n1通过第一通孔v1连接至第一电容器电极Ce1,并通过第二通孔v2连接至第二晶体管T2(例如,连接至第二晶体管T2的源极S2)。

[0116] 参考图2、图3A、图3D、图5A、图5D、图4B和图6B,在一些实施例中,在孔区域H中,不存在第二电容器电极Ce2的一部分。可选地,除了其中不存在第二电容器电极Ce2的一部分的孔区域H外,第二电容器电极Ce2在基底基板BS上的正投影完全覆盖第一电容器电极Ce1在基底基板BS上的正投影并留有余量。可选地,第一通孔v1延伸穿过钝化层PVX、第二层间电介质层ILD2、第一层间电介质层ILD1、孔区域H和绝缘层IN。

[0117] 在一些实施例中,在当前级中,第一节点连接线C1n1跨过相应第二栅线GL_N[n]。图7A是示出图3A中所示的阵列基板中两个相邻像素驱动电路的第一半导体材料层、第一栅极金属层、第二栅极金属层、第二半导体材料层、第三栅极金属层以及第一信号线层的结构的图。图8A是示出图5A中所示的阵列基板中两个相邻像素驱动电路的第一半导体材料层、第一栅极金属层、第二栅极金属层、第二半导体材料层、第三栅极金属层以及第一信号线层的结构的图。如图7A、图8A、图4B和图6B所示,第一节点连接线C1n1跨过第二栅极金属层Gate2中的第二栅线第一分支GL_N[n]_{B1}和第三栅极金属层Gate3中的第二栅线第二分支GL_N[n]_{B2}。

[0118] 在一些实施例中,第二节点连接线C1n2将像素驱动电路的各种组件连接到节点N3。参考图4A和图6A,第二节点连接线C1n2经由第三通孔v3连接至第二晶体管T2(例如,连接至第二晶体管T2的漏极D2),经由第四通孔v4连接至第二复位晶体管Tr2(例如,连接至第二复位晶体管Tr2的漏极Dr2),且经由第五通孔v5连接至第四晶体管T4和驱动晶体管Td(例如,连接至第四晶体管T4的源极S4和驱动晶体管Td的漏极Dd)。

[0119] 参照图2、图3A、图3I、图5A、图5I、图4A以及图6A,在一些实施例中,第三通孔v3延伸穿过钝化层PVX以及第二层间电介质层ILD2,第四通孔v4延伸穿过钝化层PVX、第二层间电介质层ILD2、第一层间电介质层ILD1、孔区域H以及绝缘层IN,第五通孔v5延伸穿过钝化

层PVX、第二层间电介质层ILD2、第一层间电介质层ILD1、孔区域H以及绝缘层IN。

[0120] 在一些实施例中,参考图7A、图3I、图8A、图5I、图4A和图6A,第二节点连接线C1n2跨过当前级中的相应第二栅线GL_N[n]和当前级中的第一栅线GL_P[n]的第一栅线第一分支GL_P[n]_B1。可选地,第二节点连接线C1n2跨过当前级中的相应第二栅线GL_N[n]的第二栅线第一分支GL_N[n]_B1和第二栅线第二分支GL_N[n]_B2、以及当前级中的第一栅线GL_P[n]的第一栅线第一分支GL_P[n]_B1。

[0121] 参考图2、图3A、图3L、图5A、图5L、图4A至图4D和图6A至图6D,在一些实施例中,第二信号线层SD2包括多个电压供应线(例如,各个电压供应线Vdd)、多个数据线(例如,各个数据线DL)和阳极接触垫ACP。各种适当的导电材料和各种适当的制造方法可用于制造第二信号线层SD2。例如,导电材料可以通过等离子体增强化学气相沉积(PECVD)工艺沉积在基板上并被图案化。用于制造第二信号线层SD2的合适导电材料的示例包括但不限于铝、铜、钼、铬、铝铜合金、铜钼合金、钼铝合金、铝铬合金、铜铬合金、钼铬合金、铜钼铝合金等。可选地,多个电压供应线(例如,相应电压供应线Vdd)、多个数据线(例如,相应数据线DL)和阳极接触垫ACP在同一层中。

[0122] 图7B是示出图3A中所示的阵列基板中两个相邻像素驱动电路的第一信号线层与第二信号线层的结构的图。图8B是示出图5A中所示的阵列基板中两个相邻像素驱动电路的第一信号线层和第二信号线层的结构的图。参考图7B、图8B、图2、图3A、图3I、图5A、图5I、图4C和图6C,在一些实施例中,中继电极RE通过延伸穿过钝化层PVX、第二层间电介质层ILD2、第一层间电介质层ILD1和绝缘层IN的第六通孔v6连接到第四晶体管T4的漏极D4和第一复位晶体管Tr1的漏极Dr1。阳极接触垫ACP通过延伸穿过第一平坦化层PLN1的第七通孔v7连接到中继电极RE。

[0123] 参考图2、图3A、图3I、图5A、图5I、图4D和图6D,在一些实施例中,电压连接垫VCP通过延伸穿过钝化层PVX、第二层间电介质层ILD2、第一层间电介质层ILD1和绝缘层IN的第八通孔v8连接到第三晶体管T3(例如,连接到第三晶体管T3的源极S3)。多个电压供应线中的相应电压供应线Vdd通过延伸穿过第一平坦化层PLN1的第九通孔v9连接到电压连接垫VCP。电压连接垫VCP经由延伸穿过钝化层PVX、第二层间电介质层ILD2和第一层间电介质层ILD1的第十通孔v10连接至存储电容器Cst的第二电容器电极Ce2。

[0124] 参考图2、图3A、图3I、图5A、图5I、图4A和图6A,在一些实施例中,多个第二复位信号线中的相应第二复位信号线Vint_N1通过延伸穿过钝化层PVX、第二层间电介质层ILD2、第一层间电介质层ILD1和绝缘层IN的第十一通孔v11连接到第二复位晶体管Tr2(例如,连接到第二复位晶体管Tr2的源极Sr2)。

[0125] 参考图2、图3A、图3I、图5A、图5I、图4C和图6C,在一些实施例中,多个第一复位信号线中的相应第一复位信号线Vint_OLED通过延伸穿过钝化层PVX、第二层间电介质层ILD2、第一层间电介质层ILD1和绝缘层IN的第十二通孔v12连接到第一复位晶体管Tr1(例如,连接到第一复位晶体管Tr1的源极Sr1)。

[0126] 参照图2、图3A、图3N、图5A、图5N、图4A至图4D以及图6A至图6D,在一些实施例中,阵列基板还包括阳极层AD。

[0127] 参照图2、图3A、图3O、图5A、图5O、图4A至图4D以及图6A至图6D,在一些实施例中,阵列基板还包括像素限定层PDL。像素限定层PDL限定子像素开口SA,发光层通过子像素开

口SA分别连接到各个像素驱动电路中的阳极。

[0128] 在一些实施例中,阵列基板包括新型像素驱动电路。在一些实施例中,像素驱动电路包括驱动晶体管Td、存储电容器Cst和第一复位晶体管Tr1,该第一复位晶体管具有连接到多个第一栅线中的当前级中的第一栅线GL_P[n]的栅极、连接到多个第一复位信号线中的相应第一复位信号线Vint_OLED的源极、以及连接到发光元件LE的阳极的漏极。可选地,像素驱动电路还包括第二复位晶体管Tr2,其具有连接到多个第一栅线中的前一级中的第一栅线GL_P[n-1]的栅极、连接到多个第二复位信号线中的相应第二复位信号线Vint_N1的源极、以及连接到驱动晶体管Td的漏极的漏极。前一级中的第一栅线GL_P[n-1]连接到当前级中的第二复位晶体管Tr2的栅极和前一级中的第一复位晶体管Tr1的栅极。当前级中的第一栅线GL_P[n]连接到当前级中的第一复位晶体管Tr1的栅极和下一级中的第二复位晶体管Tr2的栅极。如在此所使用的,相应级对应于一行像素驱动电路,例如,当前级对应于当前行像素驱动电路,并且前一级对应于前一行像素驱动电路。在一个示例中,当前行像素驱动电路中的第一栅线GL_P[n]连接到当前行像素驱动电路中的第一复位晶体管Tr1的栅极和下一行像素驱动电路中的第二复位晶体管Tr2的栅极。

[0129] 通过使当前级中的第二复位晶体管Tr2与前一级中的第一复位晶体管Tr1共用同一栅线,且使当前级中的第一复位晶体管Tr1与下一级中的第二复位晶体管Tr2共用同一栅线,可简化像素驱动电路的布局,以提升阵列基板的透光率与图像显示分辨率。

[0130] 在一些实施例中,像素驱动电路还包括第四晶体管T4,其具有连接到相应发光控制信号线EM[n]的栅极、连接到第二复位晶体管Tr2的漏极和驱动晶体管Td的漏极的源极、以及连接到第一复位晶体管Tr1的漏极和发光元件LE的阳极的漏极。

[0131] 在一些实施例中,当前级中的第一栅线GL_P[n]包括被配置为提供有相同栅极扫描信号的第一栅线第一分支GL_P[n]_B1和第一栅线第二分支GL_P[n]_B2。第一复位晶体管Tr1的栅极连接到在当前级中的第一栅线第二分支GL_P[n]_B2。第二复位晶体管Tr2的栅极连接到前一级中的第一栅线第二分支GL_P[n]_B2。

[0132] 在一些实施例中,像素驱动电路还包括第一晶体管T1,其具有连接到在多个第一栅线中的当前级中的第一栅线第一分支GL_P[n]_B1的栅极、连接到多个数据线中的相应数据线DL的源极、以及连接到驱动晶体管Td的源极的漏极。

[0133] 在一些实施例中,像素驱动电路还包括第二晶体管T2,其具有连接到在多个第二栅线中的当前级中的相应第二栅线GL_N[n]的栅极、连接到存储电容器Cst的第一电容器电极Ce1和驱动晶体管Td的栅极的源极、以及连接到驱动晶体管Td的漏极的漏极。多个第一栅线和多个第二栅线通过一个或多个绝缘层隔开。

[0134] 在一些实施例中,阵列基板包括基底基板BS;在所述基底基板上的第一半导体材料层SML1;绝缘层IN,其位于第一半导体材料层SML1远离基底基板BS的一侧;以及第二半导体材料层SML2,其位于绝缘层IN远离第一半导体材料层SML1的一侧。第一半导体材料层SML1包括驱动晶体管Td的有源层和第一复位晶体管Tr1的有源层。第二半导体材料层SML2包括第二晶体管T2的有源层。在一些实施例中,第一半导体材料层SML1还包括驱动晶体管Td的源极的至少一部分、驱动晶体管Td的漏极的至少一部分、第一复位晶体管Tr1的源极的至少一部分、第一复位晶体管Tr1的漏极的至少一部分。在一些实施例中,第二半导体材料层还包括第二晶体管T2的源极的至少一部分,以及第二晶体管T2的漏极的至少一部分。可

选地,第一半导体材料层SML1包括像素驱动电路中除第二晶体管T2之外的所有晶体管的有源层、源极的至少一部分和漏极的至少一部分。可选地,第一半导体材料层SML1包括多晶硅材料;第二半导体材料层SML2包括金属氧化物半导体材料。

[0135] 在一些实施例中,在当前级中的相应第二栅线GL_N[n]包括在两个不同层中的第二栅线第一分支GL_N[n]_{B1}和第二栅线第二分支GL_N[n]_{B2}。可选地,第二栅线第一分支GL_N[n]_{B1}在基底基板上的正投影与第二栅线第二分支GL_N[n]_{B2}在基底基板BS上的正投影至少部分重叠。

[0136] 在一些实施例中,阵列基板包括基底基板BS;在基底基板BS上的第二栅极金属层Gate2;第一层间电介质层ILD1,其位于第二栅极金属层Gate2远离基底基板BS的一侧;第二半导体材料层SML2,其位于第一层间电介质层ILD1远离第二栅极金属层Gate2的一侧;第二层间电介质层ILD2,其位于第二半导体材料层SML2远离第一层间电介质层ILD1的一侧;以及第三栅极金属层Gate3,其位于第二层间电介质层ILD2远离第二半导体材料层SML2的一侧。可选地,第二栅极金属层Gate2包括第二栅线第一分支GL_N[n]_{B1}。可选地,第二半导体材料层SML2包括第二晶体管T2的有源层。可选地,第三栅极金属层Gate3包括第二栅线第二分支GL_N[n]_{B2}。

[0137] 在一些实施例中,阵列基板包括基底基板BS;在基底基板BS上的第一栅极金属层Gate1,该第一栅极金属层Gate1包括存储电容器Cst的第一电容器电极Ce1;第二半导体材料层SML2,其位于第一栅极金属层Gate1远离基底基板BS的一侧,第二半导体材料层SML2包括第二晶体管T2的源极的至少一部分;以及第一信号线层SD1,其位于第二半导体材料层SML2远离第一栅极金属层Gate1的一侧,第一信号线层SD1包括多个第一复位信号线和第一节点连接线C1n1。可选地,第一节点连接线C1n1通过第一通孔v1连接至第一电容器电极Ce1,并通过第二通孔v2连接至第二晶体管T2的源极。可选地,第一节点连接线C1n1跨过在当前级中的相应第二栅线GL_N[n]。

[0138] 在一些实施例中,阵列基板包括基底基板BS;在基底基板BS上的第一半导体材料层SML1,第一半导体材料层SML1包括第二复位晶体管Tr2的漏极、第四晶体管T4的源极和驱动晶体管Td的漏极;第二半导体材料层SML2,其位于第一半导体材料层SML1远离基底基板的一侧,第二半导体材料层SML2包括第二晶体管T2的漏极;以及第一信号线层SD1,其位于第二半导体材料层SML2远离第一栅极金属层Gate1的一侧,第一信号线层SD1包括多个第一复位信号线和第二节点连接线C1n2。可选地,第二节点连接线C1n2通过第三通孔v3连接至第二晶体管T2的漏极,通过第四通孔v4连接至第二复位晶体管Tr2的漏极,以及通过第五通孔v5连接至第四晶体管T4的源极和驱动晶体管Td的漏极。可选地,第二节点连接线C1n2跨过当前级中的相应第二栅线GL_N[n]和当前级中的第一栅线GL_P[n]的第一栅线第一分支GL_P[n]_{B1}。

[0139] 在一些实施例中,阵列基板包括基底基板BS;第二半导体材料层SML2,其位于绝缘层IN远离第一半导体材料层SML1的一侧,第二半导体材料层SML2包括第二晶体管T2的有源层;以及第二信号线层SD2,其位于第二半导体材料层SML2远离基底基板BS的一侧,第二信号线层SD2包括多个电压供应线。图7C是示出图3A中所示的阵列基板中两个相邻像素驱动电路的第二半导体材料层与第二信号线层的结构的图。图8C是示出图5A中所示的阵列基板中两个相邻像素驱动电路的第二半导体材料层与第二信号线层的结构的图。参照图7C与图

8C, 在一些实施例中, 多个电压供应线中的相应电压供应线Vdd在基底基板BS上的正投影覆盖第二晶体管T2的有源层在基底基板BS上的正投影。可选地, 多个电压供应线中的相应电压供应线Vdd在基底基板BS上的正投影还覆盖第二晶体管T2的源极(或漏极, 取决于流经第二晶体管T2的电流的方向)在基底基板BS上的正投影。可选地, 分别来自彼此直接相邻且在当前级中的第一像素驱动电路和第二像素驱动电路的电压供应线形成一体结构, 其中, 电压供应线在一区域中彼此连接, 在该区域中, 电压供应线在基底基板上的正投影覆盖来自第一子像素和第二子像素的第二晶体管的有源层在基底基板BS上的正投影。

[0140] 参看图3B、图7A、图4A和图4C, 在一些实施例中, 分别来自彼此直接相邻且在当前级中的第一像素驱动电路和第二像素驱动电路的第二复位晶体管形成一体结构, 其中第二复位晶体管的源极(或漏极, 取决于流过第二复位晶体管的电流的方向)在一区域中彼此连接, 在该区域中, 相应第二复位信号线Vint_N1通过一个或多个通孔连接到第二复位晶体管的源极或漏极。可选地, 第二复位晶体管Tr2与同一像素驱动电路中的其它晶体管间隔开, 如图3B所示。分别来自彼此直接相邻且在当前级中的第一像素驱动电路和第二像素驱动电路的第二复位晶体管形成一体结构。分别来自彼此直接相邻且在当前级中的第一像素驱动电路和第二像素驱动电路的第二复位晶体管的源极或漏极彼此连接, 从而形成一体结构。可选地, 相应第二复位信号线Vint_N1通过单个通孔连接到第二复位晶体管的源极或漏极。单个通孔设计可进一步提高阵列基板的图像显示分辨率。

[0141] 在另一方面, 本发明提供了一种显示设备, 包括本文所述的或通过本文所述的方法制造的阵列基板, 以及连接到阵列基板的一个或多个集成电路。

[0142] 适当的显示设备的示例包括但不限于电子纸、移动电话、平板计算机、电视、监视器、笔记本电脑、数字相册、GPS等。可选地, 显示设备是有机发光二极管显示设备。可选地, 显示设备是液晶显示设备。

[0143] 在另一方面, 本发明提供一种像素驱动电路。在一些实施例中, 像素驱动电路包括驱动晶体管、存储电容器和第一复位晶体管, 第一复位晶体管具有连接到多个第一栅线中的当前级中的第一栅线的栅极、连接到多个第一复位信号线中的相应第一复位信号线的源极和连接到发光元件的阳极的漏极。

[0144] 在一些实施例中, 像素驱动电路还包括第二复位晶体管, 其具有连接到多个第一栅线中的前一级中的第一栅线的栅极、连接到多个第二复位信号线中的相应第二复位信号线的源极、以及连接到驱动晶体管的漏极的漏极。可选地, 前一级中的第一栅线连接到当前级中的第二复位晶体管的栅极和前一级中的第一复位晶体管的栅极; 以及当前级中的第一栅线连接到当前级中的第一复位晶体管的栅极和下一级中的第二复位晶体管的栅极。

[0145] 在一些实施例中, 像素驱动电路还包括第四晶体管, 其具有连接到相应发光控制信号线的栅极、连接到第二复位晶体管的漏极和驱动晶体管的漏极的源极、以及连接到第一复位晶体管的漏极和发光元件的阳极的漏极。

[0146] 在一些实施例中, 在当前级中的第一栅线包括被配置为被提供有相同的栅极扫描信号的第一栅线第一分支和第一栅线第二分支。可选地, 第一复位晶体管的栅极连接到在当前级中的第一栅线第二分支; 第二复位晶体管的栅极连接到前一级中的第一栅线第二分支。

[0147] 在一些实施例中, 像素驱动电路还包括第一晶体管, 该第一晶体管具有连接到多

个第一栅线中的当前级中的第一栅线第一分支的栅极、连接到多个数据线中的相应数据线的源极、以及连接到驱动晶体管的源极的漏极。

[0148] 在一些实施例中,像素驱动电路还包括第二晶体管,该第二晶体管具有连接到多个第二栅线中的当前级中的相应第二栅线的栅极、连接到存储电容器的第一电容器电极和驱动晶体管的栅极的源极、以及连接到驱动晶体管的漏极的漏极。可选地,多个第一栅线和多个第二栅线由一个或多个绝缘层隔开。

[0149] 在一些实施例中,在当前级中的相应第二栅线包括在两个不同层中的第二栅线第一分支和第二栅线第二分支。

[0150] 在一些实施例中,像素驱动电路包括驱动晶体管、存储电容器和第一复位晶体管,第一复位晶体管具有连接到多个第一栅线中的当前级中的第一栅线的栅极、连接到多个第一复位信号线中的相应第一复位信号线的源极、以及连接到发光元件的阳极的漏极;第二复位晶体管,其具有连接到多个第一栅线中的前一级中的第一栅线的栅极、连接到多个第二复位信号线中的相应第二复位信号线的源极、以及连接到驱动晶体管的漏极的漏极;第一晶体管,其具有连接到多个第一栅线中的当前级中的第一栅线的栅极、连接到多个数据线中的相应数据线的源极、以及连接到驱动晶体管的源极的漏极;第二晶体管,其具有连接到多个第二栅线中的当前级中的相应第二栅线的栅极、连接到存储电容器的第一电容器电极和驱动晶体管的栅极的源极、以及连接到驱动晶体管的漏极的漏极;第三晶体管,其具有连接到多个发光控制信号线中的相应发光控制信号线的栅极、连接到多个电压供应线中的相应电压供应线的源极、以及连接到驱动晶体管的源极和第一晶体管的漏极的漏极;以及第四晶体管,其具有连接到相应发光控制信号线的栅极、连接到驱动晶体管和第二晶体管的漏极的源极、以及连接到发光元件的阳极的漏极。可选地,第二电容器电极连接到相应电压供应线和第三晶体管的源极。

[0151] 为了说明和描述的目的,已经给出了本发明的实施例的上述描述。其不是穷举的,也不是要将本发明限制为所公开的精确形式或示例性实施例。因此,前面的描述应当被认为是说明性的而不是限制性的。显然,许多修改和变化对于本领域技术人员将是显而易见的。选择和描述实施例是为了解释本发明的原理及其最佳模式实际应用,从而使得本领域技术人员能够理解本发明的各种实施例以及适合于所考虑的特定使用或实现的各种修改。本发明的范围旨在由所附权利要求及其等价物来限定,其中除非另有说明,否则所有术语都意味着其最广泛的合理意义。因此,术语“本发明(the invention、the present invention)”等不一定将权利要求范围限制为特定实施例,并且对本发明的示例性实施例的引用不意味着对本发明的限制,并且不应推断出这样的限制。本发明仅由所附权利要求的精神和范围来限定。此外,这些权利要求可能涉及使用“第一”、“第二”等,随后是名词或元素。这些术语应当被理解为命名法,并且不应当被解释为对由这些命名法所修改的元件的数量进行限制,除非已经给出了特定的数量。所描述的任何优点和益处可能不适用于本发明的所有实施例。应当理解,在不脱离由所附权利要求限定的本发明的范围的情况下,本领域技术人员可以对所描述的实施例进行改变。此外,本公开中的元件和组件都不是要贡献给公众,无论该元件或组件是否在所附权利要求中明确叙述。

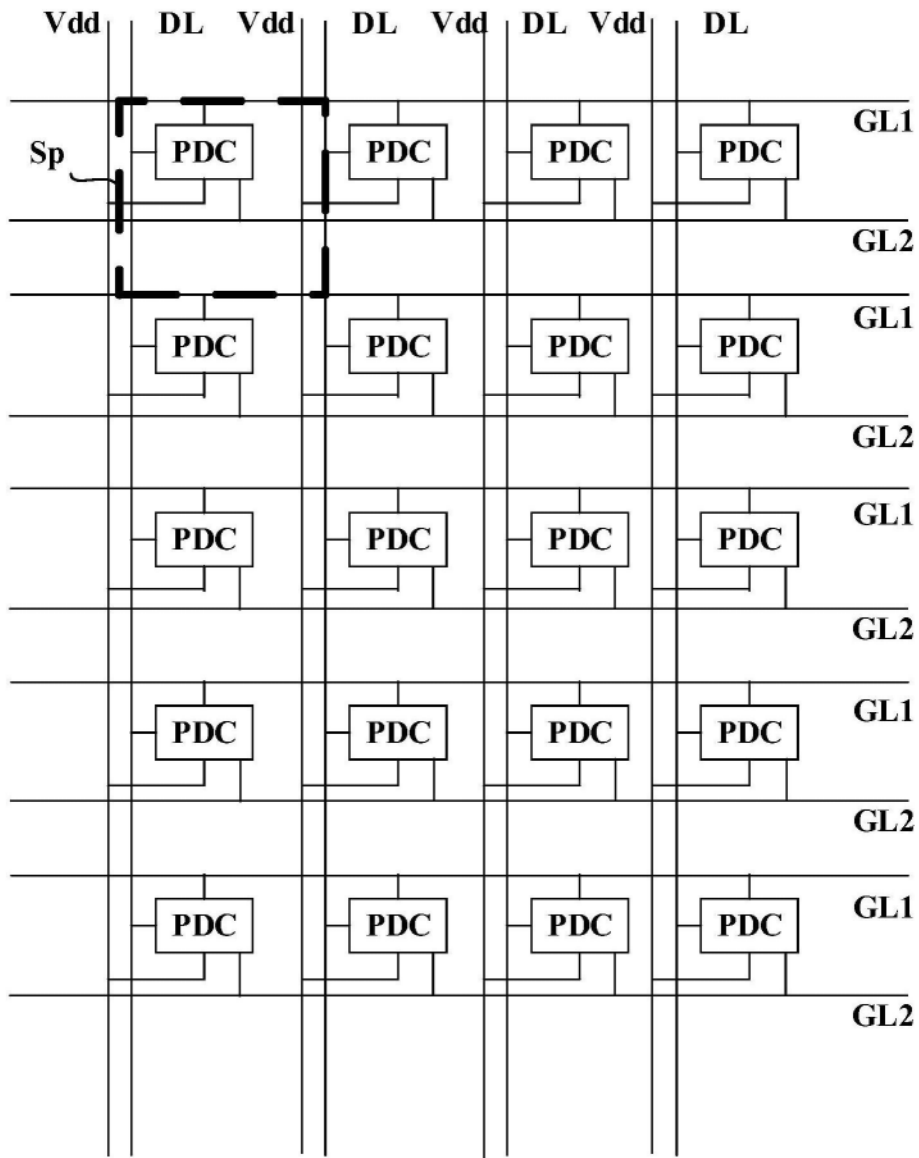


图1

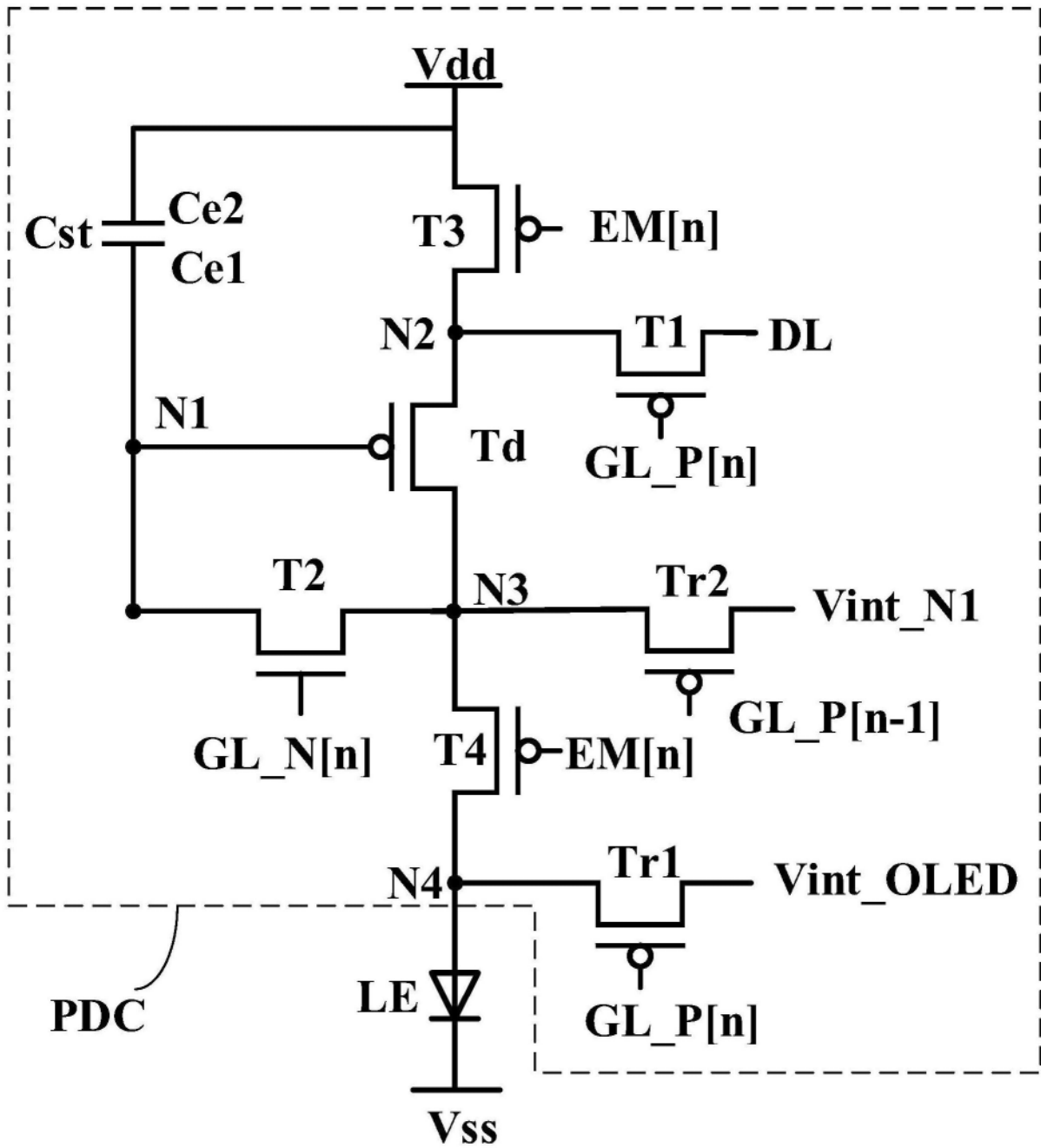


图2

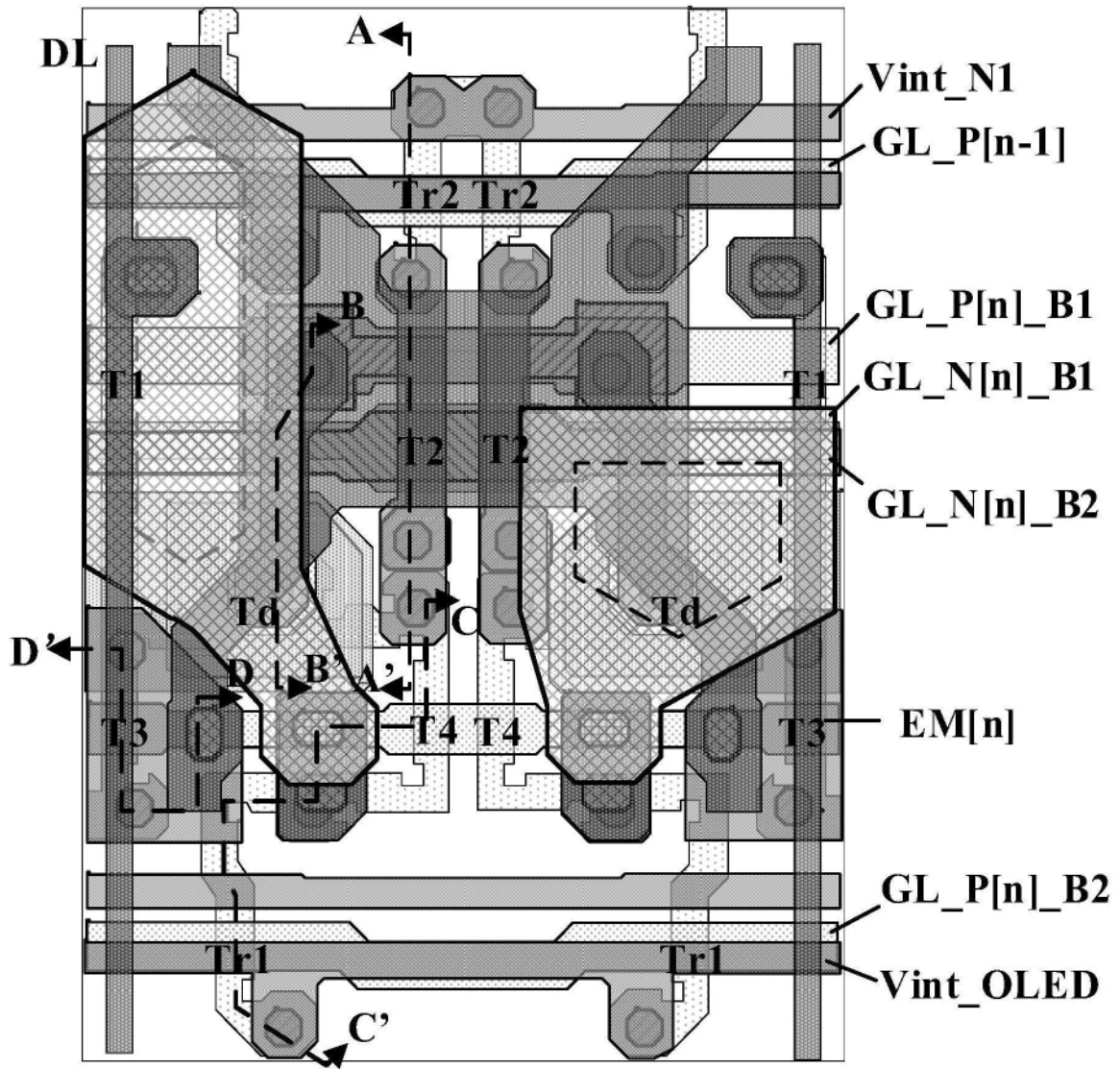


图3A

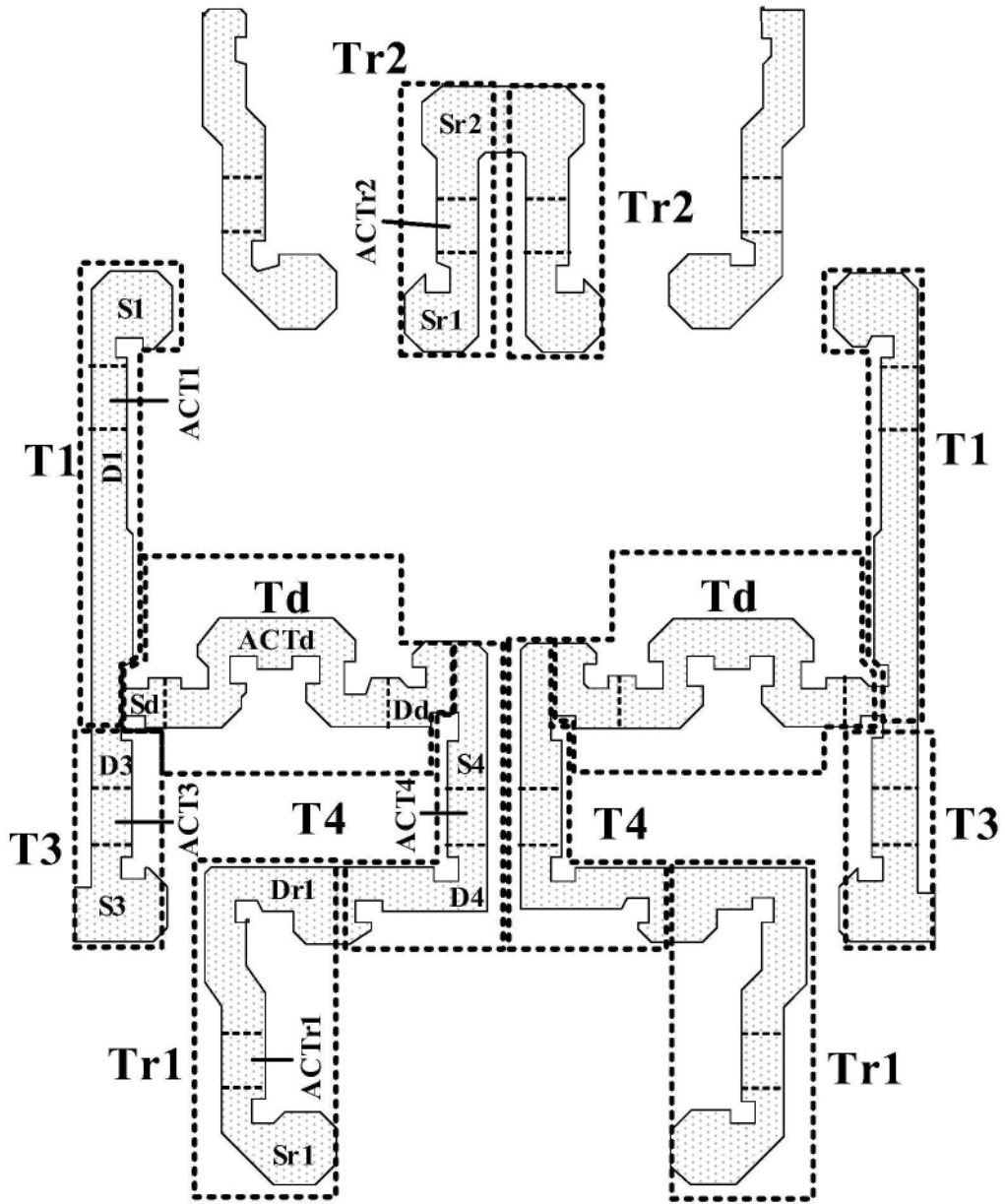


图3B

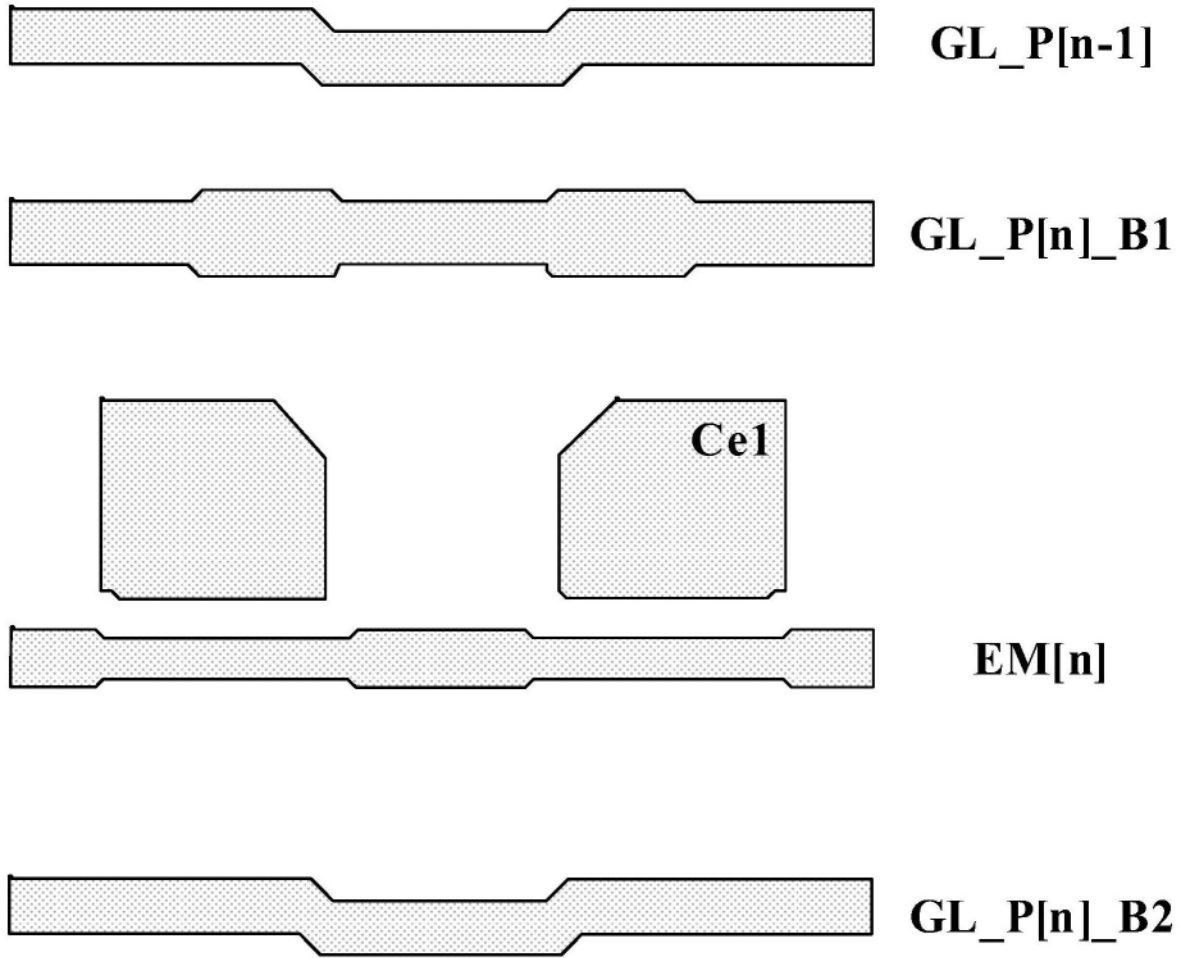


图3C

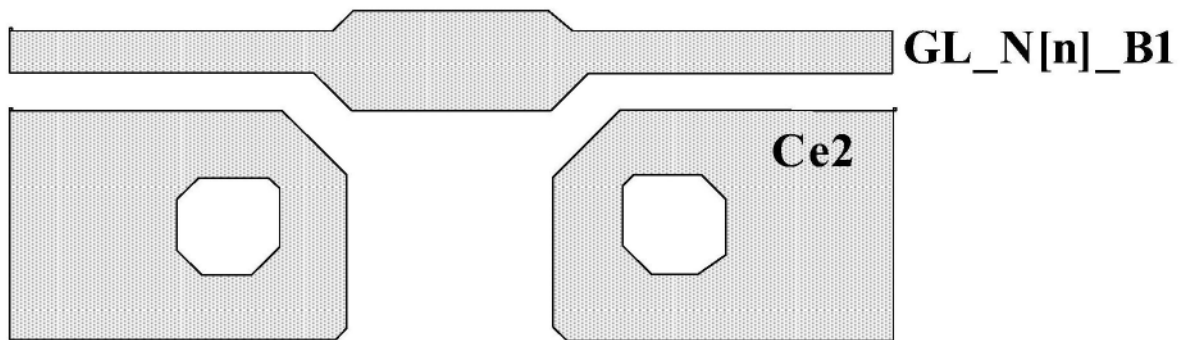


图3D

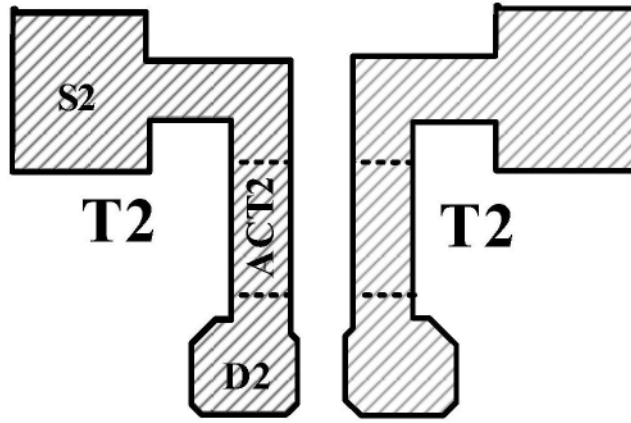


图3E



图3F

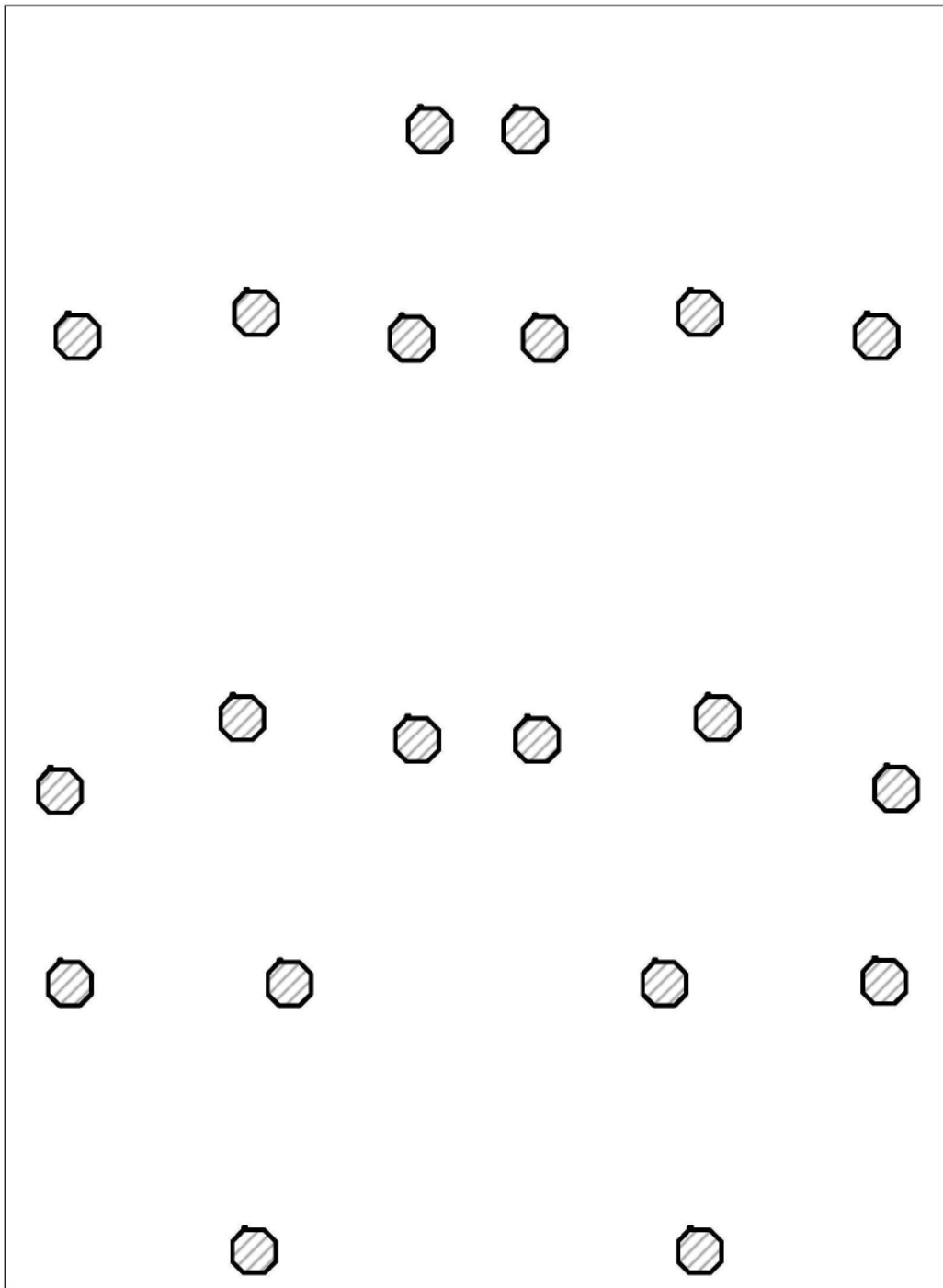


图3G

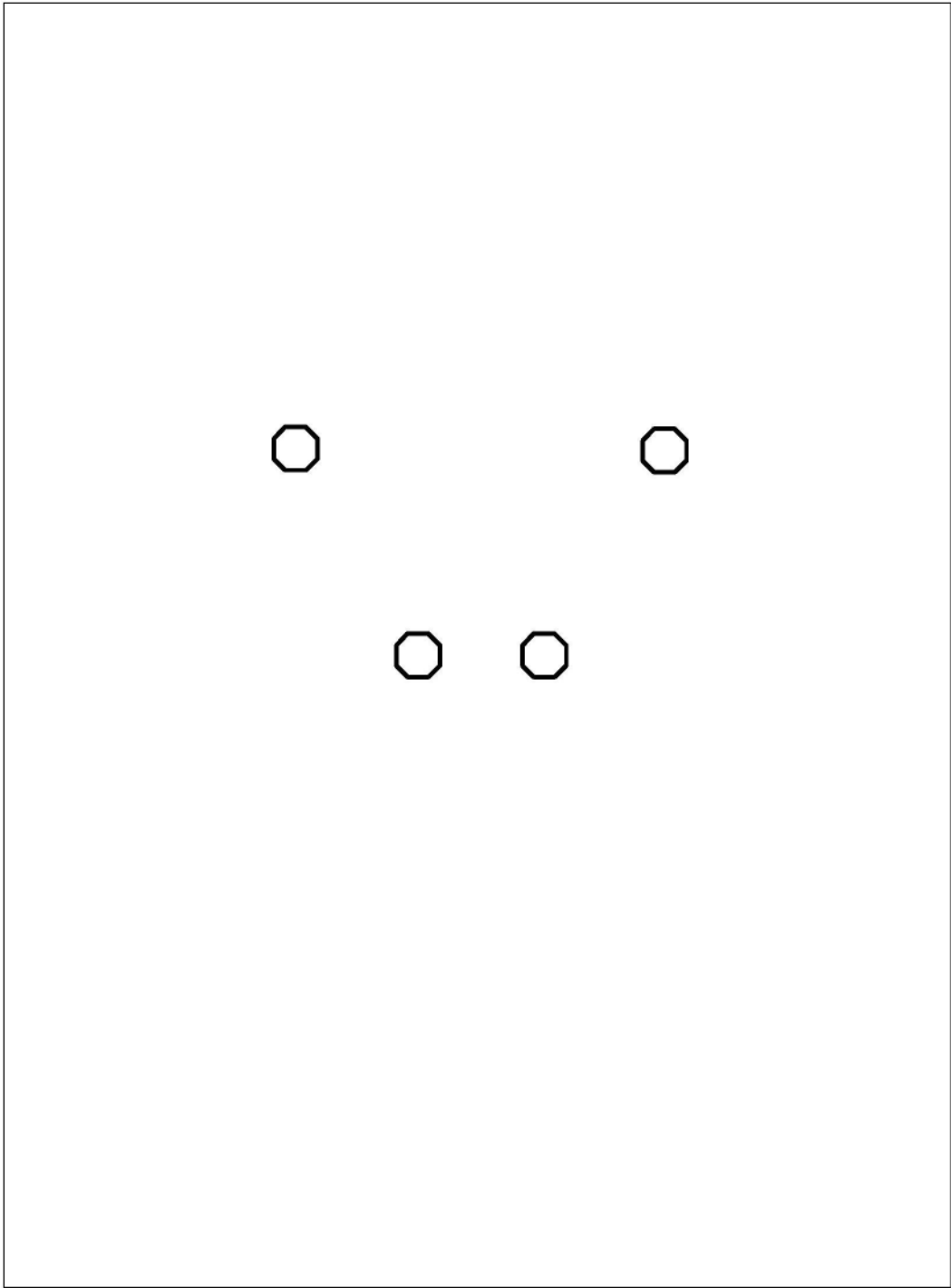


图3H

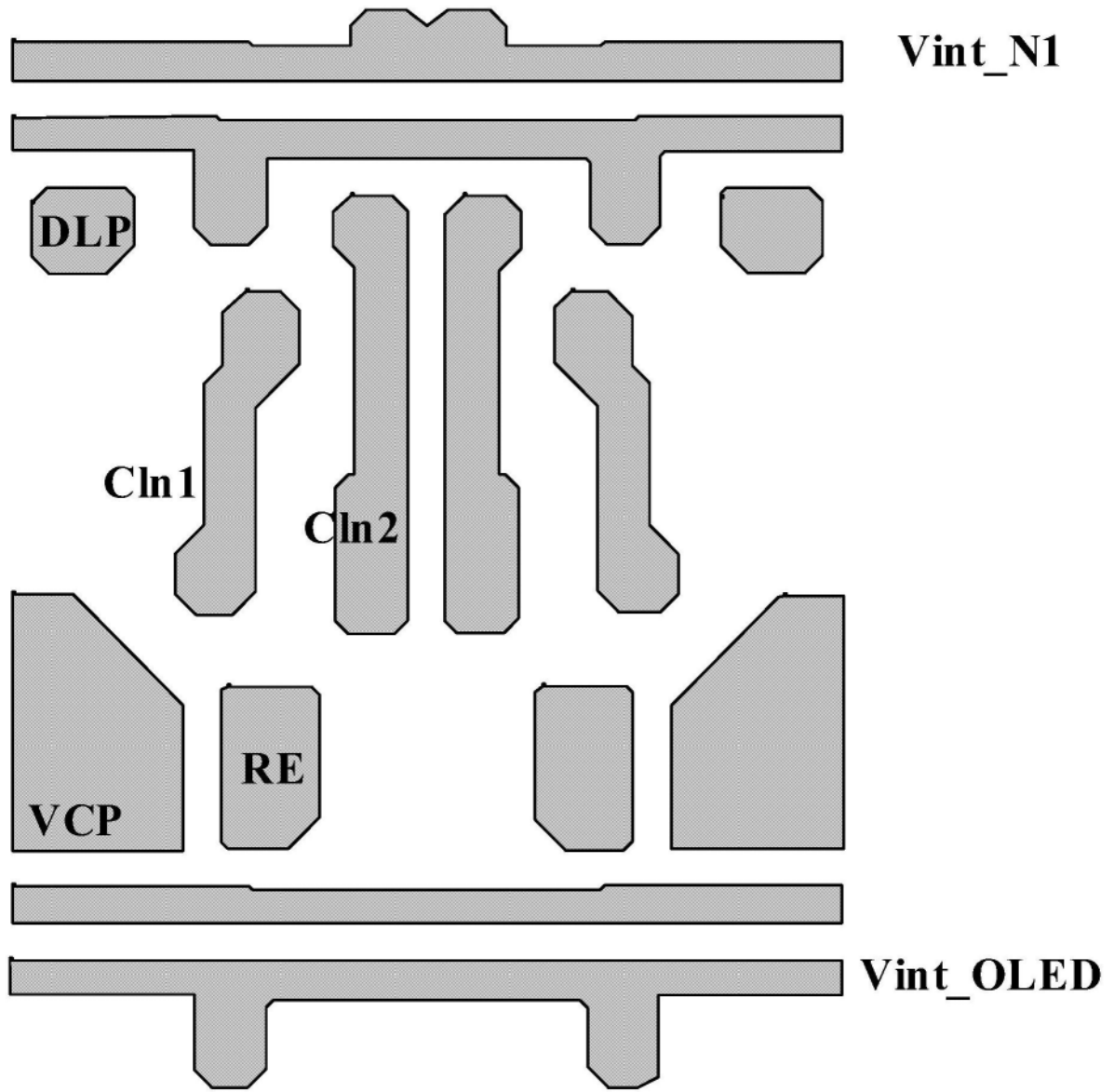


图3I

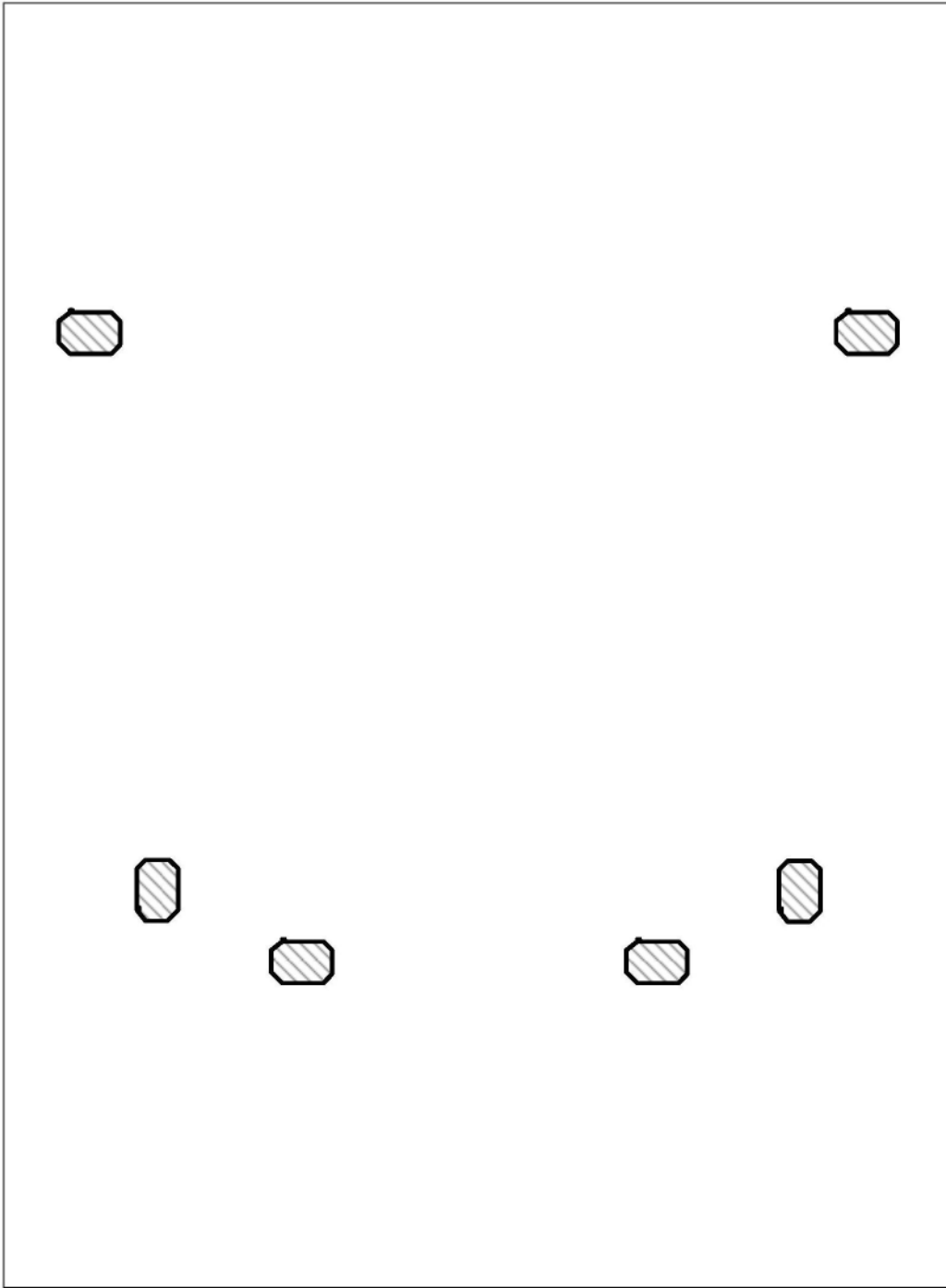


图3J

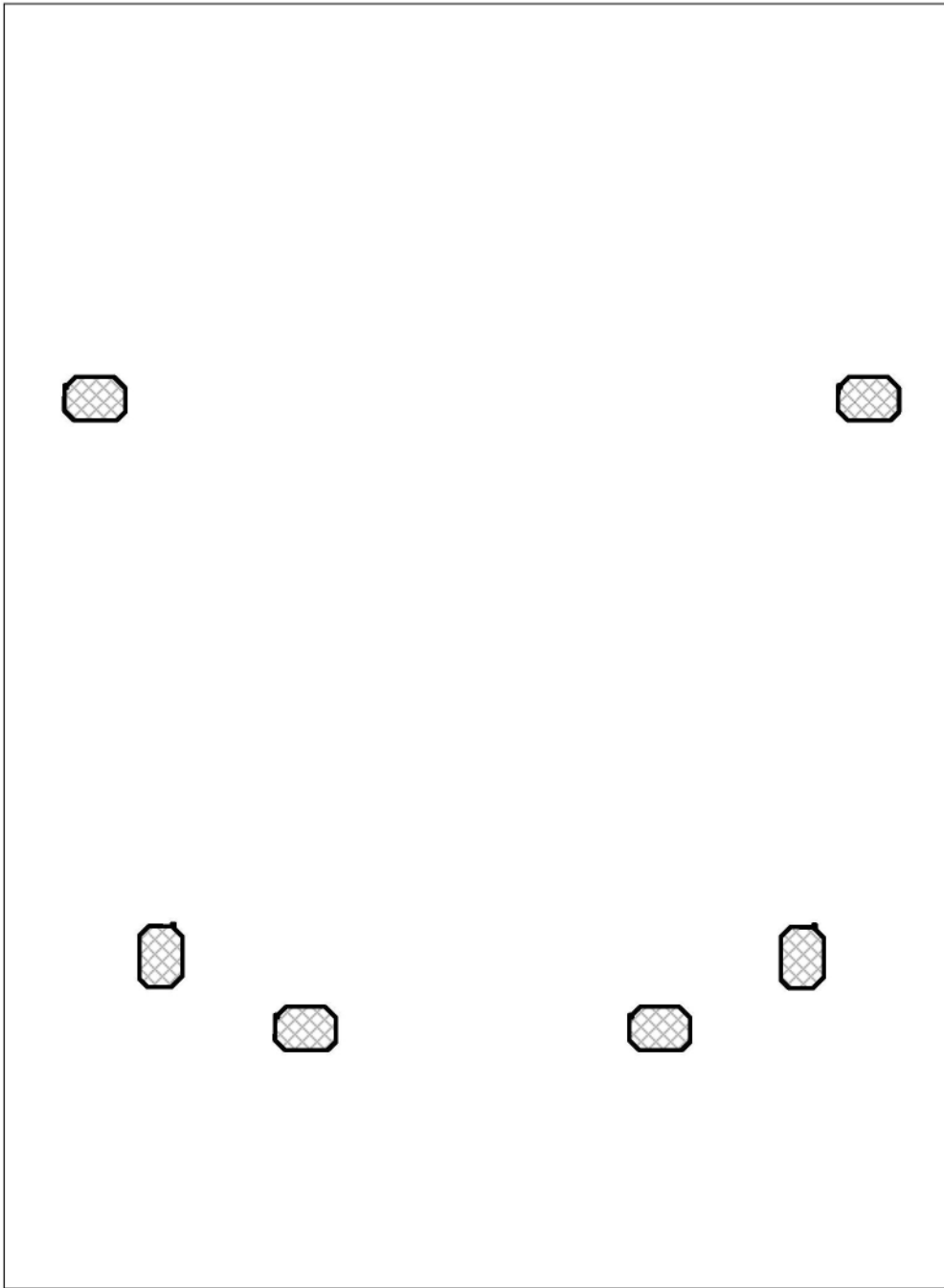


图3K

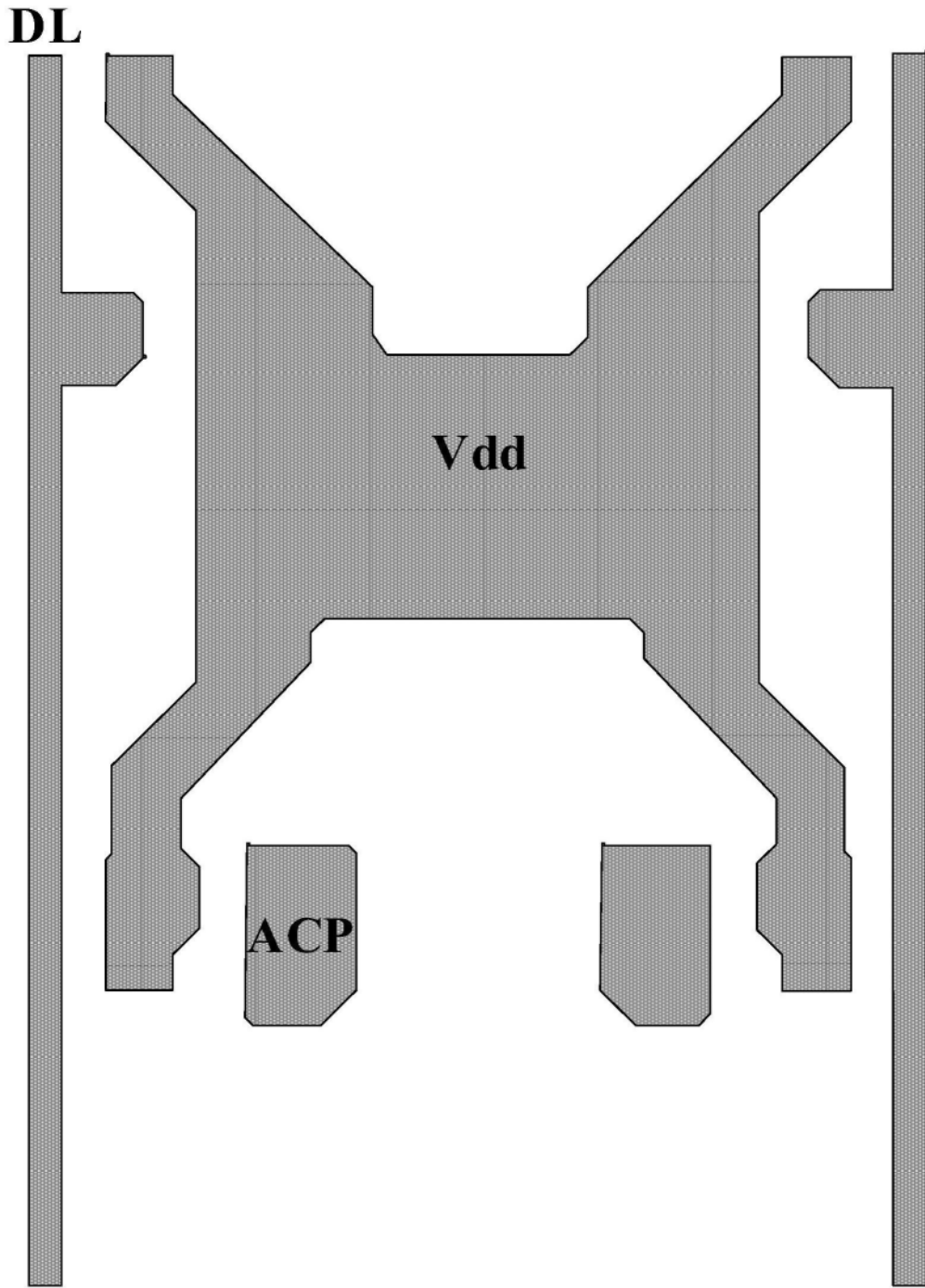


图3L

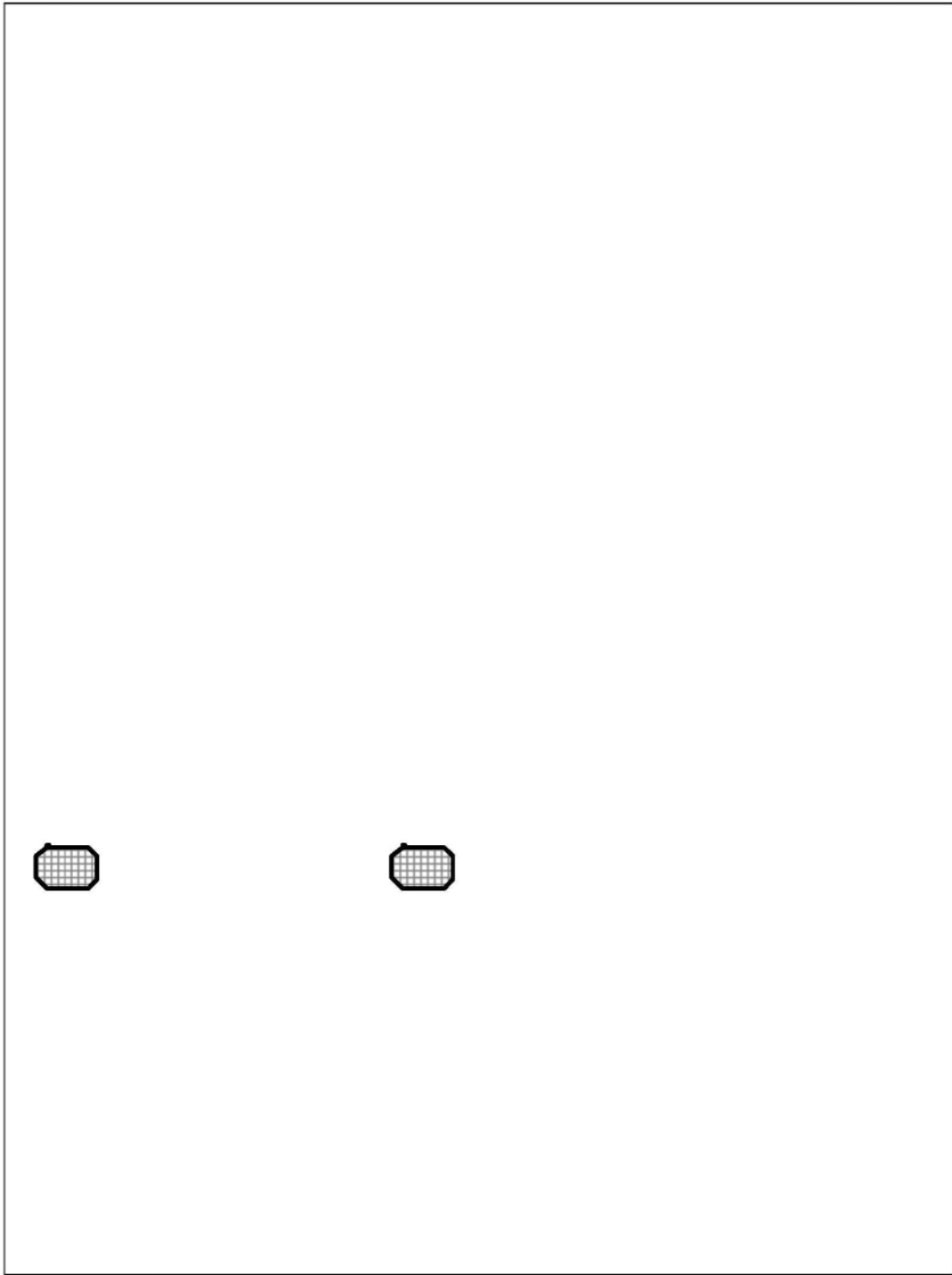


图3M

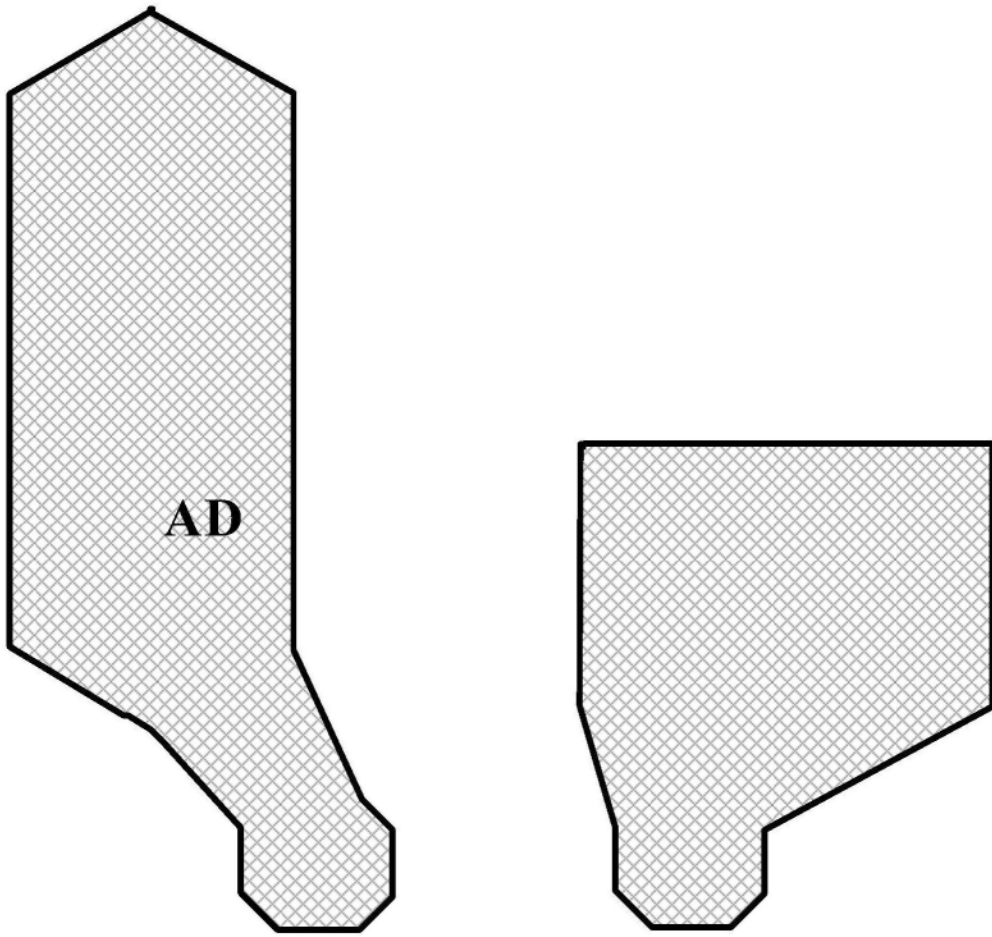


图3N

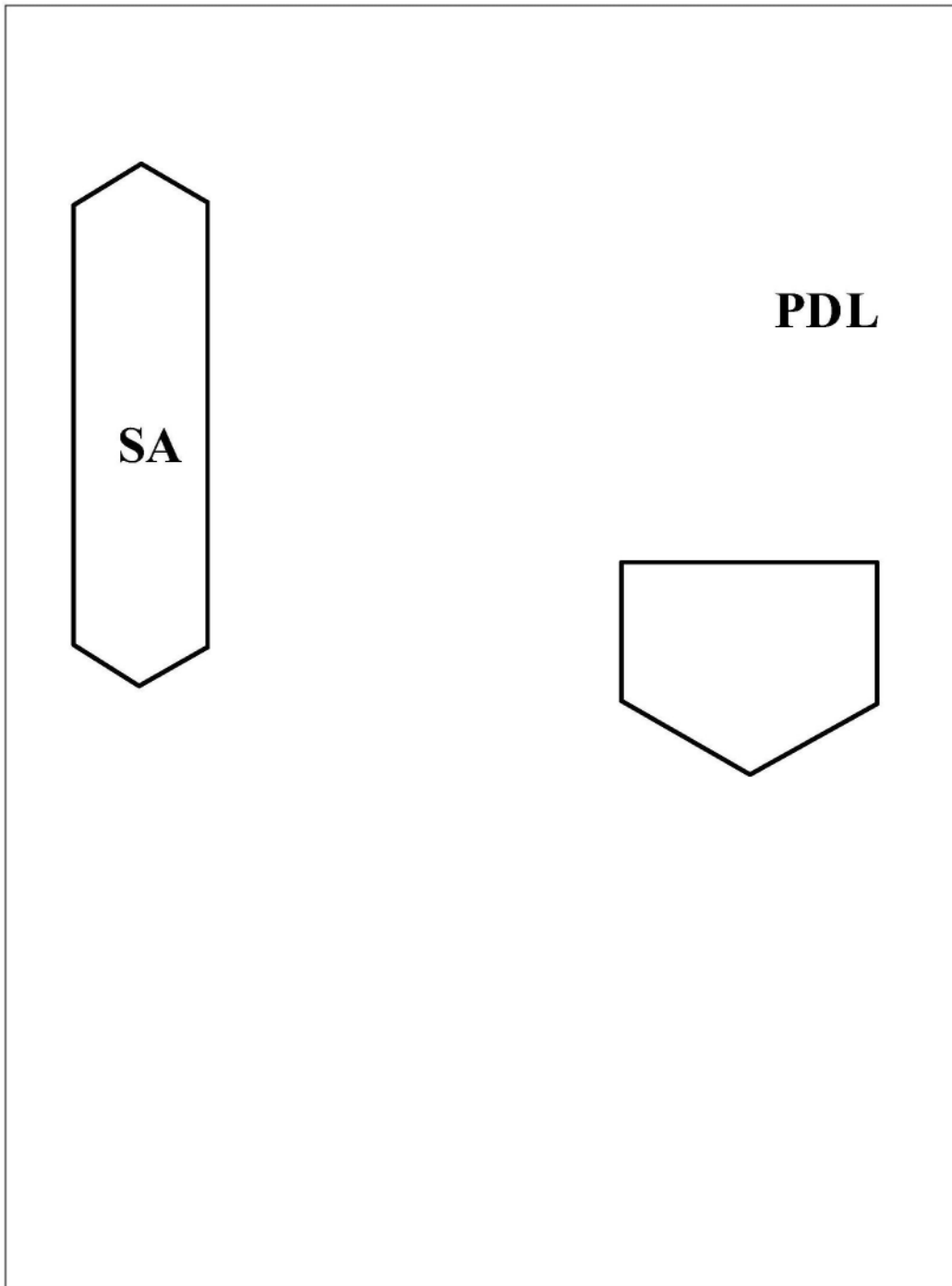


图30

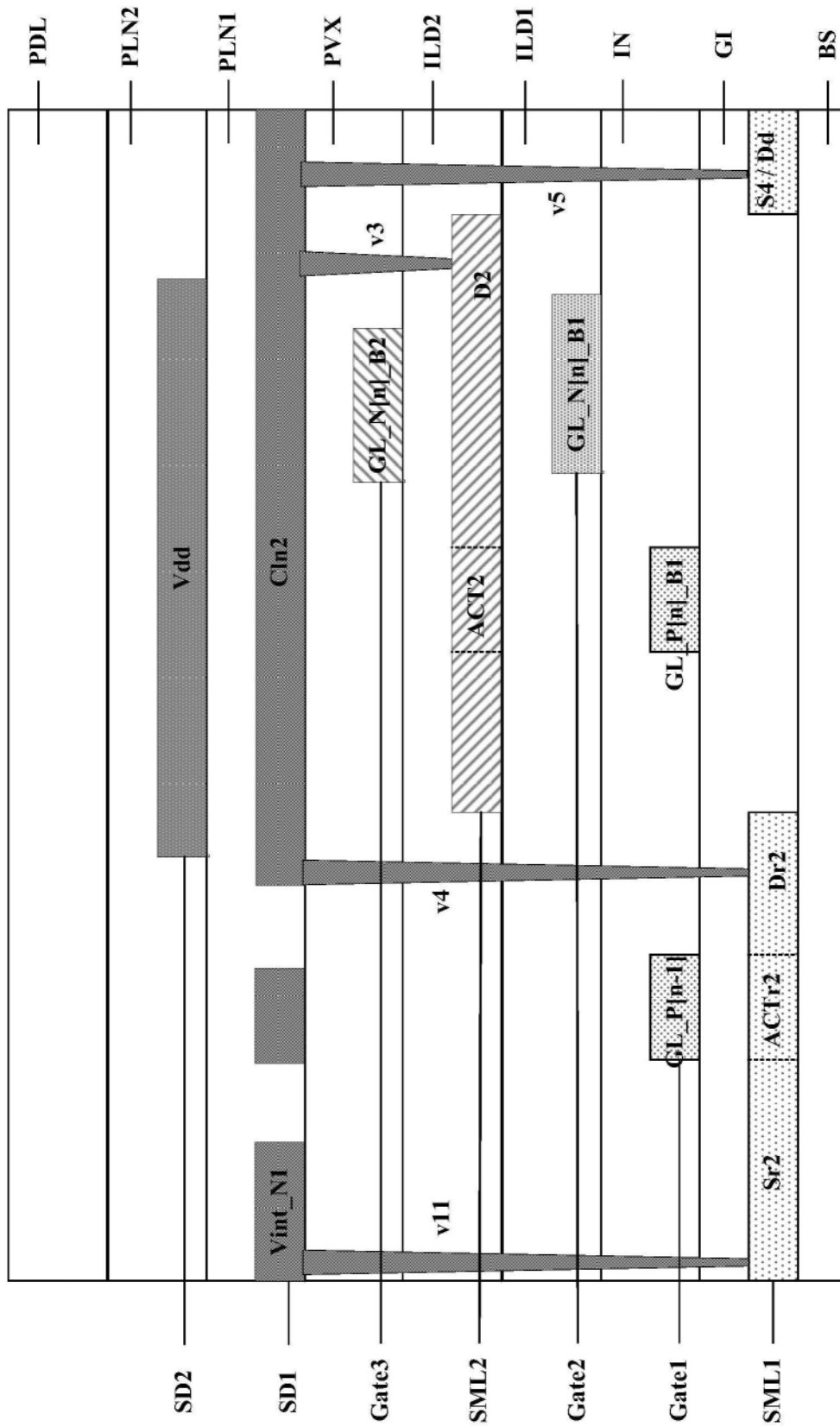


图4A

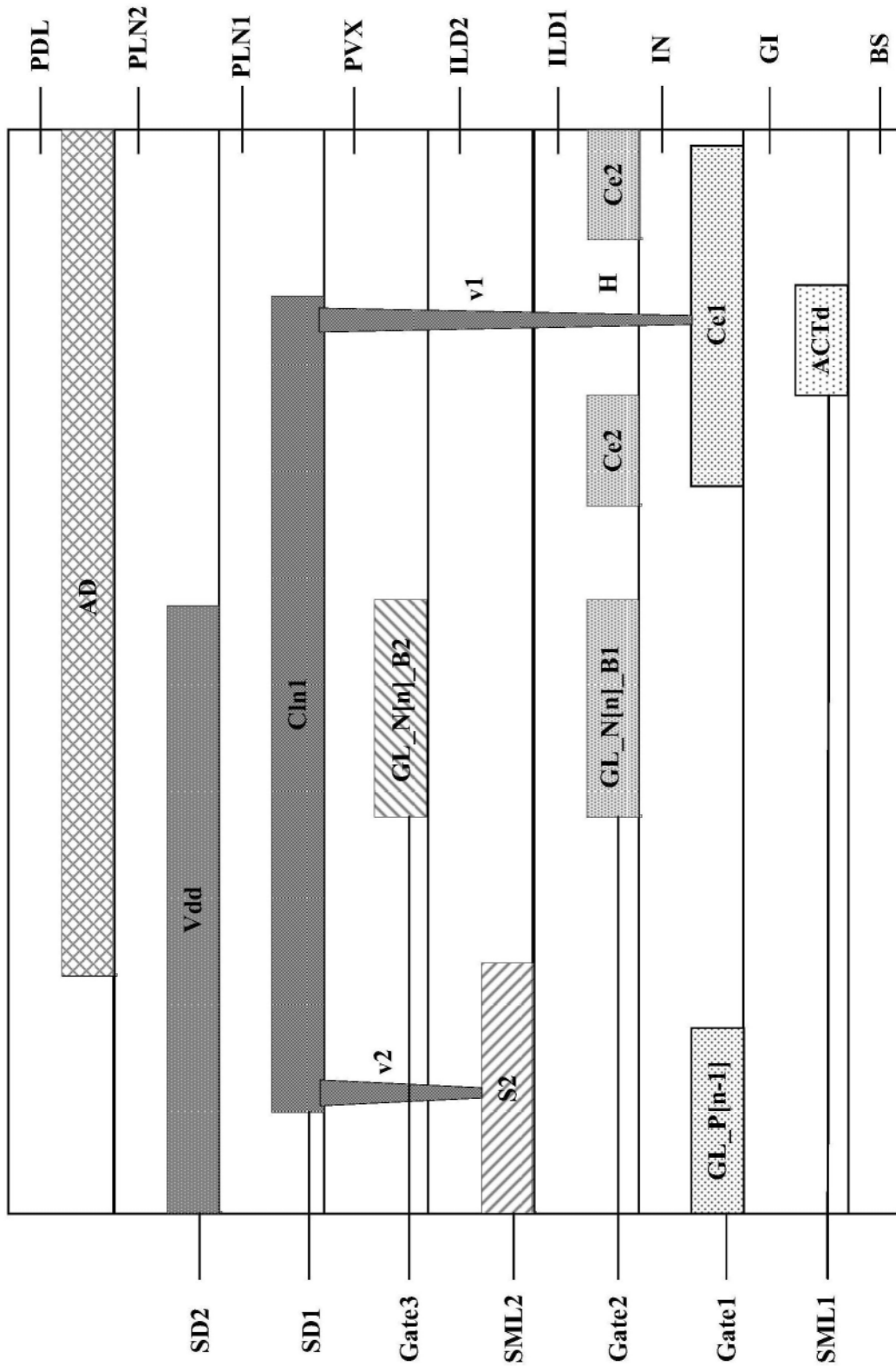


图4B

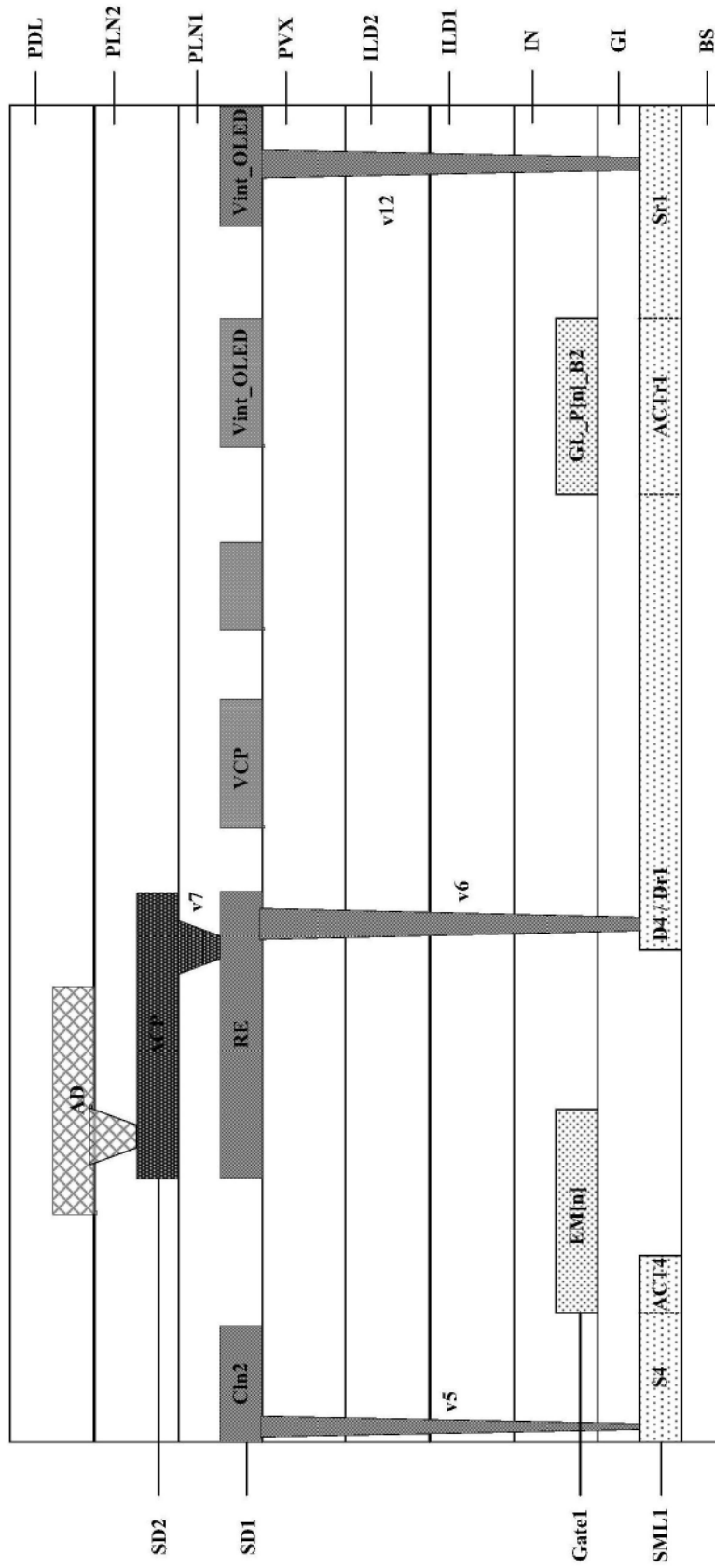


图4C

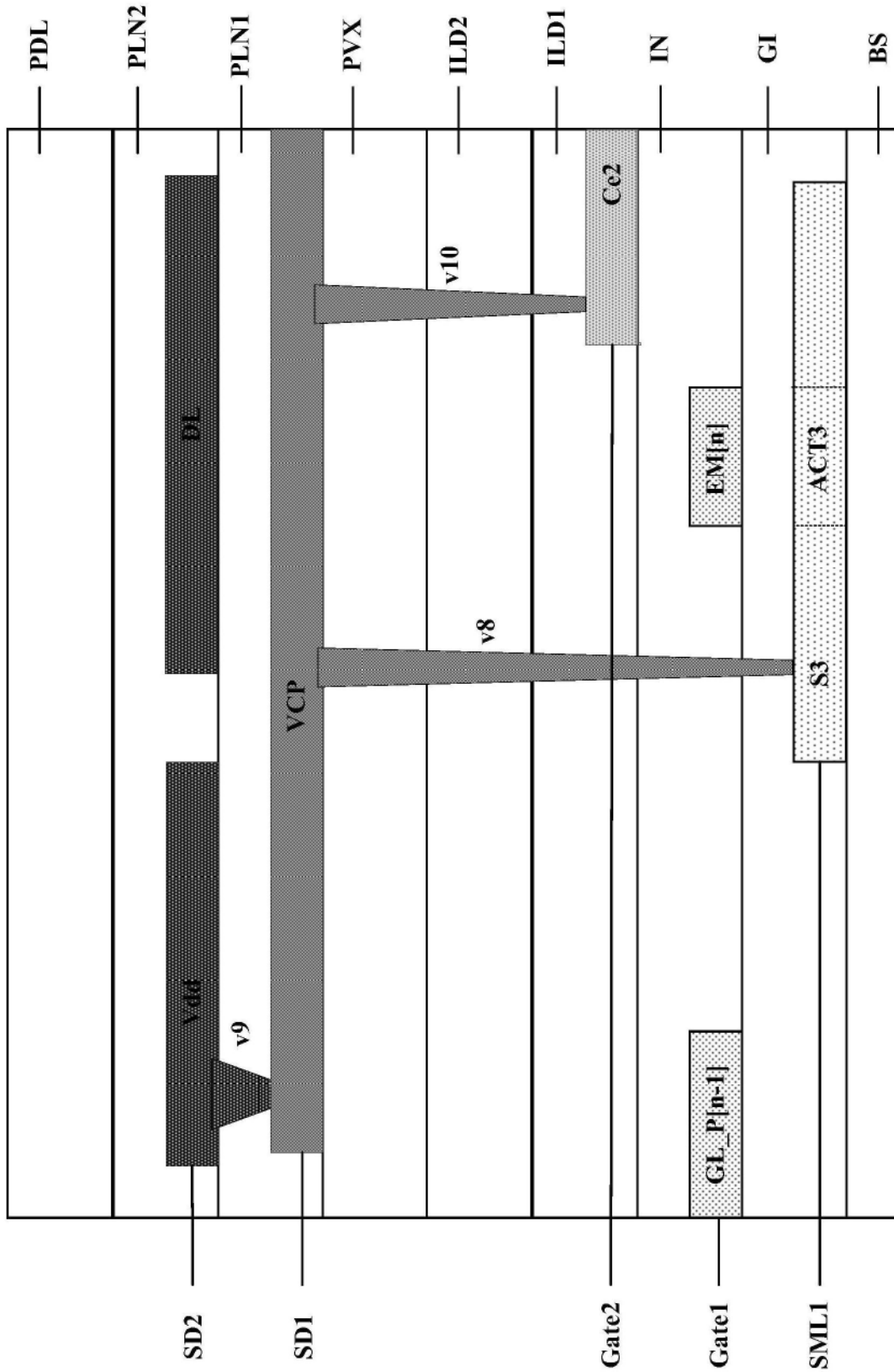


图4D

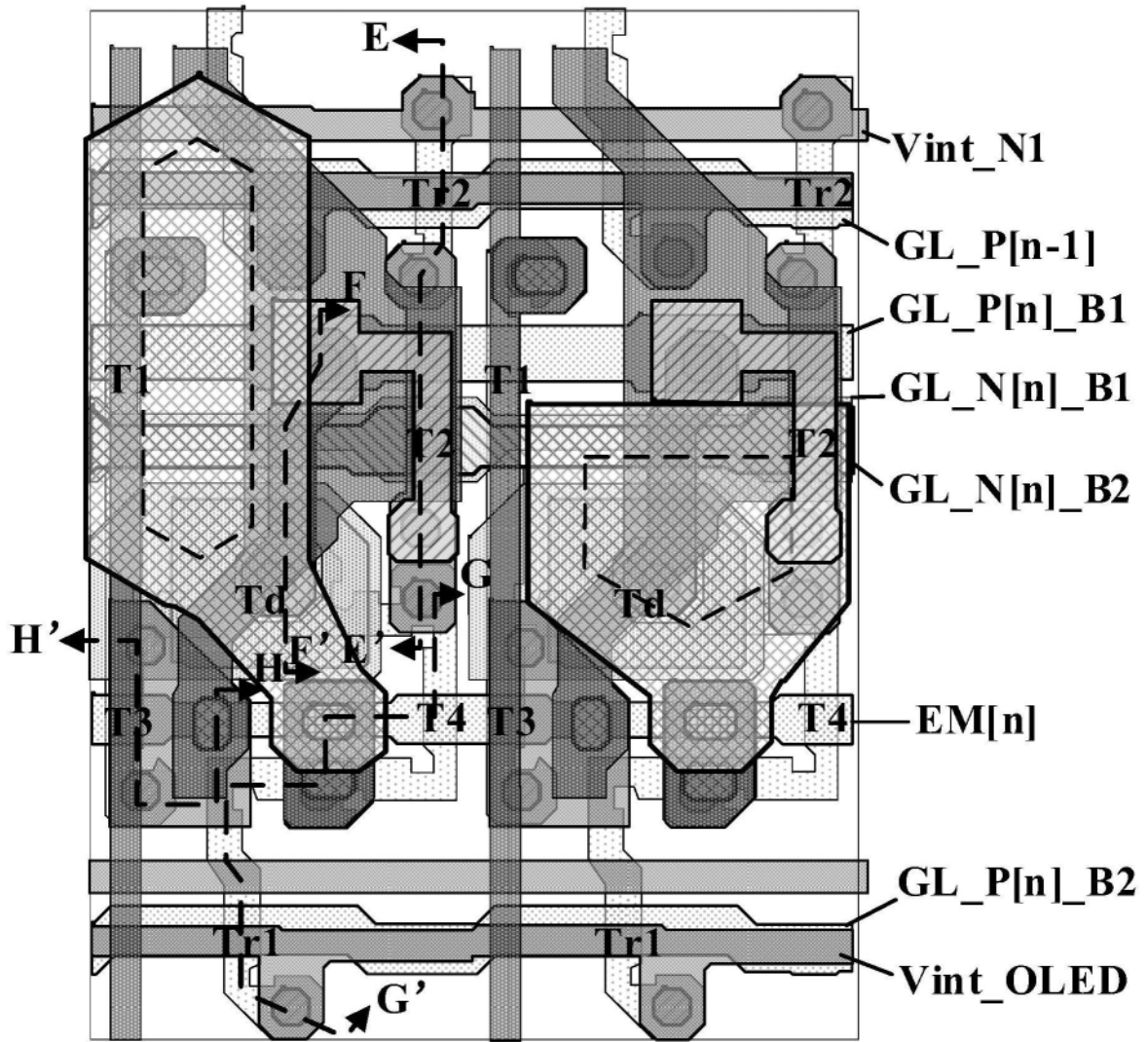


图5A

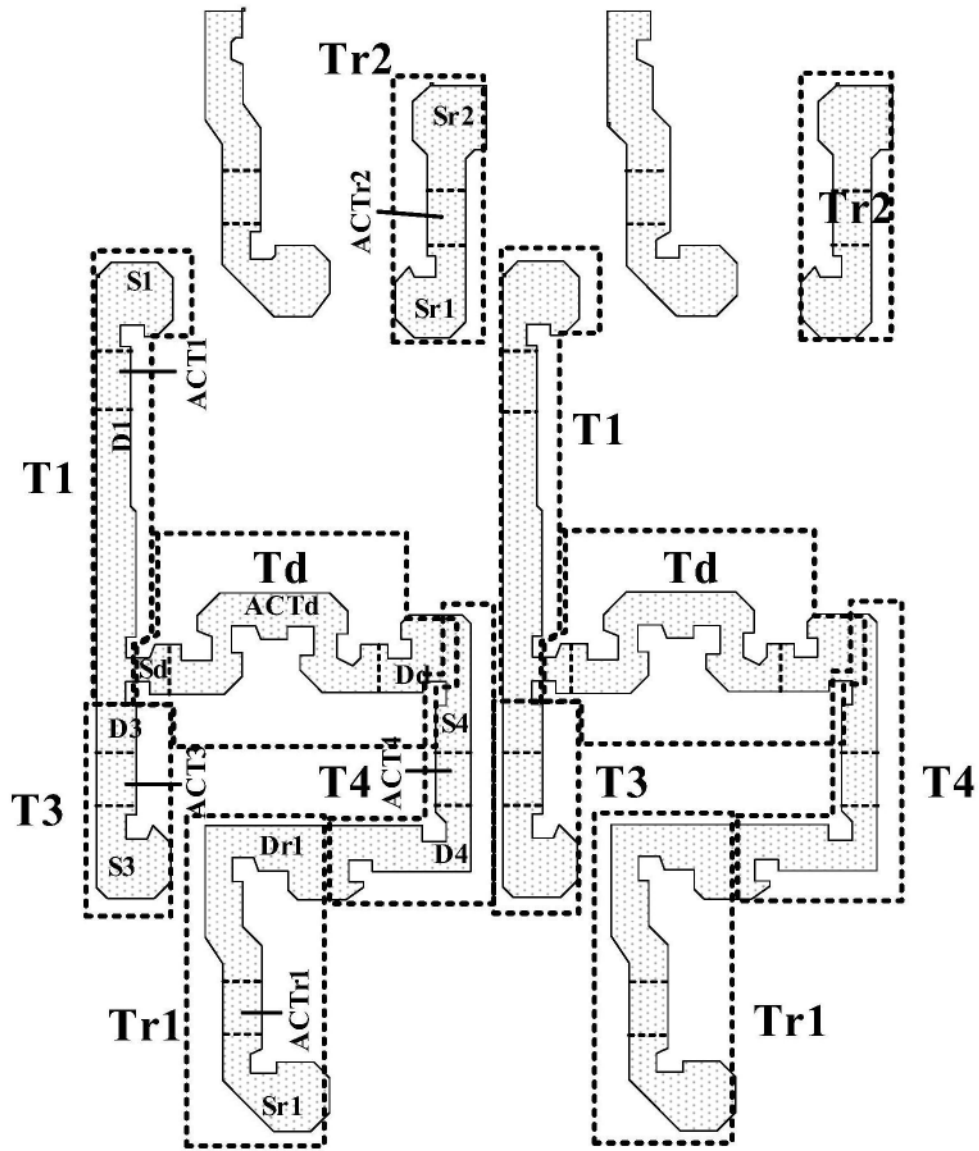


图5B

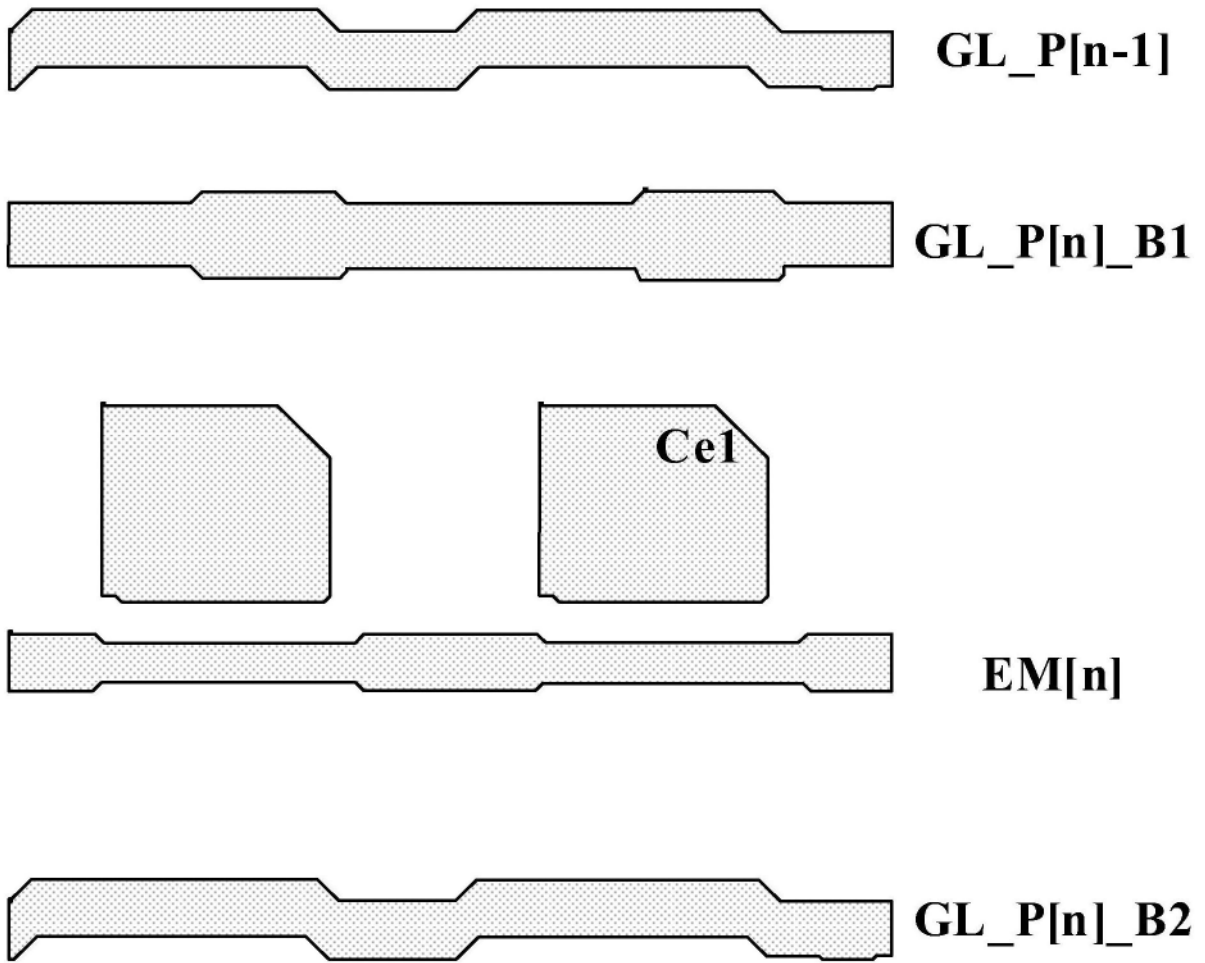


图5C

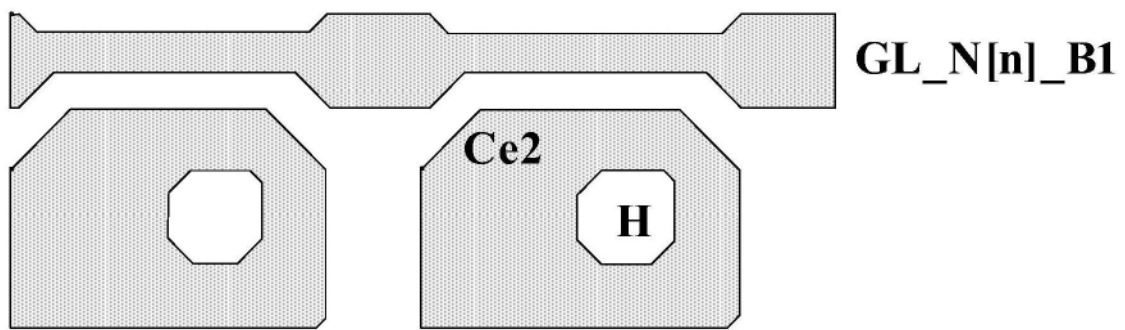


图5D

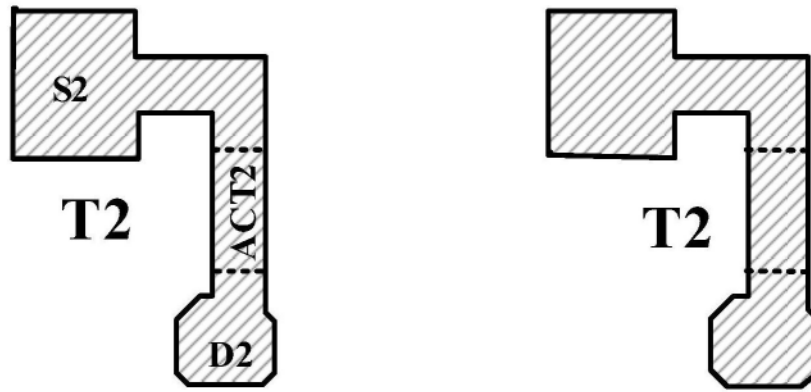


图5E



图5F

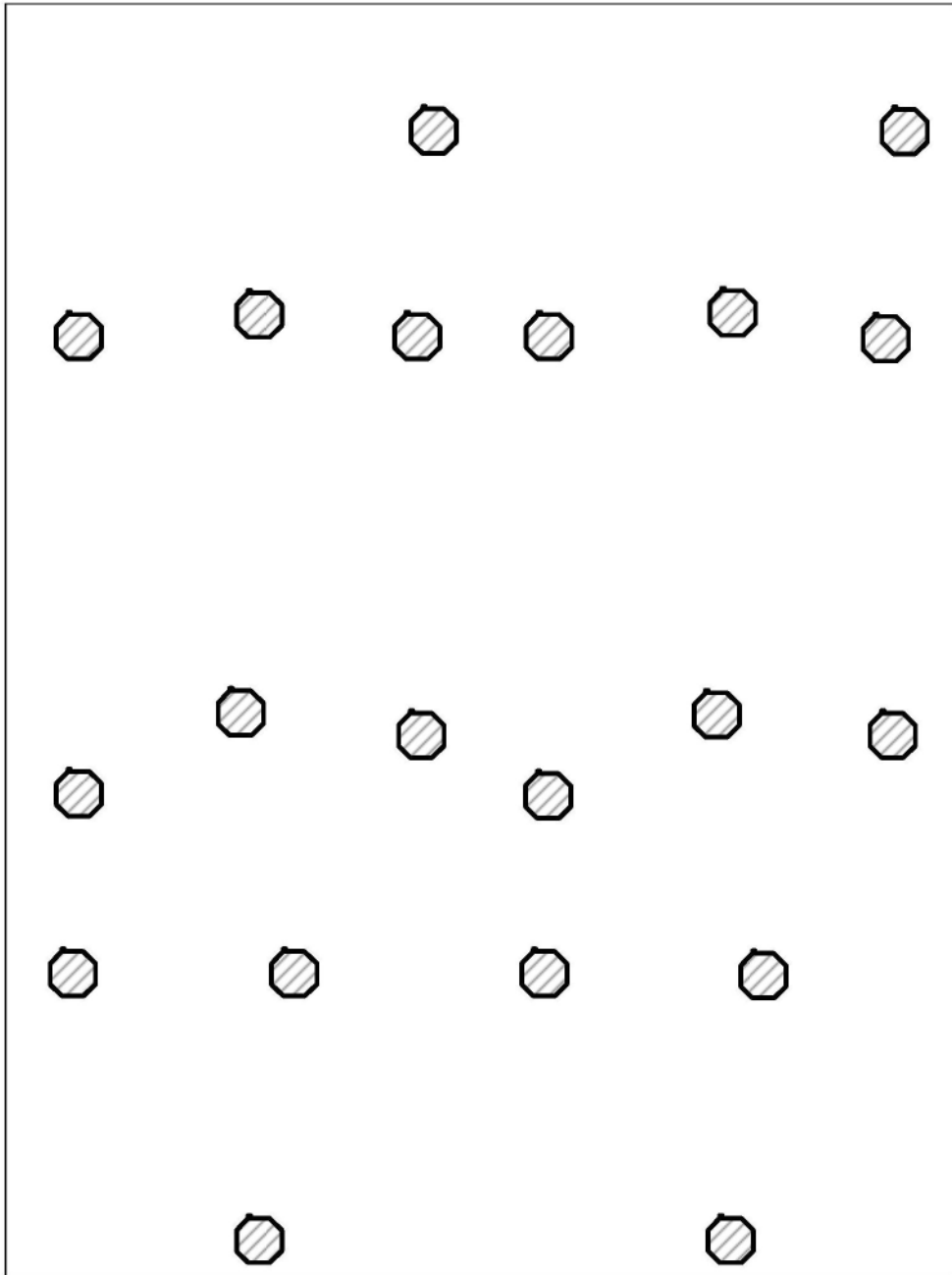


图5G

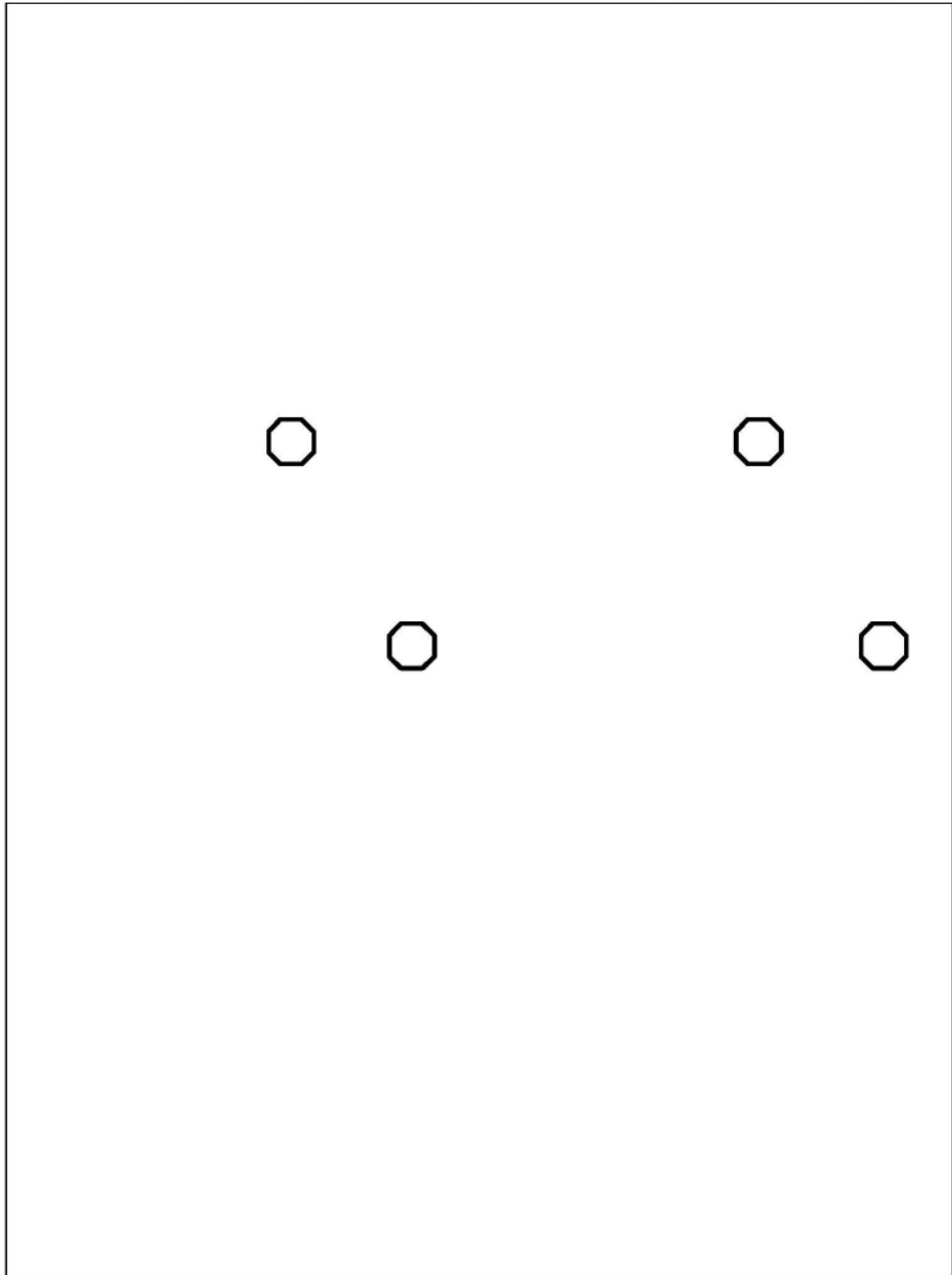


图5H

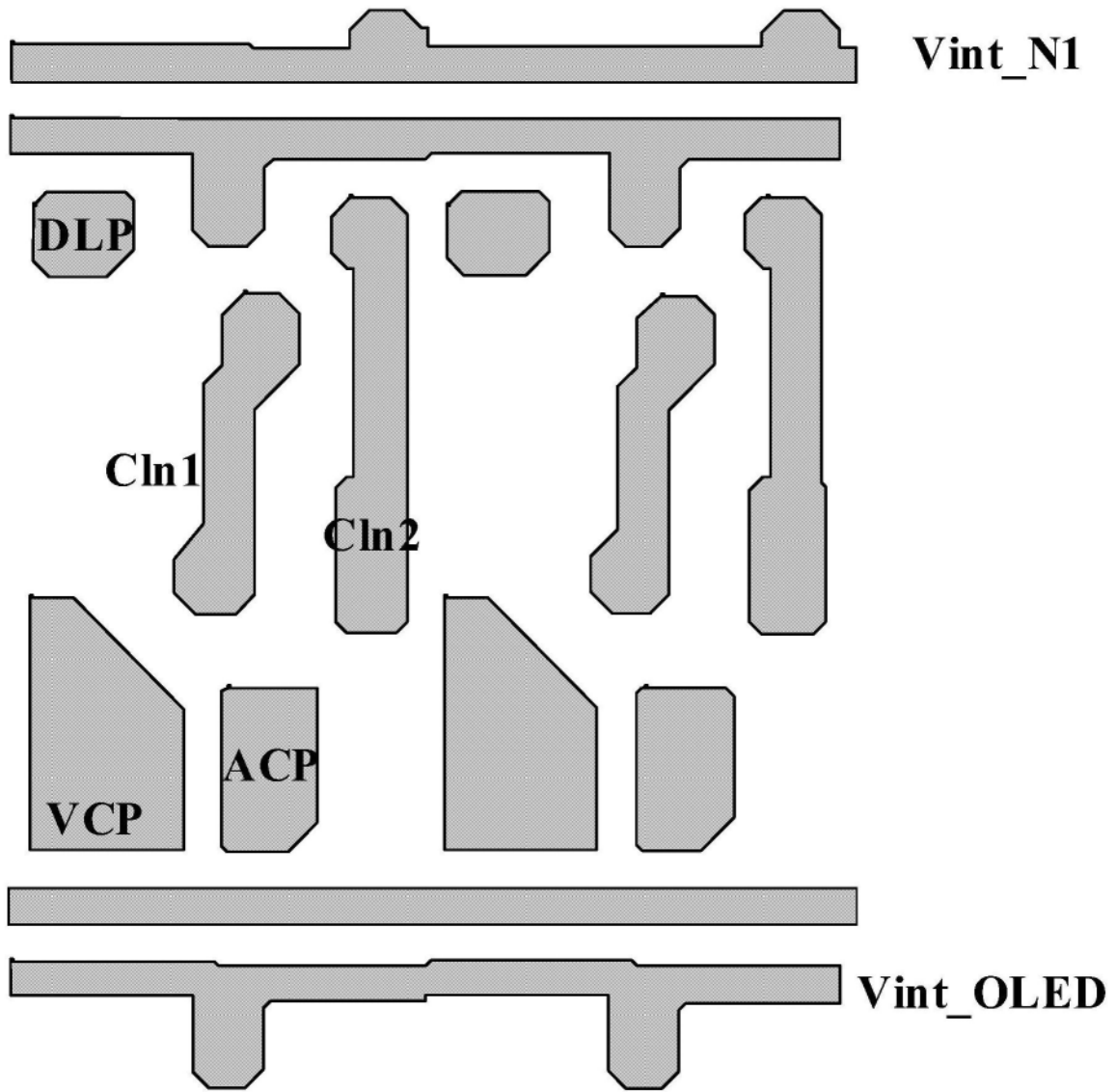


图5I

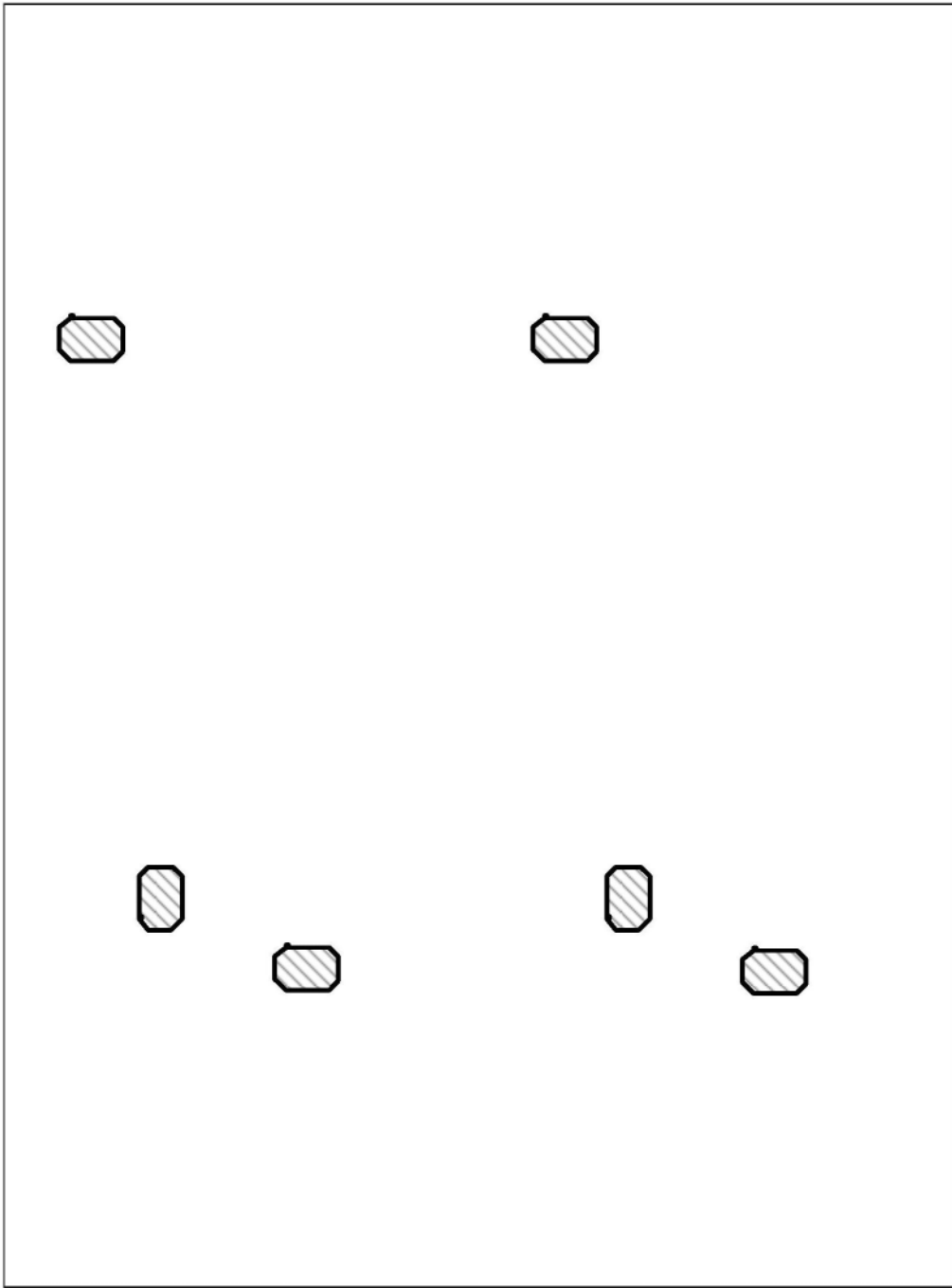


图5J

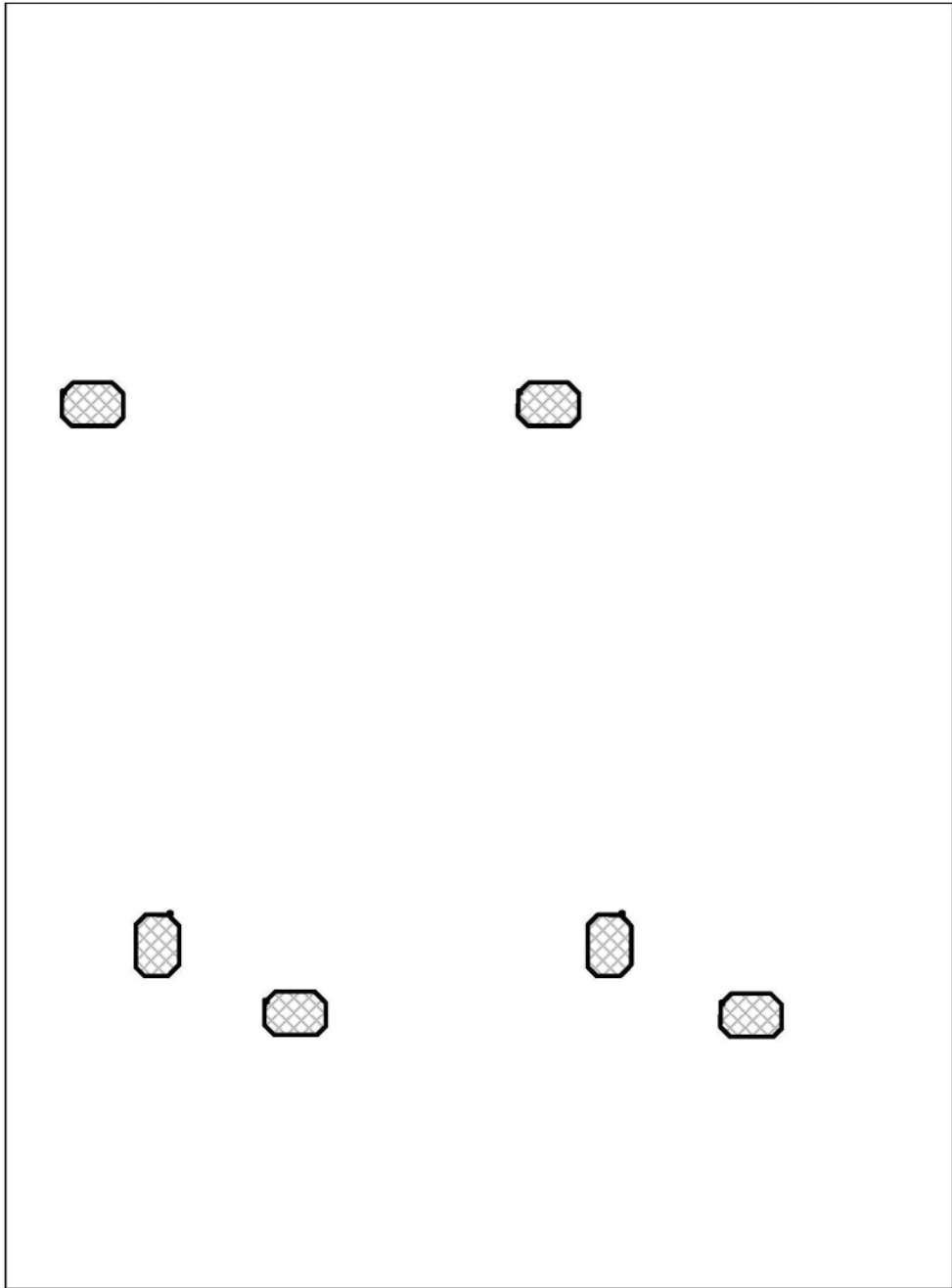


图5K

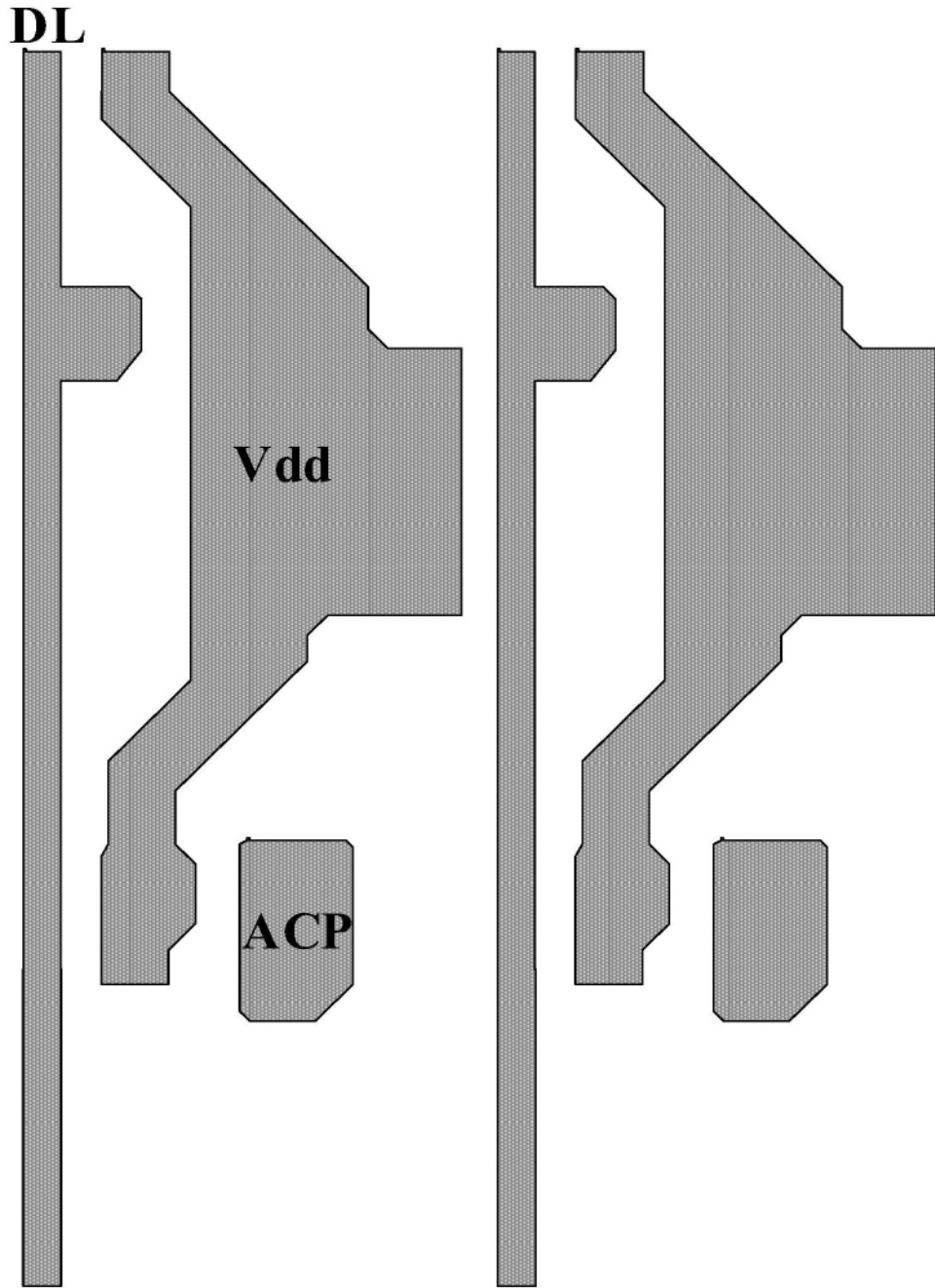


图5L

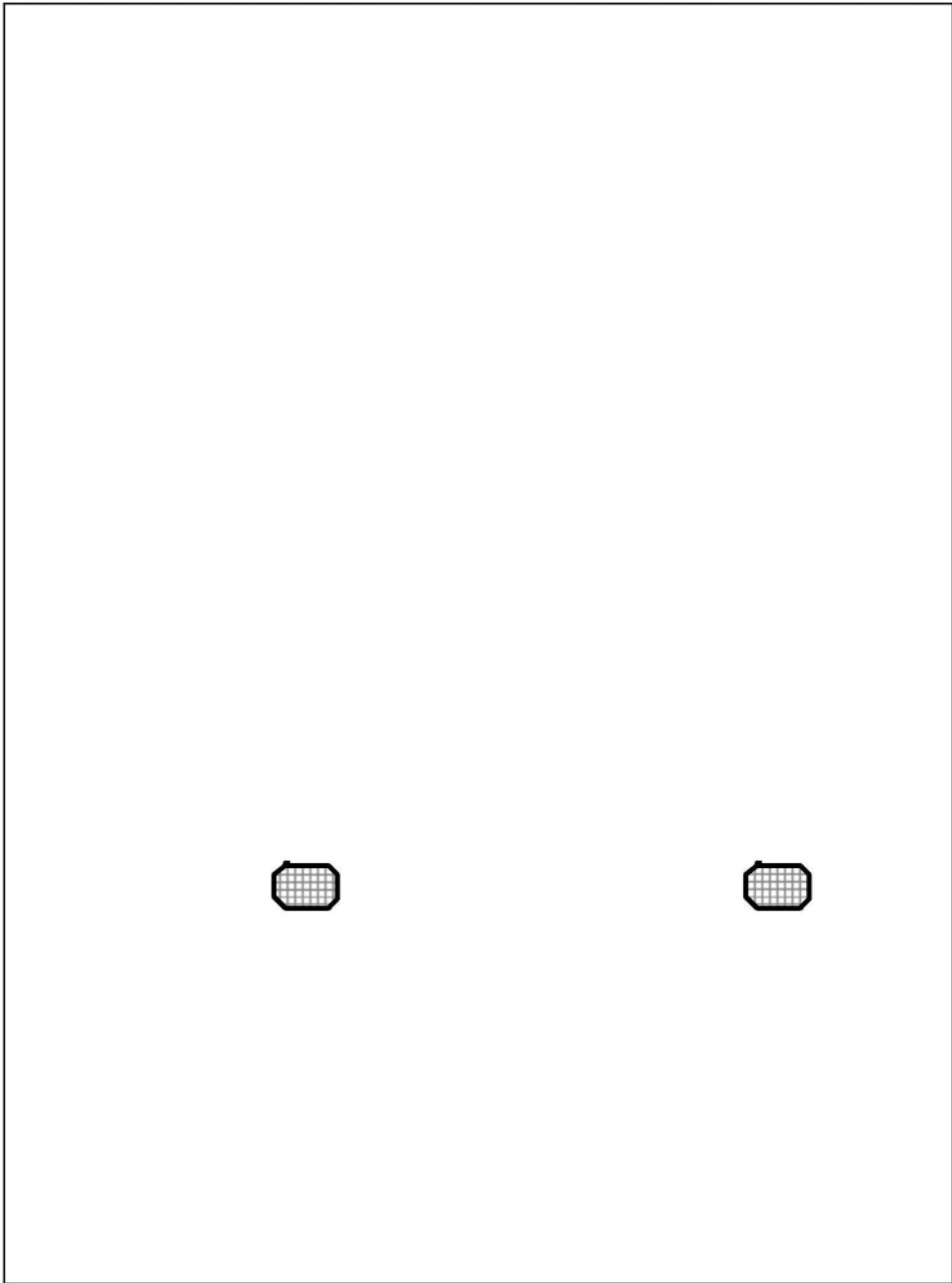


图5M

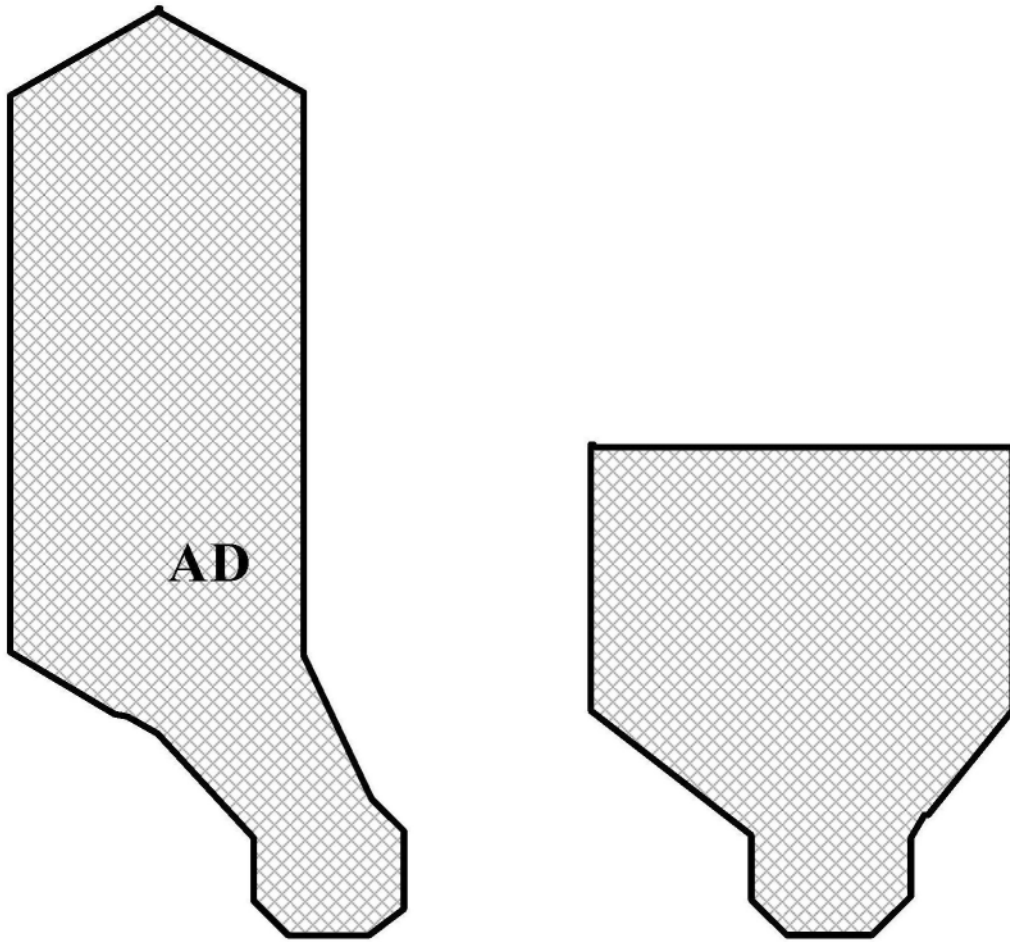


图5N

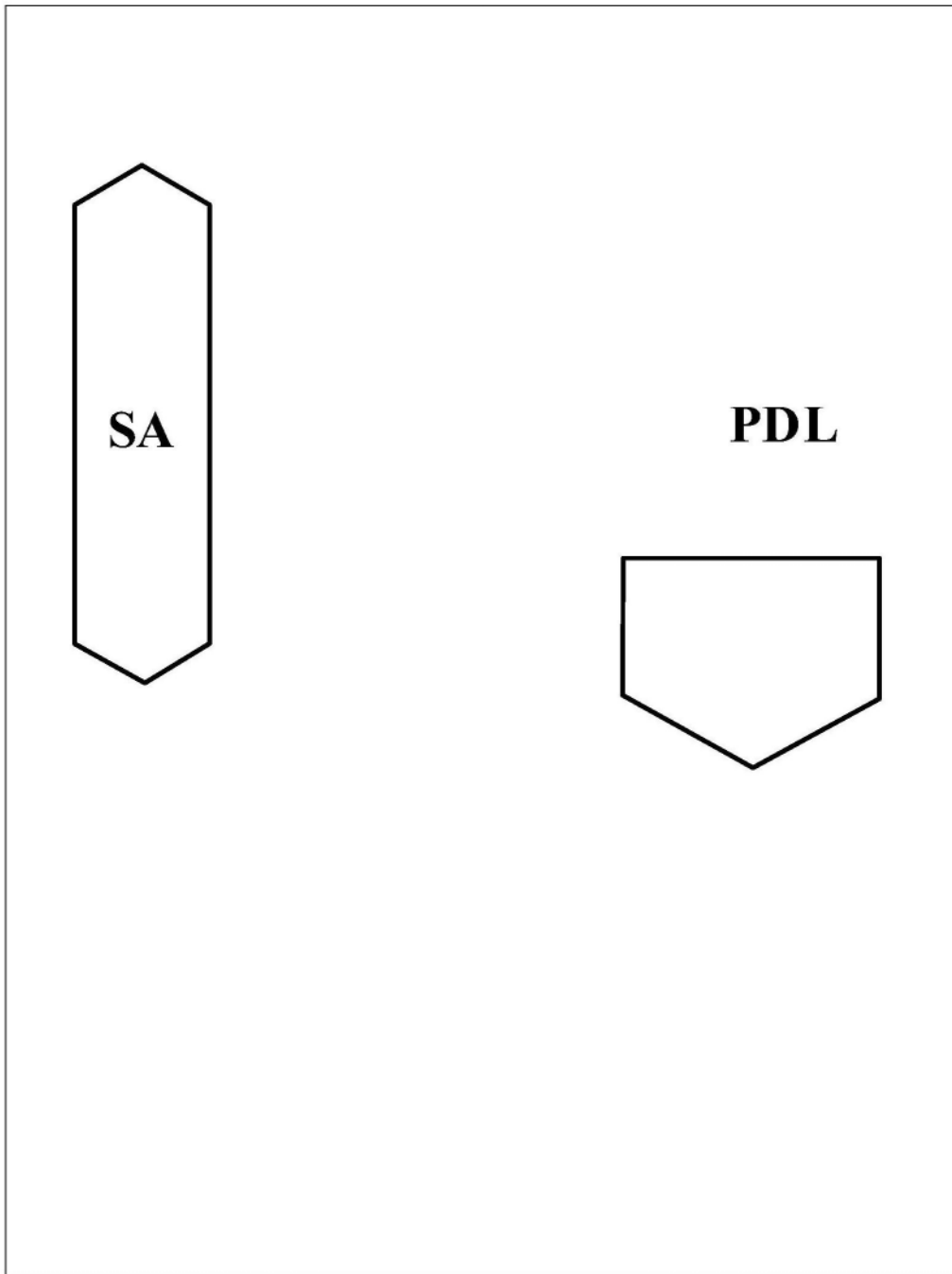


图50

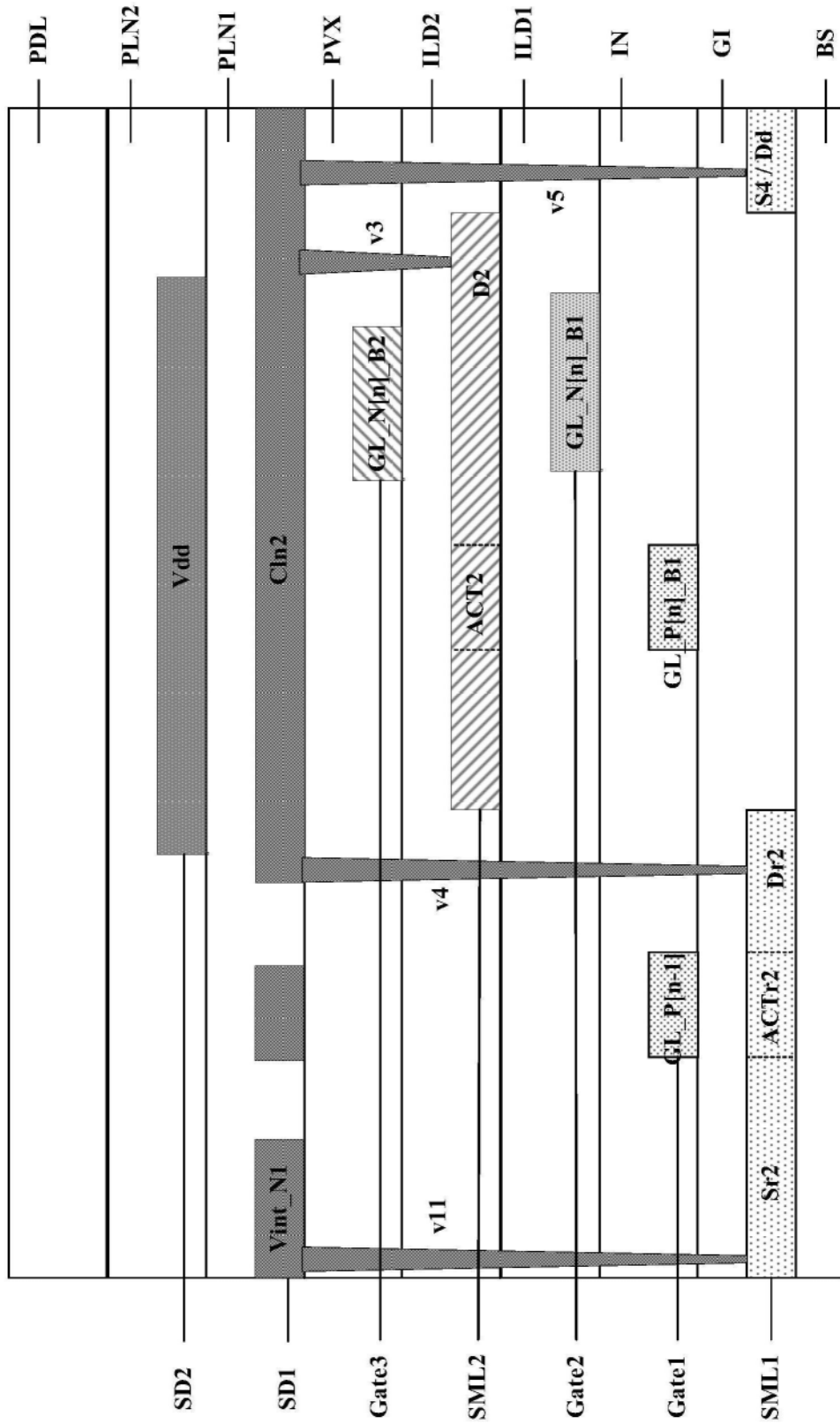


图6A

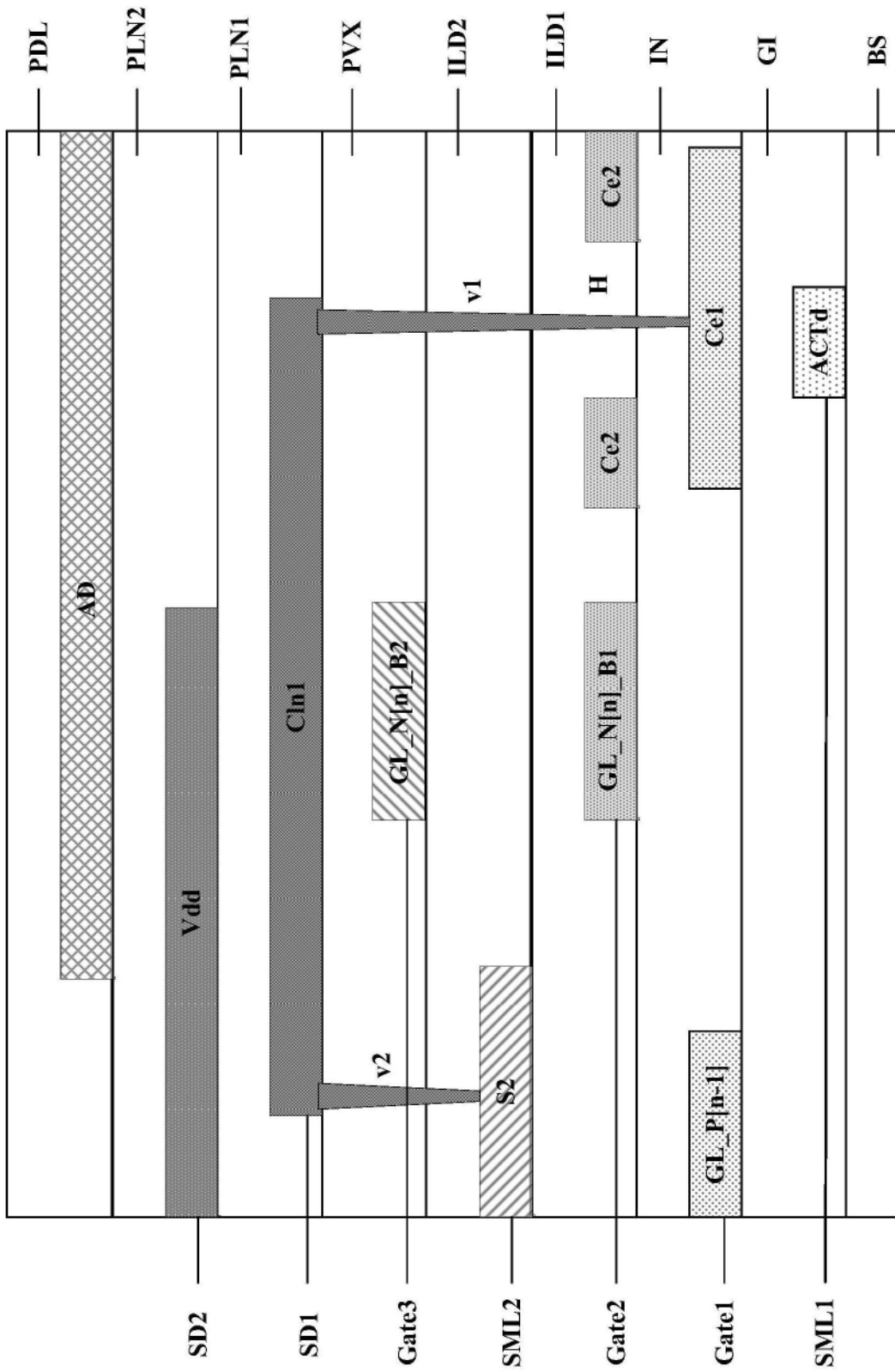


图6B

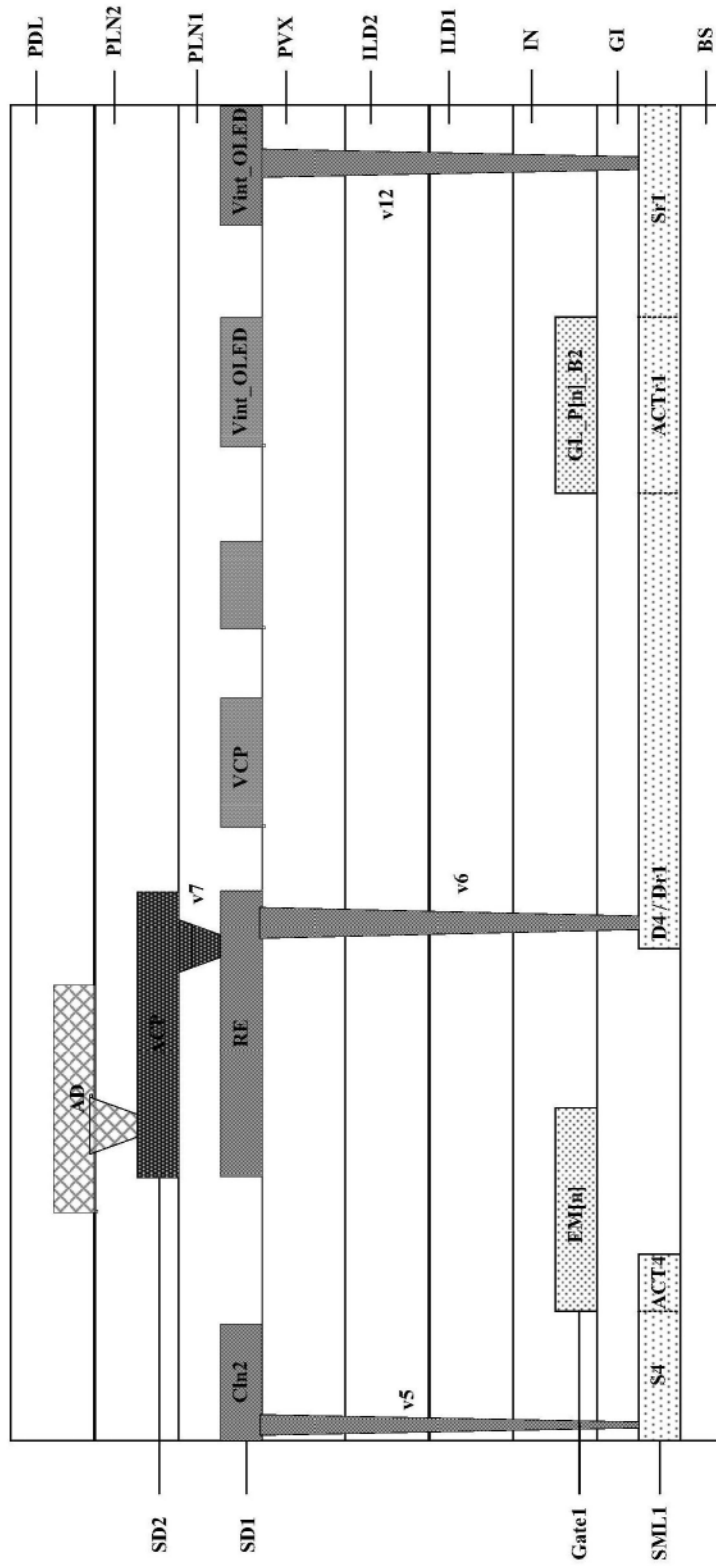


图6C

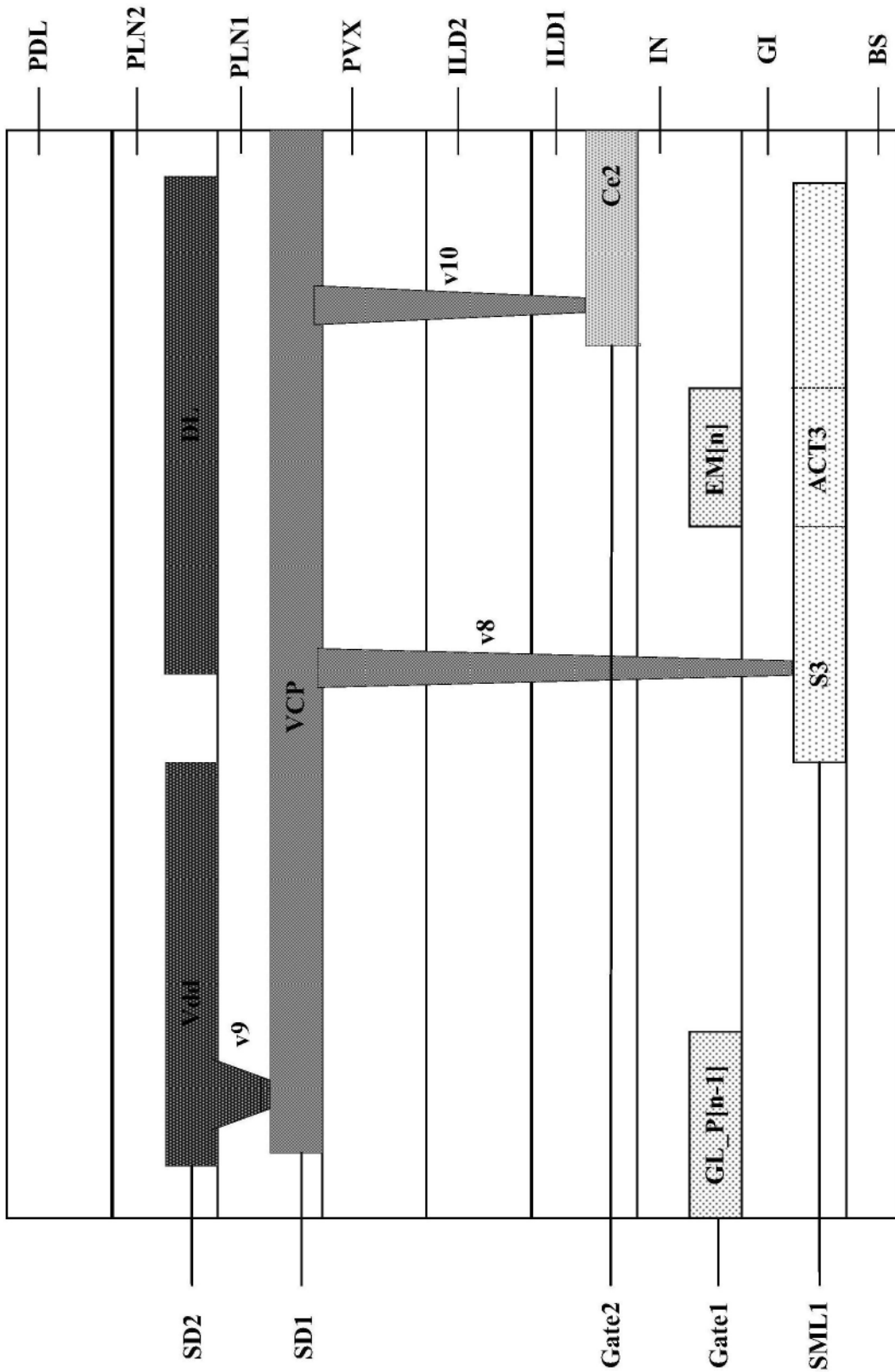


图6D

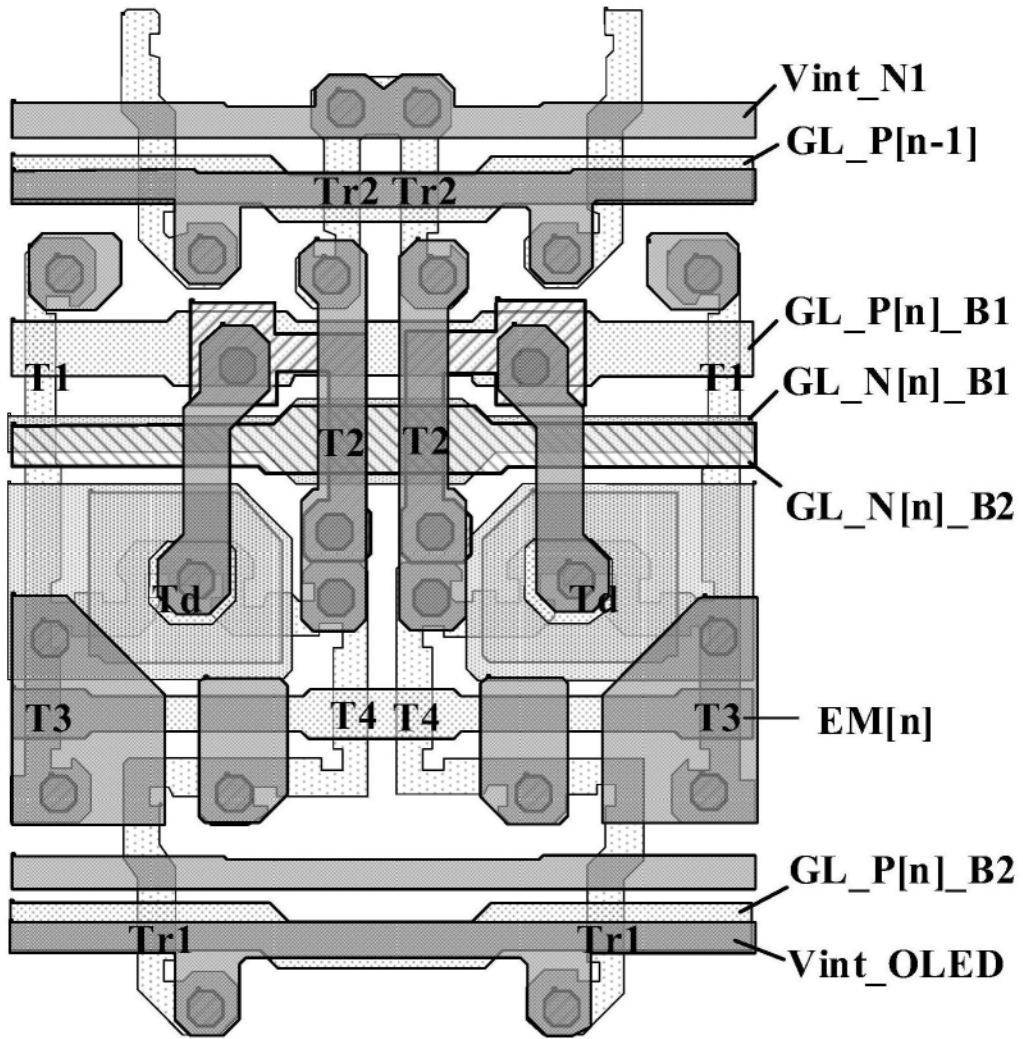


图7A

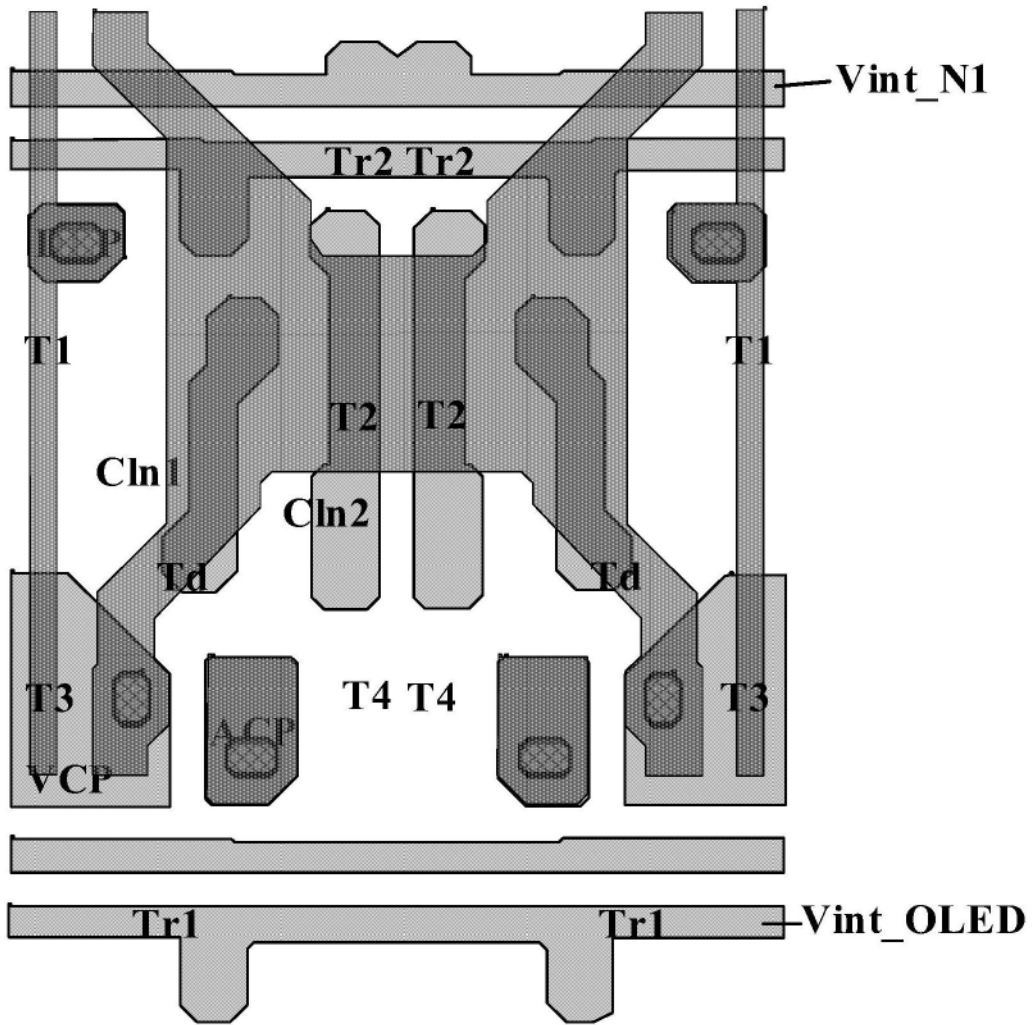


图7B

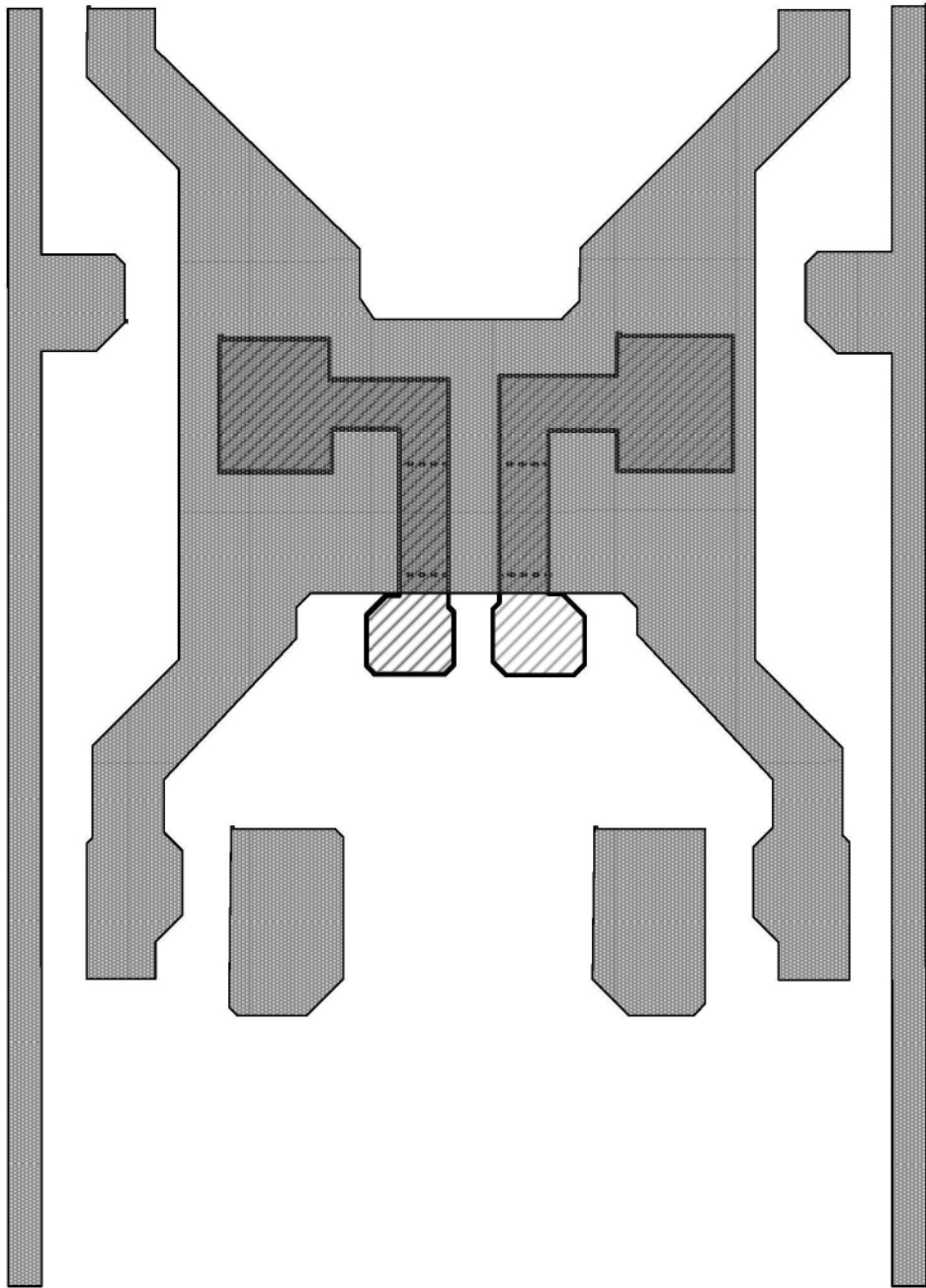


图7C

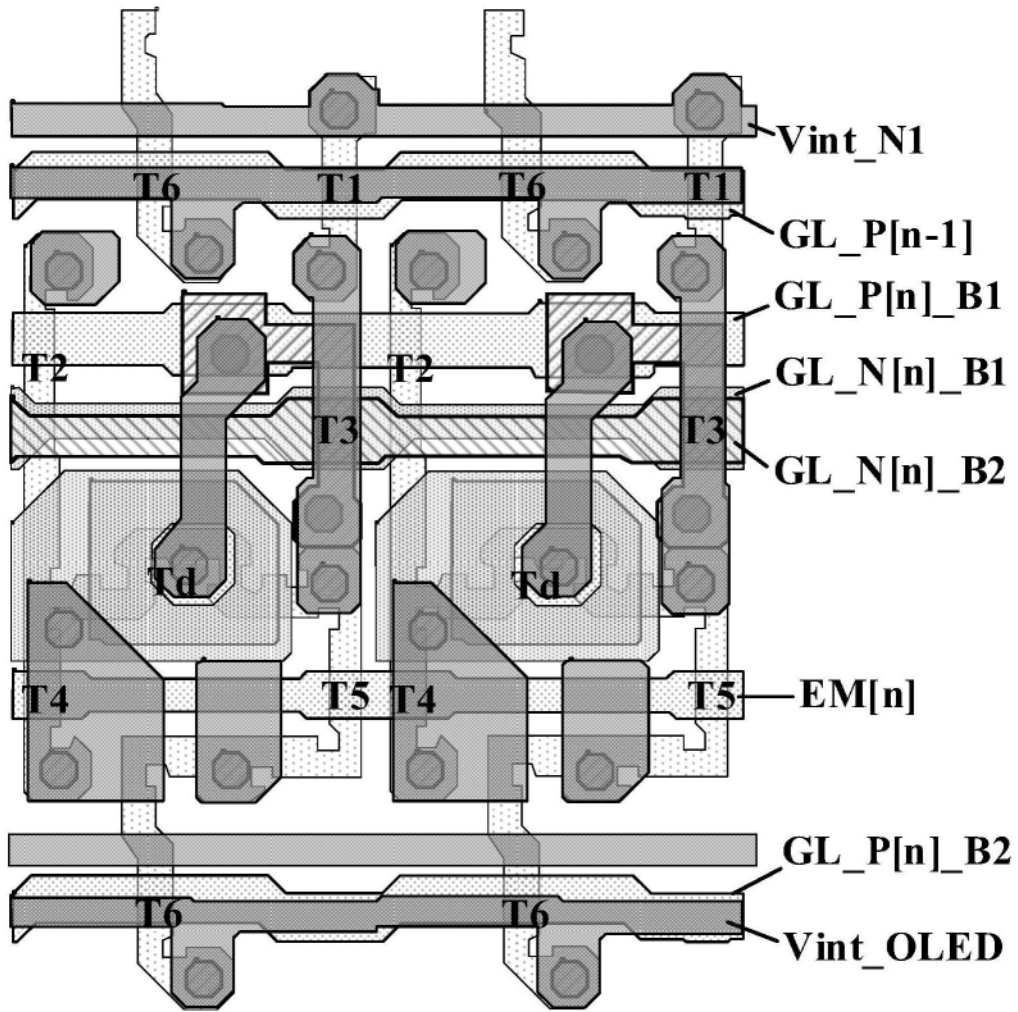


图8A

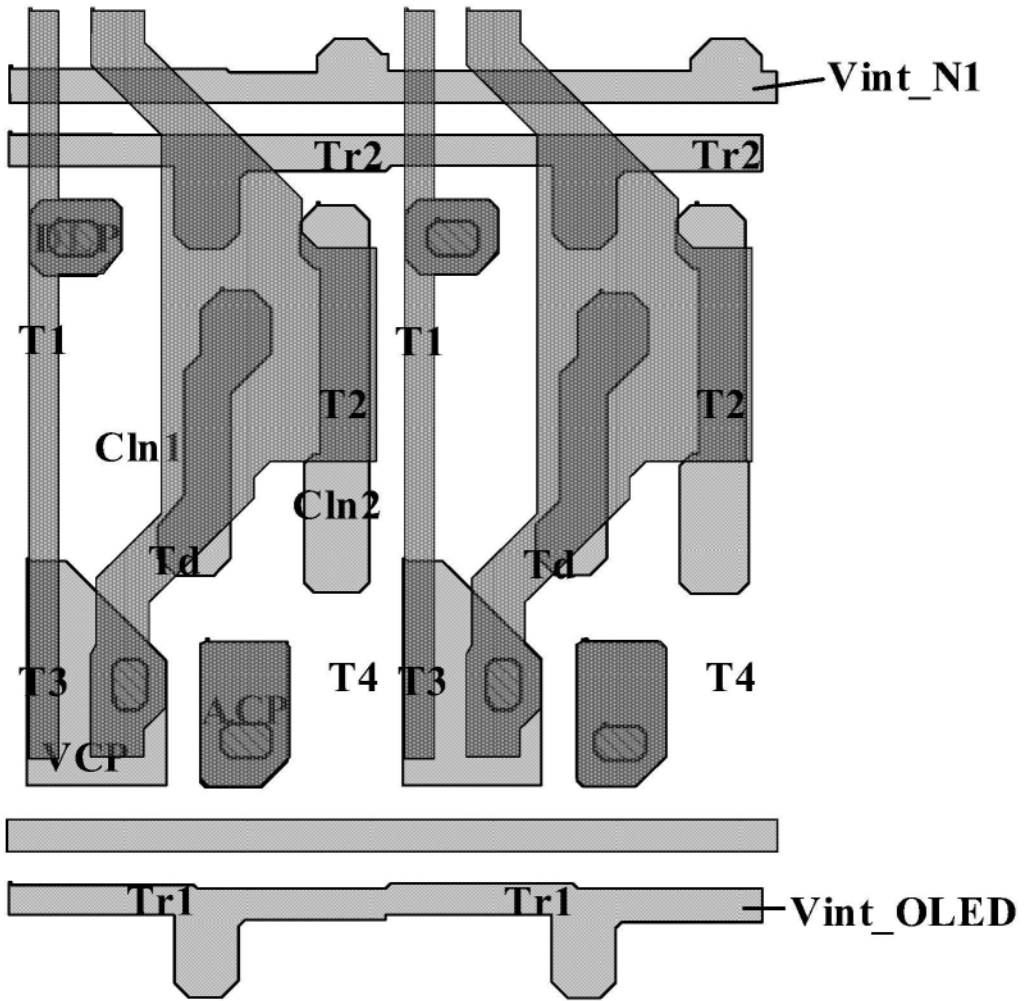


图8B

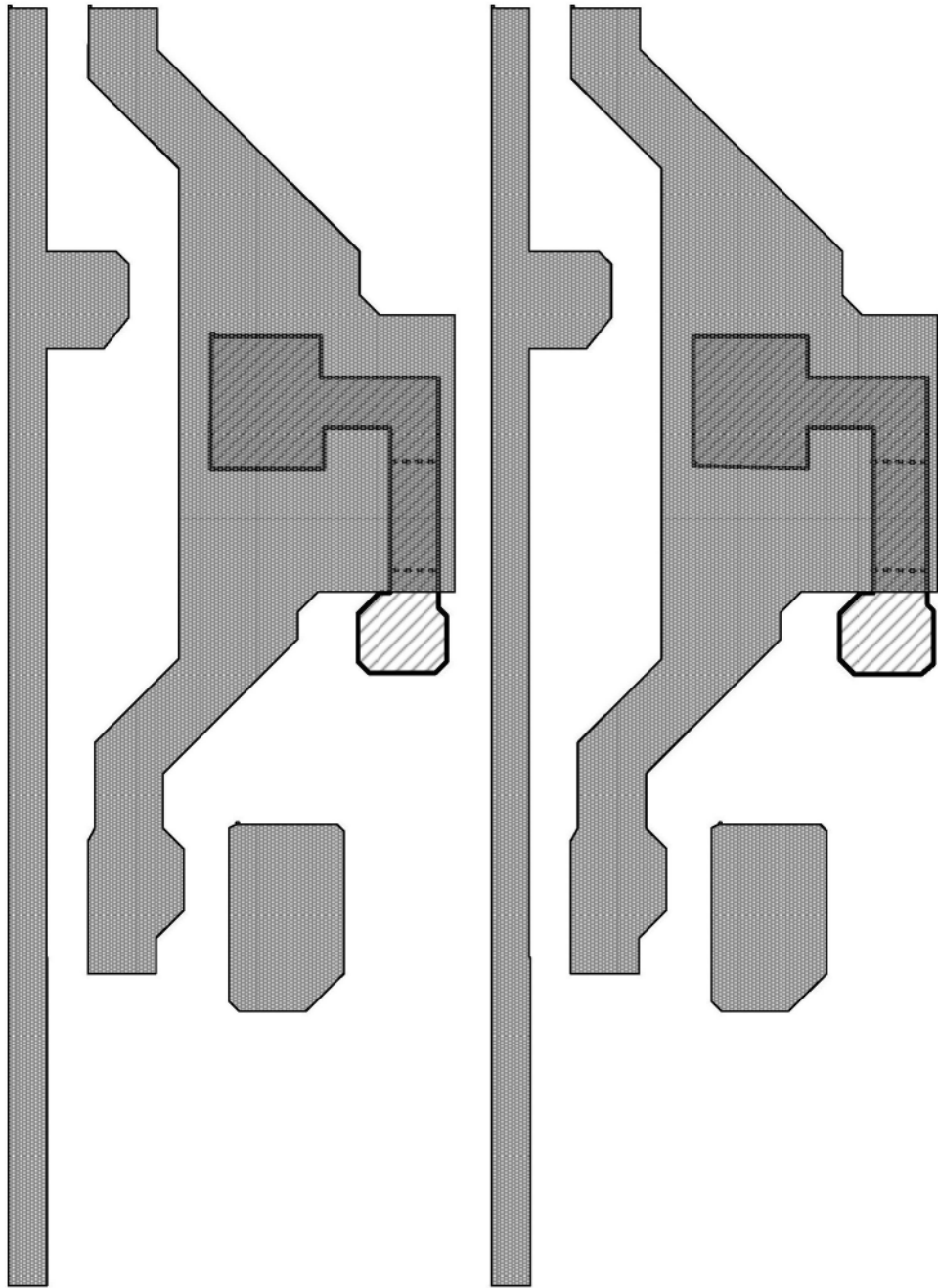


图8C