

**(19) 대한민국특허청(KR)**  
**(12) 등록특허공보(B1)**

(51) Int. Cl.<sup>6</sup>  
H01L 27/01

(45) 공고일자 2002년06월24일

(11) 등록번호 10-0320354

(24) 등록일자 2001년12월28일

(21) 출원번호	10-1996-0701888	(65) 공개번호	특 1996-0705364
(22) 출원일자	1996년04월12일	(43) 공개일자	1996년10월09일
번역문제출일자	1996년04월12일		
(86) 국제출원번호	PCT/US1995/00580	(87) 국제공개번호	WO 1995/19646
(86) 국제출원일자	1995년01월12일	(87) 국제공개일자	1995년07월20일
(81) 지정국	국내특허 : 중국 일본 대한민국 미국 EP 유럽특허 : 독일 영국		

(30) 우선권주장 180716 1994년01월12일 미국(US)

(73) 특허권자 아트멜 코포레이션 줄리 와이. 마스피놀라

미국 캘리포니아주 95131 산호세 오처드 파크웨이 2325

(72) 발명자 토드 에이. 랜다조

미합중국, 콜로라도 80918, 콜로라도 스프링스, 새파이어 드라이브 4920

브래들리 제이. 라슨

미합중국, 콜로라도 80863, 우드랜드 파크, 로벨 걸치 로드 495

제프리 에스. 공워

미합중국, 캘리포니아 95008, 캠프벨, 맥베인 애비뉴 1148

(74) 대리인 나영환, 이상섭

**심사관 : 정해균**

**(54) 최적화된정전방전보호성능을갖는입력/출력트랜지스터**

**명세서**

**기술분야**

<1> 본 발명은 정전 방전 면역성(immunity)을 향상한 반도체 집적 회로에 관한 것이다.

**배경기술**

<2> 정전 방전(ESD)은 금속 산화막 반도체 전계 효과 트랜지스터(MOSFET)에서의 고장 원인으로 알려져 있다. 정전 방전(ESD)에서는, 패키지의 마찰 하전과 같은 외적 요인으로부터 얻어지는 비교적 큰 펄스 전류가 집적 회로(IC) 칩의 구성소자에 의도하지 않게 흐른다. ESD 펄스를 최초로 접하는 구성 소자는 ESD 펄스와 같은 외부 사상(external event)을 받아들일 수 있는 본드 패드 또는 단자에 직접 접촉되는 입력 및/또는 출력 버퍼이다. 통상적으로, 비교적 큰 트랜지스터인 이러한 버퍼는 ESD 펄스에 의해 손상되거나 또는 칩상의 보다 작은 내부 트랜지스터가 손상될 수 있다. 소스가 통상적으로 전원에 접속되어 ESD 펄스를 공급할 것 같지 않지만, 전류 펄스는 게이트, 드레인 또는 소스로부터 트랜지스터로 흐를 수 있다. 게이트를 통해 트랜지스터에 공급되는 ESD 펄스는 게이트와 채널간의 절연 게이트 산화막 장벽을 파괴하며, 이것에 의해 이온화된 절연 전자 또는 포획된 전자의 도통 경로를 생성하거나, 또는 게이트 산화막의 홀(hole)을 연소시킴으로써 영구적인 손상을 초래할 수 있다.

<3> 드레인에서 발생하는 ESD 전류 펄스는 기판, 게이트 또는 소스 중 한 곳으로 유입된다. 유입되는 모든 전류는 동일하게 게이트 산화막에 영구적인 손상을 초래할 수 있다. 수천 볼트인 ESD 펄스가 드레인에서 게이트로 직접 흐르지 않는 경우에도, 이 펄스로부터의 전자 리플은 20 볼트 이하에서 파괴될 수 있는 게이트 산화막층을 파괴한다. 이 게이트 산화막층의 파괴는 회로, 칩 및 때로는 칩을 포함하고 있는 장치의 기능 장애를 초래한다.

<4> 서브 마이크론 소자에서 발생하는 기생 저항과 같은 문제에 특히 응답하여 MOSFET의 속도와 다른 성능상의 특성을 향상시키기 위해, 일반적으로 소스, 게이트 및 드레인의 표면에 실리사이드층(silicide layer)을 형성한다. 자기 정합되는 경우 "실리사이드(silicide)"로 지칭되는 금속과 실리콘의 이 도전층은 이전에 ESD로부터 회로를 보호했던 저항을 감소하기 때문에 ESD 문제를 더욱 악화시킨다. 또한, 두버리(Duvvury) 등에게 허여된 미국 특허 제4,855,620호에 개시되어 있는 바와 같이, 이러한 실리사이드화 영역의 금속은 ESD 사상(event)에 의해 생성되는 열에 의해 용융되고, 전계 라인을 따라 흘러 장치의 영구적인 단락을 야기할 수 있다. 마찬가지로, 거의 마이크론 또는 서브 마이크론의 N-채널 트랜지스터의 피크 드레인 전계를 감소하고, 또 어떤 경우에는 P-채널 트랜지스터에서의 단(短)채널 효과를 최소화하기 위해 사용되는 저 농도로 도핑된 드레인(LDD) 구조도 또한 ESD에 대한 약점을 증가시키는 것으로 보고되었다.

<5> 진보된 MOSFET 및 상보형 금속-산화막-실리콘(CMOS) 장치의 ESD 면역성을 향상시키기 위한 몇 가지 방법이 제안되고 있다. 이러한 방법 중 하나는 두버리 등에게 의해 교시된 바와 같이 ESD로부터의 보호를 위해 추가의 출력 보호 회로를 부가하는 것이다. 라운트리(Rountree) 등에게 허여된 미국 특허 제

4,692,781호에서도 동일하게 ESD 면역성을 위해 트랜지스터에 부가되는 입력 보호 회로 및 출력 보호 회로를 개시하고 있다.

<6> 회로를 부가하는 것 대신에 드레인 금속 콘택트와 게이트 앤티 사이드 사이에 큰 공간을 부가하는 것이 출력 트랜지스터의 드레인과 직렬로 저항을 부가하기 위한 수단으로서 제안되어 왔다. 그러나, 실리사이드화 구조에서, 부가되는 저항의 양은 ESD에 대한 효과와 동일하게 최소가 된다. "실리사이드-블랭킹(silicide-blanking)"은 실리사이드화가 일어나는 장소와 일어나지 않는 장소를 패터닝함으로써 소스 및 드레인으로부터 실리콘 저항기 및 폴리실리콘 저항기의 생성을 가능케 한다. ESD를 방지하기 위한 다른 방법이지만, 이 방법에서는 장치 성능에 영향을 미치지 이전에 소스 및 드레인의 농도가 저하되는 정도에 의해 억제된다. ESD를 방지하기 위한 마지막 방법으로, 보다 높은 전계 및 보다 낮은 스냅백(snapback) 전압에 적절하게 드레인을 재 설계하는 것이 제안되었지만, 이것은 안정된 단 채널 트랜지스터의 요건에 반한다.

<7> 본 발명의 목적은 부가적인 회로 또는 재료층 없이도 ESD로부터 보호되는 트랜지스터 구조를 제공하는 것이다.

<8> 본 발명의 다른 목적은 종래의 방법에 비해 현저하게 복잡하지 않으면서도 보호 정도가 우수한 트랜지스터를 제조하는 방법을 제공하는 것이다.

#### <9> 발명의 개요

<10> 본 발명은 칩의 본드 패드에 접속된 입력 또는 출력 트랜지스터의 소스 및 드레인 사이에 직렬 저항을 부가함으로써 ESD 사상으로 부터 집적 회로 칩을 보호한다. 이 직렬 저항은 소스와 드레인간의 국부 전류 경로의 전압을 채널의 스냅백 도통이 개시하는 트리거 전압 이상으로 상승시키도록 설계된다. 이 경로의 전압을 트리거 전압 이상으로 상승시킴으로써 스냅백 도통이 인접한 경로에서 야기된다. 따라서, 그 트랜지스터를 파괴하고 칩을 무익하게 하는 홀을 경로를 따라 통상적으로 연소하는 스냅백 도통은 소스와 드레인간의 국부 경로를 따라 집중되지 않고, ESD 펄스를 손상 없이 흡수하기에 충분한 크기로 설계되는 채널 폭에 확산하도록 촉진된다.

<11> 이러한 직렬 저항은, 게이트에 의해 마스크되는 기판을 저 농도로 도핑하고, 측벽 산화막 스페이서가 게이트에서 드레인을 향해 외부 쪽으로 적정한 양만큼 연장되도록 트랜지스터의 게이트, 소스 및 드레인을 덮는 산화막층을 제조 중에 형성하고, 또 선택적으로 에칭함으로써 형성된다. 다른 측벽 산화막 스페이서는 게이트에서 소스를 향해 외부 쪽으로 연장될 수 있다. 이 산화막층의 선택적 에칭에 의해 게이트의 말단의 측벽 산화막의 끝에서 기판의 표면이 노출되고, 소스 및 드레인 영역과 이것에의 콘택트가 형성된다. 기판의 저 농도로 도핑된 영역은 연장된 측벽 산화막 아래에 남겨져 드레인과 채널 사이에 직렬로 저항을 제공하고 임의의 소스와 채널 사이에 직렬로 다른 저항을 제공한다. 이 적당한 저항은 정전 방전 손상을 방지하거나 완화시킨다.

<12> 선택적으로 에칭된 측벽 산화막은 게이트 영역과 기판간의 코너에 끼여 있는 작은 부분으로 넓이가 한정되는 종래의 이방성 에칭된 측벽 산화막 스페이서에서는 불가능했던 표면 피복을 제공한다. 본 발명의 자기 정합된 소스 및 드레인 영역은 선택적인 측벽 에칭이 실행된 이후에 형성되며, 종래 기술의 스페이서의 짧고 실질적으로 고정된 거리가 아니라 대략 선택적으로 에칭된 측벽의 길이만큼 게이트 영역으로부터 분리된다. 또한, 본 발명에 의하면, ESD 보호에 불필요하고 어떤 회로에서는 소스에 인접한 연장된 측벽 산화막 스페이서를 가지는 것을 제거하는 동시에, 트랜지스터의 성능 및 ESD 보호를 향상시킬 수 있는 드레인에 인접한 연장된 측벽 산화막층을 제공하는 것이 가능하다. 종래 기술의 이방성 에칭 및 실리사이드 블랭킹은 이와 같은 개량을 허용하지 않는다.

<13> 선택적으로 에칭된 측벽 산화막은 실리사이드 블랭킹에 사용되는 여분의 산화막층을 필요로 하지 않을 뿐만 아니라 그 층을 형성하는데 사용되는 여분의 처리 단계도 필요로 하지 않는다. 또한, 소스 및 드레인 도핑이 블랭킹 이전에 이루어지므로, 고 농도로 도핑된 영역은 스페이서 산화막의 길이만큼 게이트 영역에서 여전히 분리된다. 또한, 종래 기술에서 공지된 고 농도로 도핑된 영역과 도전성이 높은 영역상의 블랭킹 길이는 충분한 저항을 달성하기 위해 커야만 하고 트랜지스터를 바람직하지 않게는 크게 한다. 이와 달리, 본 발명의 저 농도로 도핑된 영역은 보다 큰 저항을 가지기 때문에 횡방향 길이를 보다 작게 형성할 수 있다 이 결과로 보다 적은 영역에서의 전류 확산이 향상된다. 입력/출력 트랜지스터가 각각 수백 마이크로미터의 폭을 갖고 수 백 개의 이러한 트랜지스터가 칩 상에 존재하기 때문에, 본 발명은 종래 기술의 블랭킹에 비해 공간을 실질적으로 절약한다.

<14> [도면의 간단한 설명]

<15> 제1도 내지 제10도는 출력 MOSFET을 형성하기 위한 종래 기술의 시퀀스에 대한 단면도이다.

<16> 제2도는 종래 기술의 실리사이드 블랭킹 처리에 의해 형성된 출력 MOSFET의 단면도이다.

<17> 제3도는 연장된 측벽 산화막층과 저 농도로 도핑된 영역을 갖는 본 발명의 출력 버퍼의 제1 실시예에 대한 단면도이다.

<18> 제4도는 제2도의 종래 기술의 출력 MOSFET에 대한 상면도이다.

<19> 제5도는 제3도에 도시된 실시예의 출력 버퍼의 상면도이다.

<20> 제6도는 실리사이드화를 위해 노출된 게이트를 갖는 본 발명의 출력 버퍼에 대한 제2 실시예를 도시한 도면이다.

<21> 제7도는 오직 한 측면 상에 연장하는 산화막층을 가지며 실리사이드화를 위해 노출된 게이트를 도시하는 본 발명의 제3 실시예를 도시한 도면이다.

<22> 제8도는 바이폴라 스냅백 도통을 받는 MOSFET 장치의 전압 대 전류 그래프이다.

<23> 제9도는 ESD 보호 구조의 외부의 일부를 잘라낸 사시도이다.

<24> 제10도는 본드 패드에 접속된 본 발명의 입력/출력 트랜지스터의 상면도이다.

# <25> 발명을 실시하기 위한 최상의 모드

<26> 제1A도를 참조하면, 종래 기술의 MOSFET N-채널(NMOS) 입력 또는 출력 트랜지스터의 형성은 기판(25) 표면(20)에 전계 산화막(FOX)(15)의 열(row)을 형성하는 것에서 시작한다. 기판(25)은 통상적으로 본 예에서와 같이 N-채널 장치에 대해서는 P-형 실리콘(Si) 웨이퍼이며, FOX(15)는 표면(20) 내부 및 표면 위로 성장하는 이산화 규소(SiO<sub>2</sub>)로 형성된다. FOX(15)의 열 사이에는, 성장되고 폴리실리콘 게이트(35)에 의해 덮여지는 SiO<sub>2</sub>의 절연층(30)이 배치된다. 표면(20)으로부터 게이트(35)를 분리하는 절연층(30)은 게이트 산화막(30)으로서 공지되어 있다.

<27> 제1B도는 폴리실리콘 게이트(35)와 FOX(15)의 열간의 기판(25)내의 저 농도로 도핑된 N-형 드레인 영역(40)의 형성을 도시하고 있다. 이에 후속하여, FOX(15), 표면(20), 게이트 산화막(30) 및 게이트(35)를 덮는 블랭킷 산화막층(45)이 형성된다.

<28> 제1C도는 제2도의 구조상에 종래 기술의 이방성 블랭킷 에칭을 실시한 결과를 도시하고 있다. 소형의 측벽 산화막 스페이서(50)는 폴리실리콘 게이트(35) 및 산화막층(30)의 커버 엣지(55, 56)를 덮는 상태가 된다. 에칭에 의해 영역(80, 81)이 노출되는 동안에, 표면(20)과 엣지(55, 56)가 접하는 계단형 형상부에서 산화막층(45)의 두께가 더 두껍기 때문에 제어된 기간의 이방성 에칭을 실시한 이후에 이러한 스페이서(50)가 남겨지게 된다.

<29> 제1D도는 자기 정합되고 고 농도로 도핑된 N+ 영역을 기판(25)내에 주입하여 소스(70)와 드레인(75)을 형성한 결과를 도시하고 있다. 다음에, 표면(20)의 노출 영역(80, 81)은 가열되며, 내화성 금속에 노출되고, 주입된 기판(25)을 어닐링하여 노출 영역(80, 81) 상에 실리사이드를 형성한다. 따라서, 실리사이드 영역(82)은 소스(70)에 인접하고, 다른 실리사이드 영역(83)은 드레인(75)에 인접한다. 또한, 게이트(35)의 상부(85)는 실리사이드로 코팅되거나 또는 도시되어 있지 않은 산화막층으로 코팅될 수 있다. 종래의 처리 단계를 후속하여, 게이트(30)의 상부 및 소스(70)와 드레인(75)의 실리사이드 영역(82, 83)을 외부 회로에 접속한다. 외부 회로는 절연 게이트 산화막(30)을 파괴하는 ESD 사상을 제공할 수 있는 본드 패드(도시되지 않음)를 포함할 수 있다. 게이트(35)의 도전성 때문에, ESD 손상은 게이트(35)의 저부(底部)(88)와 엣지(55, 56)가 교차하는 곳에 각각 배치되는 코너(86, 87) 근방에서 가장 흔히 발생한다.

<30> 종래 기술의 소형 스페이서(50)는 두 가지 용도를 갖는다. 첫 번째 용도는 실리사이드화(82, 83)를 위해 노출된 소스-드레인 영역을 게이트 전극(55)의 측벽으로부터 공간적으로 분리한다. 이러한 스페이서가 없는 경우, 실리사이드는 게이트 전극(55, 56)의 측벽 위에 형성하며, 실리사이드화된 영역(82, 83)에 도통 경로를 제공하여 장치를 동작 불가능한 상태가 되게 한다. 실리사이드화된 소스-드레인을 사용하는 이유는 소스-드레인 영역의 기생 저항을 최소화하여 진보된 MOS 기술의 성능을 향상시키기 위해서이다. 측벽 스페이서(50)의 두 번째 용도는, 고 농도로 도핑된 소스-드레인 영역(70, 75)을 형성하기 위한 자기 정합된 마스크를 제공하여 저 농도로 도핑된 드레인(90, 95)의 형성을 가능케 하는 것이다. 저 농도로 도핑된 이러한 드레인 영역은 드레인 전위를 너무 급격하게 종결시키지 않음으로써 소정 인가 전압에 대하여 장치의 드레인에서의 피크 전계를 감소시킨다. 이러한 피크 전계의 감소로 인해 채널 내에서의 핫 캐리어의 발생이 감소되어 장치의 단 채널 신뢰성(short channel reliability) 및 안정성을 향상시킨다.

<31> 상기한 이유로 종래 기술에 따라 측벽 스페이서(50)를 통합하는 것이 유용하기는 하지만, 이것은 ESD 감도의 관점에서는 유해하다. 실리사이드화 영역(82, 83)은 ESD 사상으로 부터 장치에 대하여 이전에는 약간의 보호를 제공했던 수동 저항기(70, 75)를 단락하고, 영역(90, 95)의 작은 LDD 저항은 이것을 보상하기에 충분치 않다. 또한, ESD 사상은 실리사이드화 영역(82, 83)내의 금속을 용융시켜 ESD의 발생에 의해 야기되는 전계 라인을 따라 소스(70)와 드레인(75) 사이로 흐르게 함으로써 이러한 전계 라인에 따른 커패시턴스를 증가시킨다. ESD 사상으로 인한 파워가 이와 같이 불안정하게 분산됨으로써 소스(70)와 드레인(75)을 접속시키는 영구 금속 필라멘트 또는 기판(25)을 통해 연소되는 홀이 형성될 수 있다.

<32> 제2도에는 실리사이드 블랭킹에 사용되는 부가적인 재료 및 부가적인 단계이외는 제1도와 유사한 구조를 도시하고 있다. 산화막층(100)은 차후에 실리사이드로 형성되는 노출 영역(80, 81)을 제외한 FOX(15), 게이트(35), 스페이서(50) 및 기판(25) 표면(20)을 덮는다. 노출 영역(80, 81)은 종래의 포토리토그래피 및 에칭을 이용하여 산화막층(100)으로부터 에칭되기 때문에 실리사이드가 이들 영역에 형성될 수 있다. 고 농도로 도핑된 드레인(75)은 드레인(75)상의 실리사이드(83)와 게이트(35)의 엣지(56) 사이에 ESD 보호를 위한 저항을 부가하기 위해 표면(20)을 따라 훨씬 더 연장되는 것으로 이해될 수 있다. 전술된 바와 같이, 저 농도로 도핑된 영역(40)의 부분(90, 95)은 직렬 저항을 부가한다. ESD 면역성에 충분한 저항을 달성하기 위해 긴 간격을 필요로 하는 고 농도로 도핑된 드레인(75)의 높은 도전성에 의해 게이트(35)와 드레인 실리사이드(83)간에 비교적 긴 간격이 요구된다. 소스 실리사이드(82) 부근에서 ESD 보호가 덜 필요로 하기 때문에 소스 실리사이드(82)는 드레인 실리사이드(83)보다 게이트(35)에 더 인접하는 것으로 도시되어 있다.

<33> 제3도를 참조하면, 본 발명의 입력 또는 출력 트랜지스터에 대한 제1 실시예를 도시하고 있으며, 실리콘 기판(25)의 표면(20)에 형성된 FOX 열(15)이 포함되며, 게이트 산화막(30) 및 게이트(35)는 전술된 바와 같이 종래 기술 하에서 형성된다. 비교적 광범위하게 저 농도로 도핑된 드레인(40)은 게이트 산화막(30)과 FOX(15) 사이에 형성된다. 블랭킷 절연 산화막층(45)은 종래 기술에서 공지된 바와같이 FOX(15), 표면(20), 게이트 산화막(30) 및 게이트(35)의 상부에 형성된다. 다음에, 산화막층은 실리사이드에 대해 표면(20)의 영역(80, 81)을 노출시키기 위해 마스크되어 선택적으로 에칭된다. 이러한 산화막(45)의 선택적 에칭으로 인해 종래 기술의 이방성 에칭에 의해 형성된 제1도의 산화막 스페이서(50)보다 횡방향으로 더 멀리 게이트(35) 및 게이트 산화막(30)으로부터 연장하는 층(102, 103)을 형성한다.

<34> 편리성과 경제성을 고려하여, 본 발명의 선택적 에칭은 산화막층(102, 103)을 형성하는 영역과 같

이 손대지 않는 것이 바람직한 영역의 산화막(45)은 덮고 실리 사이드화된 영역(80,81)과 같이 제거되어야 하는 영역의 산화막(45)은 노출하도록 먼저 마스크를 패터닝함으로써 실행된다. 그리고 나서, 입력/출력 장치의 내부 다이와 같이 ESD 보호를 필요로 하지 않는 회로상의 어떤 곳에 통상의 측벽 공간이 형성되도록 표준 드라이 스페이서 산화막 에칭이 실시된다. 이러한 재료의 선택적 에칭이 가능한 경우 산화막층(45) 대신에 다른 전기 절연 재료가 사용될 수도 있다는 것에 유의해야 한다.

&lt;35&gt;

다음, 바람직하게는 이온 주입에 의해 형성되는 고 농도로 도핑된 영역은 선택 에칭에 의해 노출되는 영역(80,81)을 통해 기판에 생성된다. 이러한 방법으로 소스(70)와 드레인(75)이 형성된다. 그리고 나서, 기판은 어닐링되어 이온 주입에 의해 형성되는 결정 기판(25)에서 발생할 수 있는 손상을 수정하고, 노출 영역 (80,81)에는 실리사이드가 형성된다. 전술된 바와 같이, 실리사이드화된 영역(82)은 소스(70)에 인접하고, 다른 실리사이드화된 영역(83)은 드레인(75)에 인접한다.

&lt;36&gt;

게이트 산화막(30)과 실리사이드화된 영역(82)간의 산화막층(102)의 길이는 소스(70) 위의 실리 사이드화된 영역(82)과 코너(86) 사이에서 직렬 저항으로서 기능하는 저 농도로 도핑된 영역(40)의 일부(105)의 길이를 제어하는 것으로 이해될 수 있다. 마찬가지로, 엠티(56)와 실리사이드화된 영역(83)간의 산화막층(103)의 길이는 드레인 위의 실리사이드화된 영역(83)과 엠티(56) 사이에서 직렬 저항으로 기능하는 저 농도로 도핑된 영역(40)의 일부(110)의 길이를 제어하는 것으로 이해될 수 있다. 따라서, 저 농도로 도핑된 영역(40)의 일부분(105,110)에 의해 제공되는 전체 저항은 측벽 산화막(45)의 마스크 치수에 의해 조절될 수 있다. 본 실시예의 저 농도로 도핑된 대칭 부분(105,110)은 양방향 트랜지스터에 바람직하며 0.3 내지 6 미크론의 채널 길이를 가지게 된다. 이하에서 논의되는 바와 같이, 저 농도로 도핑된 영역(105,110)의 정확한 길이는 최적화된 ESD 보호 구조를 제공하기 위해 조절될 수 있다.

&lt;37&gt;

상당한 길이의 저 농도로 도핑된 영역(105,110)은 ESD 전류의 경로를 분산시킴으로써 ESD 손상을 방지하도록 작용한다. 이와 같은 저 농도로 도핑된 영역 (105,110)이 없는 경우, 소스(70), 게이트(35) 및 드레인(75) 중 어느 조합간의 최단 전기 경로는 표면(20)을 따르게 된다. 전도성이 강한 실리사이드화된 표면 영역 (82,83)도 또한 표면(20)을 따라 전류를 집중시키는 경향이 있다. ESD 사상 동안의 전류 집중이 클수록 ESD 사상에 의해 야기되는 손상을 증대시키는 경향이 있다. 저 농도로 도핑된 영역(105,110)은 표면(20)으로부터 더 멀리 전류를 분산시키는 경향이 있어 ESD에 대한 허용도를 증가시킨다.

&lt;38&gt;

기판(25)은 N-형 실리콘일 수 있고, 소스(70)와 드레인(75)은 P+로 도핑될 수 있으며, 저 농도로 도핑된 드레인(40)은 동일하게 하전된 이온으로 도핑되어 P- 채널 트랜지스터(PMOS)를 대신에 형성할 수도 있다는 것에 유의해야 한다. 가능하게는, N-채널과 P-채널 장치의 상보형(CMOS)을 형성할 수도 있다. 종래의 CMOS 프로세스 처리 과정이 후속된다. 저 농도로 도핑된 주입물(40)과 고 농도로 도핑된 영역(70,75)을 전술된 자기 정합되는 도핑 대신에 또는 이 도핑에 부가하여 대략적으로 전술된 형성 단계에서 초기에 도핑될 수 있다.

&lt;39&gt;

제3도는 제1도와 비교하여 본 발명의 이점의 몇 가지를 도시하고 있다. 본 발명의 저 농도로 도핑된 영역(105,110)은, 본 발명의 측벽 산화막층(102,103)이 종래 기술의 스페이서(50)보다 더 멀리 연장될 수 있기 때문에 종래 기술의 부분 (90,95) 보다 더 멀리 연장될 수 있다. 종래 기술에서 사용되는 이 방성 에칭으로 인해, 종래 기술의 스페이서(50)의 최대 횡방향 길이는 산화막층(45)의 두께, 또는 표면(20)에서 게이트(35)의 상부(85)까지의 높이 중 작은 쪽에 효율적으로 제한된다. 상당한 길이의 저 농도로 도핑된 영역(105)은 소스(70)와 게이트(35) 사이에 부분(90)에 의해 제공된 것보다 더 큰 직렬 저항을 형성한다. 마찬가지로, 상당한 길이의 저 농도로 도핑된 영역(110)은 게이트(35)와 드레인(75) 사이에 부분(95)의 저항보다 더 큰 직렬 저항을 형성하여 ESD에 대한 보호를 향상시킨다.

&lt;40&gt;

제3도는 제2도와 비교하여 본 발명의 추가 이점을 도시하고 있다. 저 농도로 도핑된 영역(110)은 제2도의 영역(40)보다 그 크기가 작음에도 불구하고 실리콘 블랭킹에 의해 제공되는 드레인(75) 상에 실리사이드 표면(80)과 코너(87)간의 거리 보다 더 큰 저항을 제공한다. 이것은 저 농도로 도핑된 영역(110)이 실리사이드 블랭킹된 구조의 고 농도로 도핑된 드레인(75)보다 단위 저항이 더 크기 때문이다. 또한, 실리사이드 블랭킹된 구조는 본 발명과 비교했을 때 여분의 수평 공간 및 재료를 필요로 할뿐만 아니라 더 많은 수직 공간 및 재료를 필요로 할 수 있다. 또한, 실리사이드 블랭킹은 블랭킹 산화막(100)을 형성하기 때문에 본 발명에서 요구된 것보다 적어도 1개의 여분 처리 단계를 부가한다. 따라서, 제2도에 도시된 실리콘 블랭킹은, 제1도의 스페이서 산화막(50)에 의해 제공되는 것보다 향상된 ESD 보호를 제공하지만, 본 발명보다도 ESD 보호를 제공하는 정도가 적고, 보다 많은 공간과 재료를 필요로 한다.

&lt;41&gt;

제4도를 참조하면, 출력 트랜지스터의 상면도를 도시하고 있으며, 이 도면을 통해서 실리사이드 블랭킹 산화막층(100)에 의해 형성되는 종래 기술 장치용의 드레인 콘택트(115) 및 게이트(35) 사이의 게이트 분리가 있음을 알 수 있다. 전술한 바와 같이, 강제 분리하는 것이 기술에 의해 요구되는 것이 게이트(35)와 드레인 실리사이드(83)간의 대부분의 공간 아래에 있는 드레인 영역(40)의 비교적 높은 전도성 때문이다. 소스 콘택트(120), 게이트 콘택트(125) 및 소스 실리사이드화 영역(82)은 참고로 도시되어 있다.

&lt;42&gt;

비교했을 때, 본 기술에 의해 제조되는 출력 트랜지스터의 상부의 일부가 제 5도에 도시된 바와 같이 드레인 콘택트(115)와 게이트(35)간에 훨씬 더 작은 분리를 갖는 것으로 이해될 수 있다. 이 때문에 소형의 입력/출력 트랜지스터는 본 발명을 사용하여 더 높은 ESD 면역성을 달성하면서 IC 상에 사용될 수 있다.

&lt;43&gt;

제6도는 본 발명의 제2 실시예를 도시하고 있으며, 이 도면에서는 게이트의 상부(85)가 선택 에칭에 의해 노출된다. 이것에 의해 그 후의 다른 회로(도시되지 않음)와의 메탈라이제이션(metalization) 및 배선(interconnection)을 위해 상부 (85)가 실리사이드화된다. 제6도에 표시된 도면 참조 부호는 이전 도면의 대응 번호와 동일한 부분에 해당한다. 일반적으로, 제6도에 도시된 구조는 게이트(35)가 그 위의 실리사이드 형성에 의해 낮은 저항을 갖는 것이 바람직한 경우에 사용된다.

&lt;44&gt;

제어 가능한 길이의 산화막층(102,103)은 최적의 장치 성능 및 ESD 면역성을 위해 영역(105,110)의 도핑 농도와 협력하여 저 농도로 도핑된 영역(105,110)의 연장부를 조절하는데 사용될 수 있다. 전형적인 N-채널 MOSFET의 경우, 저 농도로 도핑된 영역(110)의 길이는 저 농도로 도핑된 다른 영역(105)의 길이보다 더 긴 것이 바람직하다. 이것은 또한 ESD 사상과 유사하지만 그것보다 현저하지 않을 정도로 게



이트 산화막을 파괴할 수 있는 핫 캐리어 효과(hot carrier effect)를 방지한다는 점에서 유리할 수 있다.

<45> 제7도는 본 발명의 다른 실시예를 도시하고 있으며, 이 실시예에서는 산화막층(45)의 선택적 에칭에 의해 폴리실리콘 게이트(35)의 엣지(56)와 드레인(75) 사이에 측벽 산화막층이 남겨지고, 그 결과 게이트(35)와 드레인(75) 사이에 상당한 길이의 저 농도로 도핑된 드레인 영역(110)이 형성된다. 게이트(35) 상부(85)의 대부분은 에칭에 의해 노출되어 게이트(35)상에 그 이후의 실리사이드 형성을 가능하게 한다. 소스에서 게이트로의 실리사이드 형성을 방지하기 위해 게이트 산화막(30)의 엣지(55)와 소스(70) 사이에 표준 측벽 산화막 스페이서(102)가 남겨진다. 이것은 종래의 포토 마스크킹으로 소스(70)의 일부분과 게이트(35)를 스페이서 에칭에 노출시킴으로써 본 실시예에서 달성된다. 이로써 종래 기술의 측벽 스페이서에 사용되는 것과 같은 동일한 방법으로 소스 측 상에 측벽 스페이서(102)가 형성된다. 이 산화막 스페이서(102)는 소스(70)와 게이트(35) 사이에서 ESD 보호를 필요로 하지 않는 회로에서 회로 성능을 향상시키기 위해 저 농도로 도핑된 소스 영역(105)에 의해 제공되는 소스(70)와 게이트(35)간의 저항을 최소화시킨다.

<46> 보다 우수한 ESD 보호를 위해서는 통상적으로 보다 광범위에 걸친 직렬 저항을 필요로 하고, 회로 성능을 향상시키기 위해서는 통상적으로 작은 직렬 저항을 필요로 하기 때문에, 최적 길이의 측벽 산화막층(102,103)과 저 농도로 도핑된 소스 및 드레인 영역(102,103)에 의해 제공되는 결과로서 생성된 직렬 저항은 ESD 보호와 성능상의 필요간에 절충(tradeoff)을 포함한다. 이 때문에 본 발명은 최적 직렬 저항을 달성하기 위해 선택적으로 에칭된 측벽층의 길이를 조절함으로써 회로의 성능 및 ESD 완화를 최적화하는 수단을 허용한다. 예를 들어, 출력 버퍼로서 사용되는 전형적인 트랜지스터에서는, 드레인 부근의 ESD 보호는 더욱 필수적이며, 측벽 산화막층(103)은 제5도 및 제6도에 도시된 바와 같이 저 농도로 도핑된 드레인 영역(110)에 의해 제공되는 저항을 증가시키기 위해 층(102)보다 더 연장될 수 있다. 한편, 양방향 트랜지스터는 제3도 및 제6도에 실질적으로 동일한 길이의 저 농도로 도핑된 영역(105,110)으로 도시되는 바와 같이 게이트와 소스 및 드레인 양측간의 직렬의 동일한 ESD 보호로부터 이득을 얻게 된다.

<47> 입력/출력 트랜지스터는, 예를 들어 제5도의 폴리실리콘 게이트(35)가 연장하는 방향으로 측정되는 채널 폭보다 훨씬 작은 소스 및 드레인간의 거리로서 측정되는 채널 길이를 갖는다. 길이 대 폭의 중형비가 이와 같이 작은 이유는 IC 칩의 외부에 위치한 회로와의 통신을 위해 또는 칩의 내부에 걸리는 부하를 극복하기 위해 고속의 고출력 트랜지스터 동작을 가능케하기 위함이다. 수백 마이크로인 이 큰 채널 폭(약 1 마이크로인 채널 길이에 비해)은 채널의 바이폴라 스냅백 도통에 의해 ESD 펄스를 흡수하는데 사용될 수 있다. 그러나, 본 발명 중에 실행된 테스트에 의하면, 채널 폭을 증가시켜도 "트리거 전압"으로 칭해지는 스냅백 도통이 발생하는 전압을 저하시키는 효과가 최소가 되는 것으로 입증되었다. 이것은 도통이 일단 트리거된 경우 도통이 발생한 국부 경로를 따라 발생하며, ESD 펄스로부터의 전체 전류를 그 경로에 흐르게 하고, 전류 흐름을 위해 큰 채널 폭을 이용하지 않기 때문이다.

<48> 제8도를 참조하면, 스냅백 도통 시에 트랜지스터의 전류(I) 대 전압(V) 그래프는 전압이 트리거 전압( $V_t$ )에 도달할 때까지 장치의 소스와 드레인 사이를 전류가 흐르지 않는다는 것을 나타내고 있다. 일단 스냅백 도통이 개시되면, 전류는 증가하고 소스 및 드레인간의 전압은 감소한다. 전압이 홀딩 전압( $V_H$ ) 이상으로 유지되는 한, 스냅백 전류는 계속해서 흐른다. 스냅백 도통이 야기된 이후에 전압을 홀딩 전압( $V_H$ ) 이상으로 증가하면 홀딩 전압( $V_H$ )에서의 변곡점 위에서 그래프가 급격하게 상향으로 경사지는 것으로 도시된 바와 같이 전류가 크게 증가한다.

<49> 스냅백 도통을 이용하여 ESD 펄스를 집중시키거나 채널내의 홀을 연소시키지 않고 ESD 펄스를 흡수하기 위해, 본 발명은 제3도의 영역(110)과 같은 저 농도로 도핑된 영역에 의한 직렬 저항을 부가한다. 이 직렬 저항은 스냅백이 개시되는 경로에의 전류 흐름으로 인한 전압을 부가하는 것에 충분하도록 선택하고, 스냅백은 그 경로의 전압을 트리거 전압( $V_t$ ) 이상으로 상승시키고, 이것에 의해 인접한 경로를 트리거 전압( $V_t$ ) 또는 그 이상이 되도록 하며, 또한 스냅백 도통은 개시하게 된다. 채널의 폭과 깊이에 대하여 이러한 스냅백 도통이 확산하기 때문에 스냅백 전류가 단일의 집중된 경로에서 채널의 폭과 깊이를 연장할 수 있는 넓은 범위(wide swath)로 분산된다.

<50> 채널의 손상을 방지하기 위해, 이러한 전류 확산은 유사한 장치를 테스트함으로써 실험적으로 결정될 수 있는 최대 비파괴 전류 밀도( $I_m$ )를 경로내의 전류가 초과하기 전에 야기되어야만 한다. ESD 사상에 대한 면역성을 위해, 전류 확산으로 인해 스냅백 전류가 흐르는 채널 면적은 ESD 사상으로부터의 전류를 최대 비파괴 전류 밀도( $I_m$ )로 나눈 것보다 더 커야만 한다. 다시 말하면, 전류의 흐름을 횡단하는 채널의 면적 상에서 총합된  $I_m$ 은 정전 방전 전류보다도 커야 한다. ESD 전류는, 2500 V의 인체 모델 전압 및 1500  $\Omega$  정도의 사람과 본드 패드간의 고유 저항과 같은 공지의 ESD 파라미터를 사용하여 평가될 수 있다. 특정 응용에 선택되는 머신 모델 또는 다른 파라미터와 같은 기타의 ESD 안전 기준이 대신에 사용될 수도 있다.

<51> 제9도를 참조하면, 본 발명의 ESD 보호 구조를 형성하는 반도체 기판의 도핑된 부분의 사시도를 도시하고 있으며, 고 농도로 도핑된 소스(120) 및 드레인(122)과, 저 농도로 도핑된 드레인 연장부(124)와, 이 연장부(124)와 소스(120) 사이에 배치되는 반대 도전형의 채널(126)이 포함된다. 채널(126)은 소스(120)와 연장부(124)를 분리하는 길이( $L_c$ ), 그 길이( $L_c$ )에 대하여 횡방향으로 배향되는 폭(W) 및 깊이(D)를 갖는다. 트레인 연장부(124)는 채널과 동일한 길이와 폭을 가지며, 또 드레인(122)과 채널(126) 사이에서 측정되는 연장거리( $E_d$ )를 갖는다.

<52> 본 발명의 손상되기 전에 스냅백 전류를 확실히 확산하도록 저 농도로 도핑된 드레인(124)에 의해 부가되는 필요한 저항을 결정하기 위해, 최대의 비파괴 전류 밀도( $I_m$ )에서 전류를 도통시키는 국부 경로의 직렬 저항( $R_s$ )은 이 경로의 전압을 트리거 전압( $V_t$ ) 이상으로 하기에 충분해야만 한다. 직렬 저항( $R_s$ )은 (제8도에 곡선의 상향 경사부로 그래프에서 도시되는 바와 같이) 스냅백 도통동안의 채널의 저항과

드레인의 저 농도로 도핑된 연장부의 저항과의 합이다. 채널의 저항은 스냅백 도통 동안의 채널 저항( $\rho_c$ )에 채널 길이( $L_c$ )를 곱하고 이를 채널 면적( $A_c$ )으로 나눈 것과 같다. 채널 면적( $A_c$ )은 채널 폭( $W$ )과 채널 깊이( $D$ )를 곱한 것과 같으며, 연장부(124)의 면적( $A_d$ )과 크기에 있어서 동일하여 채널 면적과 연장부 면적은 간단하게 동일 면적( $A$ )으로 지칭한다. 드레인의 저 농도로 도핑된 연장부의 저항은, 도핑 농도 및 도스량(doses)에 의해 결정될 수 있는 저 농도로 도핑된 영역의 저항률( $\rho_d$ )에 저 농도로 도핑된 영역의 연장거리( $E_d$ )를 곱하고, 이를 연장거리( $E_d$ )에 수직인 연장 면적( $A$ )으로 나눈 것과 같다. 최대의 비파괴 전류 밀도( $I_m$ ) 미만으로 각 경로를 제한하는 전류는 다음의 식을 산출한다:

$$\frac{V_t - V_H}{R_s} \leq I_m A$$

<54> 이하의 직렬 저항( $R_s$ )을 대입하고 연장거리( $E_d$ )에 대해서 풀면, ESD 면역성을 제공하는데 필요한 저 농도로 도핑된 드레인 연장부의 연장거리( $E_d$ )가 다음과 같이 결정된다:

$$R_s = \rho_c \frac{L_c}{A} + \rho_d \frac{E_d}{A}$$

$$E_d \geq \frac{V_t - V_H - \rho_c L_c I_m}{I_m \rho_d}$$

<57> 스냅백 도통을 채널 양단에 대하여 이와 같이 확산하는 경우, 발생하는 전압은 최대 비파괴 전압( $V_g$ ) 이하로 유지되어야만 하며, 이 최대 비파괴 전압( $V_g$ ) 이상에서는 게이트 산화막이 파괴될 수도 있다. 따라서, 약 2500V/1500Ω 또는 상이한 선택된 암페어수인 ESD 전류( $I_{esd}$ )에 직렬 저항( $R_s$ )을 곱한 것은  $V_g - V_H$  이하이어야만 한다:

$$I_{esd} R_s \leq V_g - V_H$$

<59> 또는,

$$A \geq \frac{I_{esd} (\rho_c L_c + \rho_d E_d)}{V_g - V_H}$$

<61> 제10도를 참조하면, 입력/출력 트랜지스터(130)의 상면도를 도시하고 있으며, 트랜지스터(130)의 드레인 영역(135)과 입력/출력 단자, 또는 본드 패드(138)간의 금속 배선(133)이 도시되어 있다. 소스 영역(144)과  $V_{ss}$  간의 금속 배선(140)은 본 발명에 따라 손상 없이 트랜지스터(130)를 횡단하는 ESD 펄스가 전원 또는 접지에 흡수되는 경로를 제공한다. 점선으로 표시된 직사각형은 폴리실리콘 게이트(146)의 엣지 부근에서 종결하는 저 농도로 도핑된 드레인 연장부(148)의 경계를 나타낸다. 게이트(146) 하부 및 연장부(148)와 소스 영역(144) 사이에는 채널(도시되지 않음)이 존재한다. 상호 이격된 이러한 트랜지스터의 채널 폭( $W$ )은 각각의 채널 폭(150)의 4배인 것에 유의해야 한다.

<62> 전술된 최적 장치 지오메트릭은 표면 치수에 관하여 보다 편리하게 계산될 수 있다. 이 경우에,  $I_{max}$ 를 채널 폭의 1미크론 당 최대의 비파괴 스냅백 전류로서,  $R_{SH}$ 를 저 농도로 도핑된 영역(124)의 시트 저항으로 상정할 때, 채널에 대하여 균일한 ESD 전류 확산이 비파괴 전류를 초과하지 않는다고 하는 요건은 다음 식으로 된다:

$$W \geq \frac{I_{esd}}{I_{max}}$$

<64>  $I_{max}$  또는 그 이하로 전류 단면을 제한할 때 다음 식의 저 농도로 도핑된 드레인 연장거리가 구해진다:

$$E_d \geq \frac{(V_t - V_H) - I_{max} \rho_c}{I_{max} R_{SH}}$$

<66> 직렬 저항( $R_s$ )의 전압 강하를 최대 비파괴 게이트 전압( $V_g$ ) 이하로 유지하기에 충분한 폭은 다음과 같다:

$$W \geq \frac{I_{esd} (\rho_c + R_d E_d)}{V_g - V_H}$$

<68> 저 농도로 도핑된 드레인 영역의 도핑은  $1 \times 10^{17}$  내지  $5 \times 10^{19}$  ion/cm<sup>2</sup>의 농도 또는 100~5,000 Ohms/square의 시트 저항을 생성하도록 장치 형성 중에 조절될 수 있다. 채널 폭( $W$ )은 약 100 내지 300 미크론의 범위 내에 있지만, 채널 길이( $L_c$ )는 스냅백 도통을 발생시키기 위해 1 미크론 정도일 수 있다. 저 농도로 도핑된 드레인 연장부의 연장거리( $E_d$ )는 0.3~6.0 미크론이며, 바람직하게는 0.5~2.0 미크론이고, 적어도 채널 길이( $L_c$ )의 크기이다.

(57) 청구의 범위

**청구항 1**

집적 회로 칩에 사용되는 정전 방전 보호 장치에 있어서,

기판의 외부에 배치된 통신을 위한 단자를 갖는 반도체 기판과;

상기 기판에 형성되고, 고농도로 도핑된 제1 도전형의 영역이 소스 및 드레인을 형성하며, 이 소스와 드레인 사이에 배치된 제2 도전형의 채널이 형성되어 있는 방전 구조—여기서, 상기 드레인은 상기 단자에 접속되고, 상기 소스는 상기 단자의 말단에 배치되며, 상기 방전 구조는 상기 소스와 드레인 사이 경로를 따라 스냅백 도통이 개시되는 트리거 전압과, 상기 스냅백 도통이 유지되는 홀딩 전압과, 상기 경로에 따른 최대의 비파괴 전류 밀도에 의해 특징지어진다—과;

상기 경로에 따른 상기 최대 비파괴 전류 밀도의 흐름이 상기 경로에 따라 상기 소스와 드레인 사이에 상기 트리거 전압을 초과하는 전압을 생성하여 상기 소스와 드레인간의 인접한 경로에서 스냅백 도통을 개시하도록, 상기 드레인과 상기 채널을 분리하는 드레인 연장부를 형성하며 상기 경로와 직렬로 저항을 갖는 저농도로 도핑된 제1 도전형의 영역

을 포함하는 것을 특징으로 하는 정전 방전 보호 장치.

**청구항 2**

제1항에 있어서,

상기 경로에 의해 횡단되는 상기 채널의 영역 상에 통합되는 상기 최대의 비파괴 전류 밀도는 정전 방전 발생으로부터 상기 단자를 통과하는 전류보다 큰 것을 특징으로 하는 정전 방전 보호 장치.

**청구항 3**

제1항에 있어서,

상기 채널은 상기 스냅백 도통 동안의 채널 저항률( $\rho_c$ )에 의해 특징지어지고 상기 소스와 상기 드레인 연장부를 분리하는 길이( $L_c$ )를 가지며, 상기 드레인 연장부는 저항률( $\rho_d$ )에 의해 특징지어지고 상기 드레인을 상기 채널로부터 분리하는 다음의 연장거리( $E_d$ )를 갖는 것을 특징으로 하는 정전 방전 보호 장치.

$$E_d \geq \frac{V_t - V_H - \rho_c L_c J_m}{I_m \rho_d}$$

여기서,  $V_t$  : 트리거 전압

$V_H$  : 홀딩 전압

$I_m$  : 최대 전류 밀도

**청구항 4**

제1항에 있어서,

최대 비파괴 전압에 의해 특징지어지는 게이트 산화막에 의해 상기 채널로부터 분리되는 게이트를 더 포함하며, 상기 최대의 비파괴 게이트 산화막 전압과 상기 홀딩 전압간의 전압차는, 정전 방전 전류에 상기 경로에 따른 저항을 곱하고 상기 트리거 전압과 상기 홀딩 전압간의 전압차로 나눈 것인, 상기 경로에 따른 상기 소스와 상기 드레인간의 전압차보다 큰 것을 특징으로 하는 정전 방전 보호 장치.

**청구항 5**

제1항에 있어서,

상기 채널은 일반적으로 직교 관계를 갖는 길이, 폭 및 깊이를 가지며, 상기 길이는 상기 소스와 상기 드레인 연장부를 분리하고, 상기 깊이는 상기 기판의 표면으로부터 측정되는 상기 스냅백 전류의 흐름을 포함하며, 상기 폭은 상기 길이 및 상기 깊이보다 수 배 더 크고, 정전 방전 발생으로부터 전류는 상기 폭 및 깊이 상에 통합되는 상기 최대의 비파괴 전류 밀도보다 작은 것을 특징으로 하는 정전 방전 보호 장치.

**청구항 6**

제1항에 있어서,

상기 구조는 입력/출력 트랜시버를 포함하는 것을 특징으로 하는 정전 방전 보호 장치.

**청구항 7**

제1항에 있어서,

상기 구조는 출력 버퍼를 포함하는 것을 특징으로 하는 정전 방전 보호 장치.

**청구항 8**

제1항에 있어서,

상기 구조는 입력 버퍼를 포함하는 것을 특징으로 하는 정전 방전 보호 장치.

#### 청구항 9

제1항에 있어서,

게이트 산화막에 의해 상기 채널로부터 분리되는 게이트를 더 포함하며, 상기 드레인 연장부는 상기 채널에서 상기 게이트 상부까지의 높이보다 더 큰 연장거리(extent)를 상기 드레인과 상기 채널 사이에 갖는 것을 특징으로 하는 정전 방전 보호 장치.

#### 청구항 10

제1항에 있어서,

상기 드레인 연장부는, 적어도 상기 소스와 상기 드레인 연장부간의 상기 채널 길이만큼 큰 연장거리를 상기 채널과 상기 드레인 사이에 갖는 것을 특징으로 하는 정전 방전 보호 장치.

#### 청구항 11

제1항에 있어서,

상기 드레인 연장부는 0.3미크론 보다 크고 6.0미크론 보다 작은 연장거리를 상기 채널과 상기 드레인 사이에 갖는 것을 특징으로 하는 정전 방전 보호 장치.

#### 청구항 12

제1항에 있어서,

상기 트레인 연장부는  $10^{17}$  ions/cm<sup>2</sup> 내지  $5 \times 10^{19}$  ions/cm<sup>2</sup> 범위의 도핑 농도를 갖는 것을 특징으로 하는 정전 방전 보호 장치.

#### 청구항 13

집적 회로 칩과 칩 외부의 회로와의 통신을 위한 정전 방전 내성 장치에 있어서,

표면상에 본드 패드가 배치되는 반도체 칩과;

채널 영역에 의해 분리되는 고 농도로 도핑된 표면 소스 및 드레인 영역과, 상기 채널 영역 상에 배치되고 게이트 산화막층에 의해 상기 표면으로부터 분리되는 게이트를 가지며, 상기 드레인 영역은 상기 본드 패드와 접촉되고, 상기 채널과 상기 드레인 영역 사이에 저 농도로 도핑된 드레인 연장부가 배치되는 트랜지스터와;

상기 채널의 스냅백 도통을 개시하는 트리거 전압과 상기 스냅백 도통을 유지하는 홀딩 전압 및 최대의 비파괴 전류 밀도에 의해 특징지어 지는 상기 소스 영역 및 드레인 영역간의 경로를 포함하며,

상기 드레인 연장부는 상기 경로와 직렬로 저항을 가져서, 상기 경로에 따른 상기 최대 비파괴 전류 밀도의 흐름은 상기 경로의 전압을 상기 트리거 전압 이상으로 상승시켜 인접한 경로에서 스냅백 도통을 개시하는 것을 특징으로 하는 장치.

#### 청구항 14

제13항에 있어서,

상기 채널은 상기 경로를 따라 배향되는 길이와 상기 경로에 횡단하여 배향되는 폭을 가지며, 상기 폭이 상기 길이보다 수 배 커서, 상기 폭에 대하여 균일하게 분배되는 정전 방전 전류는 상기 최대의 비파괴 전류 밀도보다 적은 전류 밀도를 갖게 되는 것을 특징으로 하는 장치.

#### 청구항 15

제14항에 있어서,

상기 드레인 연장부는 상기 경로를 따라 배향되는 다음의 연장거리( $E_d$ )를 갖는 것을 특징으로 하는 장치.

$$E_d \geq \frac{V_t - V_H - I_{\max} \rho_c}{I_{\max} R_d}$$

여기서,  $V_t$  : 트리거 전압

$V_H$  : 홀딩 전압

$I_{\max}$  : 단위 폭 당 최대 전류(최대 비파괴 전류 밀도에 채널의 깊이를 곱한 것과 동일함)

$\rho_c$  : 스냅백 도통 동안의 채널 저항률

$R_d$  : 드레인 연장부의 시트 저항

#### 청구항 16

제14항에 있어서,



상기 게이트 산화막층은 최대의 비파괴 전압( $V_g$ )에 의해 특징지어지며, 채널폭은 다음과 같은 것을 특징으로 하는 장치.

$$W \geq \frac{I_{esd}(\rho_c + R_d E_d)}{V_g - V_H}$$

여기서, W : 채널 폭

$I_{esd}$  : 정전 방전 전류

$\rho_c$  : 스냅백 도통 동안의 채널의 저항률

$R_d$  : 드레인 연장부의 시트 저항

$E_d$  : 경로에 따른 드레인 연장부의 연장거리

$V_H$  : 홀딩 전압

#### 청구항 17

제13항에 있어서,

상기 게이트 및 상기 드레인 연장부에 인접하는 측벽 산화막층을 더 포함하며, 상기 측벽 산화막층은 상기 표면에서 상기 게이트 상부까지의 높이보다 더 큰 거리를 상기 게이트 산화막으로부터 상기 표면을 따라 연장하는 것을 특징으로 하는 장치.

#### 청구항 18

제13항에 있어서,

상기 드레인 연장부는 0.4미크론 보다 크고 3.0미크론 보다 작은 연장거리를 상기 경로에 따라 갖는 것을 특징으로 하는 장치.

#### 청구항 19

제13항에 있어서,

상기 드레인 연장부는 100 내지 5,000 Ohms/square 범위의 시트 저항을 갖는 것을 특징으로 하는 장치.

#### 청구항 20

집적 회로 칩과 이 칩의 외부의 회로 사이에서 신호를 전송하기 위한 입력/출력 장치에 있어서,

기판의 회로와 상기 기판 외부의 회로와의 통신을 위해 표면과 상기 표면에 인접한 본드 패드를 갖는 반도체 기판과;

제2 도전형의 채널에 의해 분리되는 제1 도전형의 소스 및 상기 본드 패드에 접속되는 드레인을 형성하는 상기 표면 근방의 도핑된 부분을 구비한 상기 기판의 활성 영역과;

상기 채널에 인접하게 배치되는 하부와, 상기 표면의 말단에 상부를 가지며, 게이트 산화막층에 의해 상기 표면으로부터 분리되는 게이트와;

상기 게이트 산화막층과 상기 드레인에 인접한 상기 표면상에 배치되고, 상기 표면에서 상기 게이트의 상기 상부까지의 높이보다 큰 거리를 상기 게이트로부터 상기 표면을 따라 연장하는 드레인 측벽 산화막층과;

상기 거리에 따른 상기 채널과 상기 드레인 측벽 산화막층에 인접하는 상기 드레인의 저 농도로 도핑된 연장부를 포함하는 것을 특징으로 하는 입력/출력 장치.

#### 청구항 21

제20항에 있어서,

상기 게이트 산화막층과 상기 소스에 인접한 상기 표면상에 배치되고, 상기 표면에서 상기 게이트의 상기 상부까지의 높이보다 큰 스패(span)를 상기 게이트로부터 상기 표면을 따라 연장하는 소스 측벽 산화막층과;

상기 폭 및 상기 스패에 따른 상기 채널과 상기 소스 측벽 산화막층에 인접하는 상기 소스의 저 농도로 도핑된 부분을 더 포함하는 것을 특징으로 하는 입력/출력 장치.

#### 청구항 22

제20항에 있어서,

상기 채널은 최대의 비파괴 전류 밀도에 의해 특징지어지며, 상기 드레인의 저 농도로 도핑된 부분은 상기 채널의 깊이 및 폭을 따라 스냅백 전류를 확산하고, 상기 폭에 상기 깊이를 곱하여 형성된 면적은, 정전 전류 펄스를 상기 최대의 비파괴 전류 밀도로 나눈 것보다 큰 것을 특징으로 하는 입력/출력 장치.

## 청구항 23

제20항에 있어서,

상기 소스와 상기 드레인간의 경로에 따른 스냅백 도통이 개시되는 트리거 전압, 상기 스냅백 도통이 유지되는 홀딩 전압, 및 상기 경로에 따른 최대의 비파괴 전류 밀도에 의해 특징지어지며,

상기 드레인과 상기 채널을 분리하는 상기 드레인 연장부는 상기 경로와 직렬로 저항을 가져서, 상기 경로에 따른 상기 최대의 비파괴 전류 밀도의 흐름이 상기 트리거 전압을 초과하는 전압을 상기 경로 상에 생성하여 상기 소스와 상기 드레인간의 인접한 경로에서 스냅백 도통을 개시하는 것을 특징으로 하는 입력/출력 장치.

## 청구항 24

제23항에 있어서,

상기 게이트 산화막층은 상기 트리거 전압보다 더 큰 최대의 비파괴 전압에 의해 특징지어 지는 것을 특징으로 하는 입력/출력 장치.

## 요약

본 장치는 입력/출력 트랜지스터에 정전 디스차지(ESD) 보호를 제공한다. 게이트(35) 및 기판(25) 표면에 인접하여 약하게 도핑된 영역(105)이 배치된다. 사이드월 산화물층(45)은 게이트로부터 측면적으로 상당히 연장시키기 위해 선택적으로 에칭된다. 강하게 도핑된 소스(70) 및 드레인(75)은 기판에 임플란테이션되며, 드레인 및 소스가 상당한 거리의 사이드월 산화물에 의해 게이트로부터 분리된다.

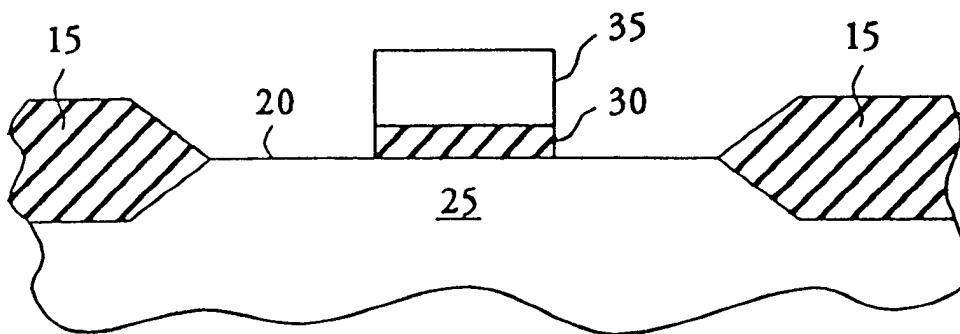
## 대표도

## 도7

## 도면

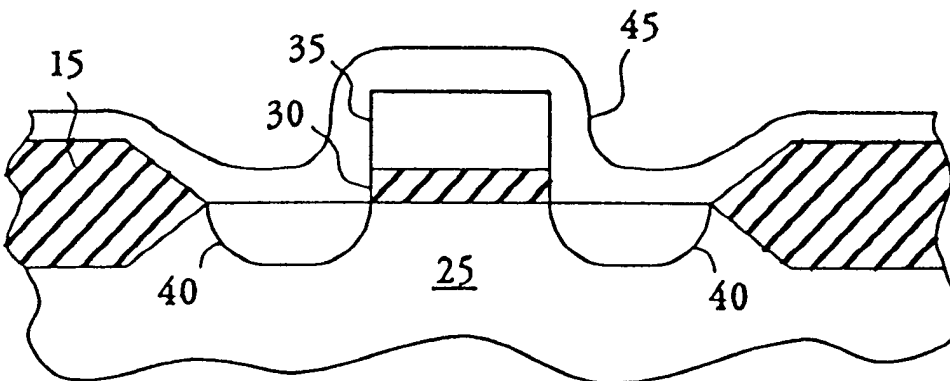
도면 1a

(종 래 기 술)



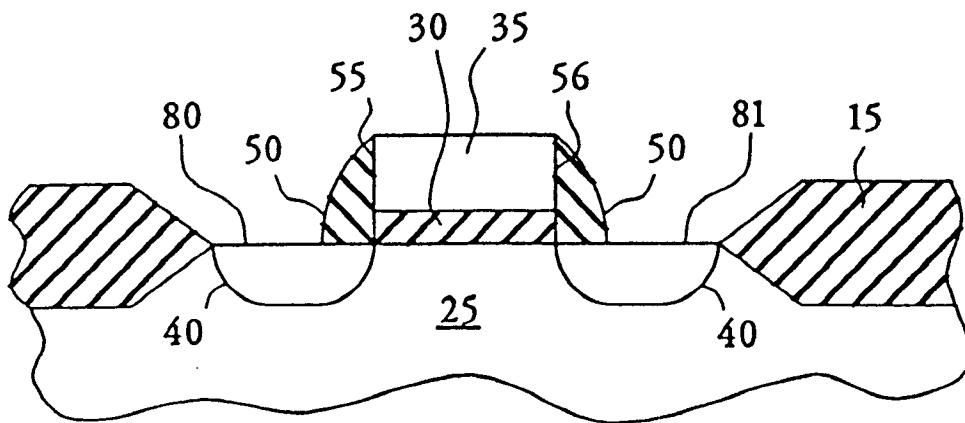
도면 1b

(종 래 기 술)



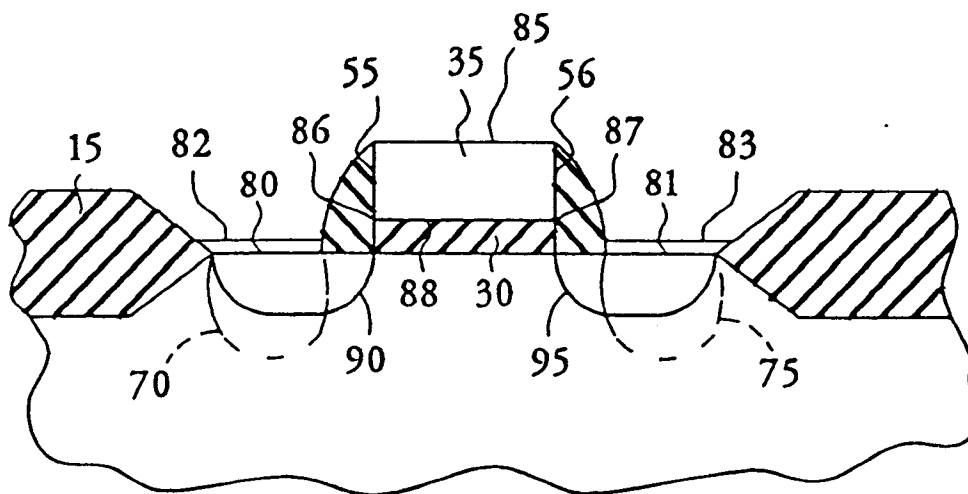
도면1c

(종 래 기 술)

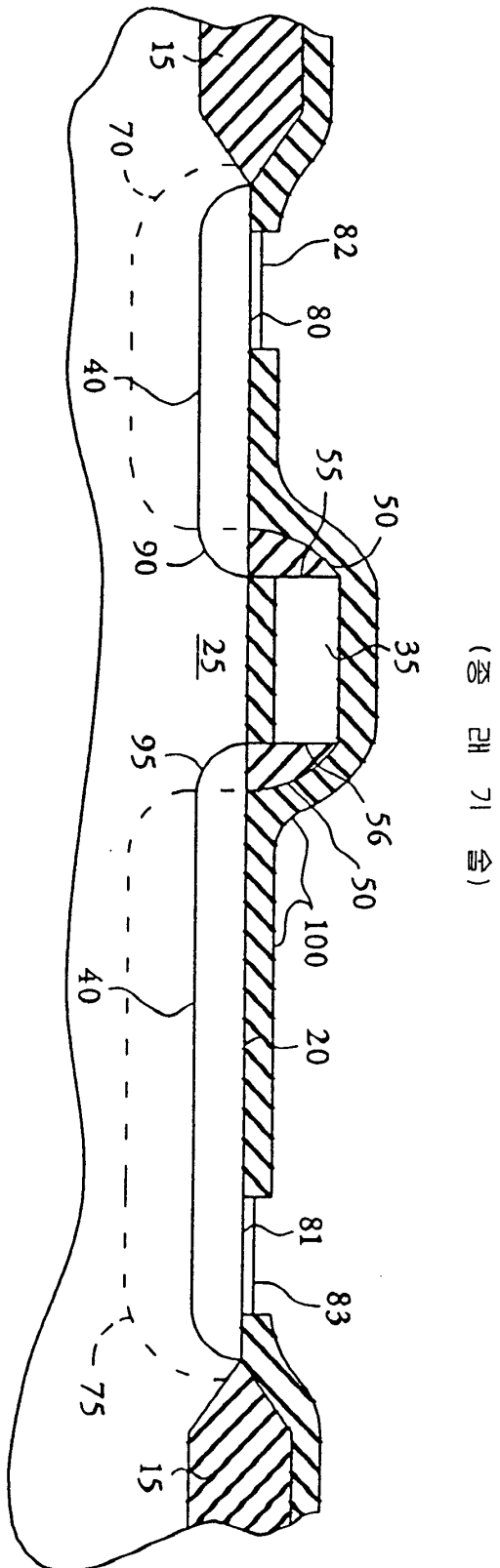


도면1d

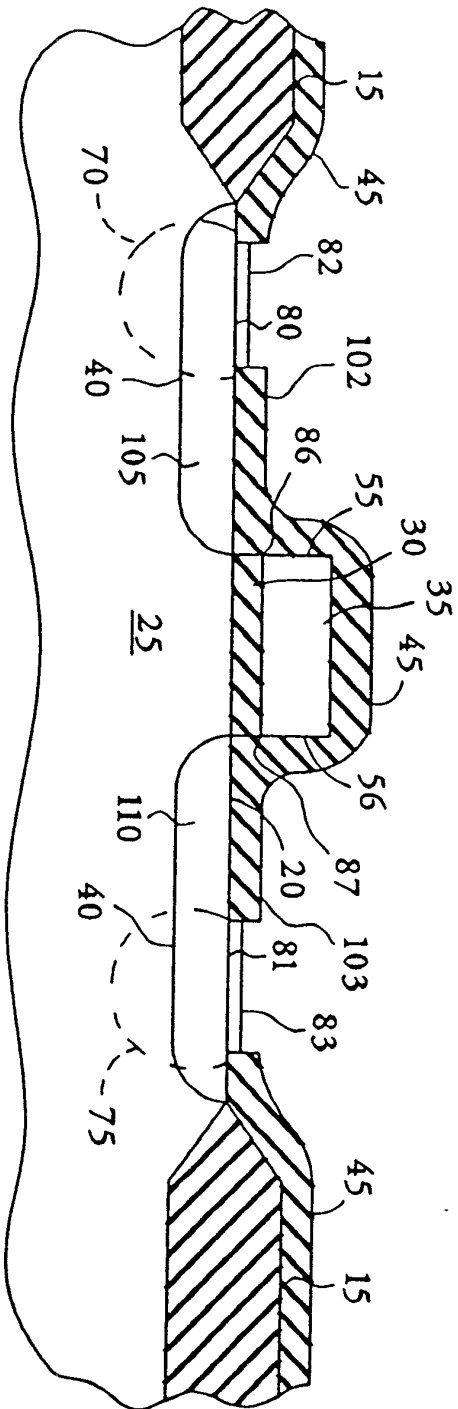
(종 래 기 술)



도면2



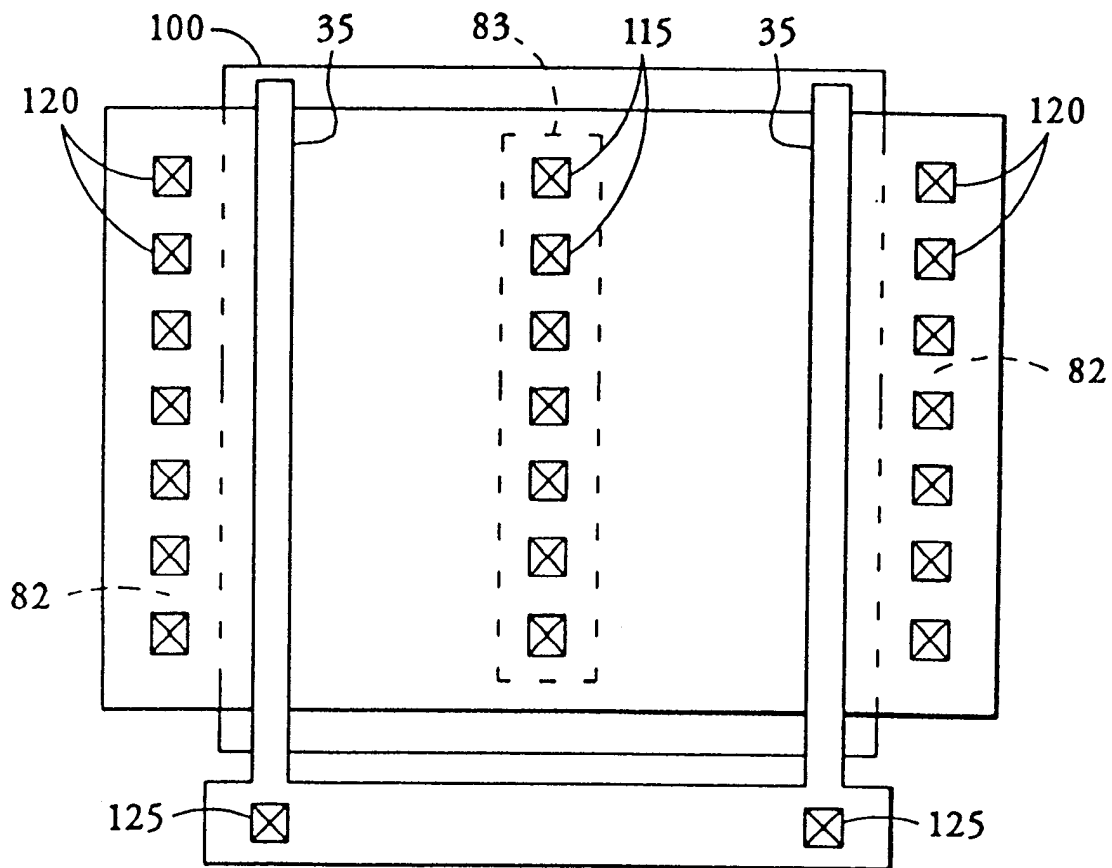
도면3



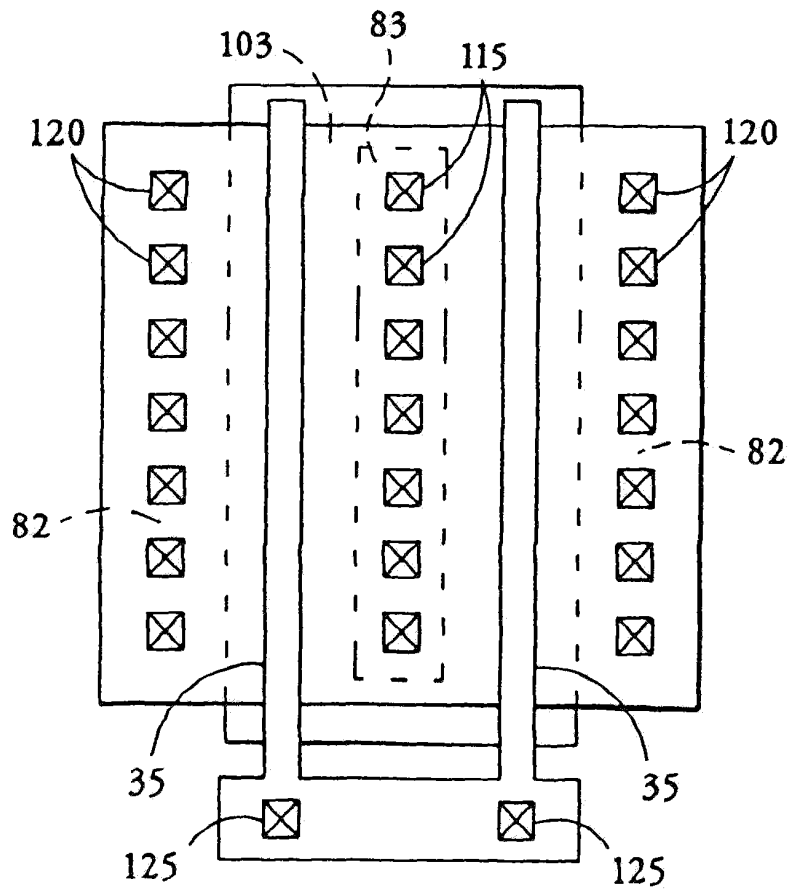


도면4

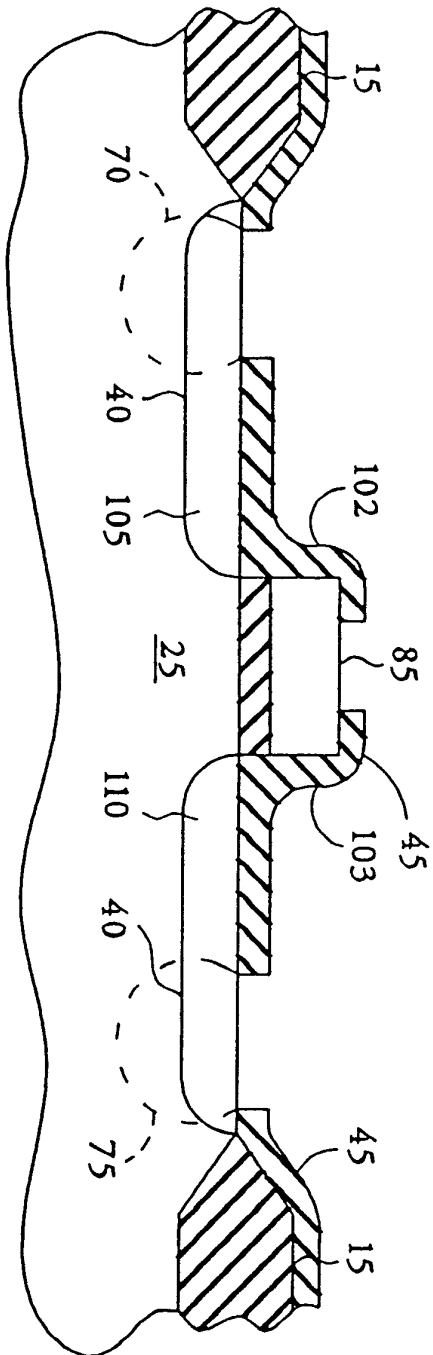
(종 래 기 술)

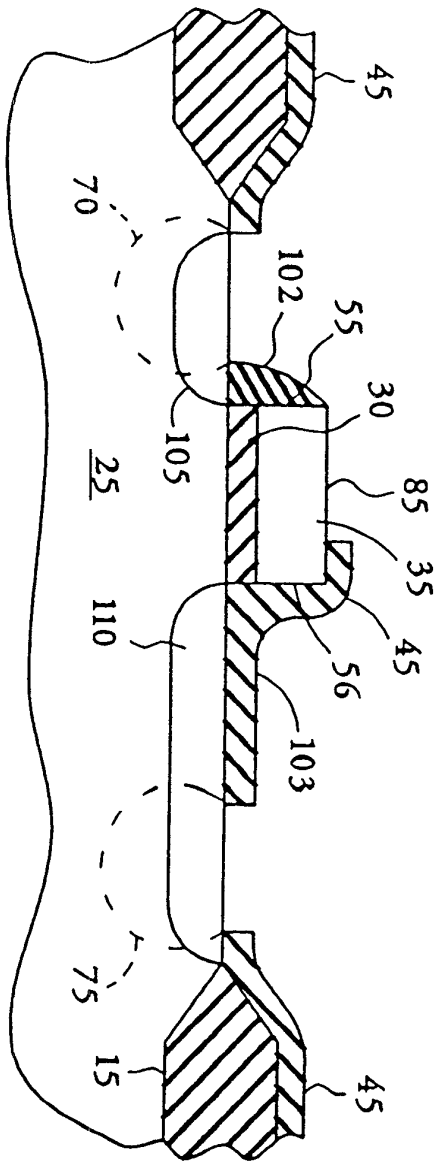


도면5

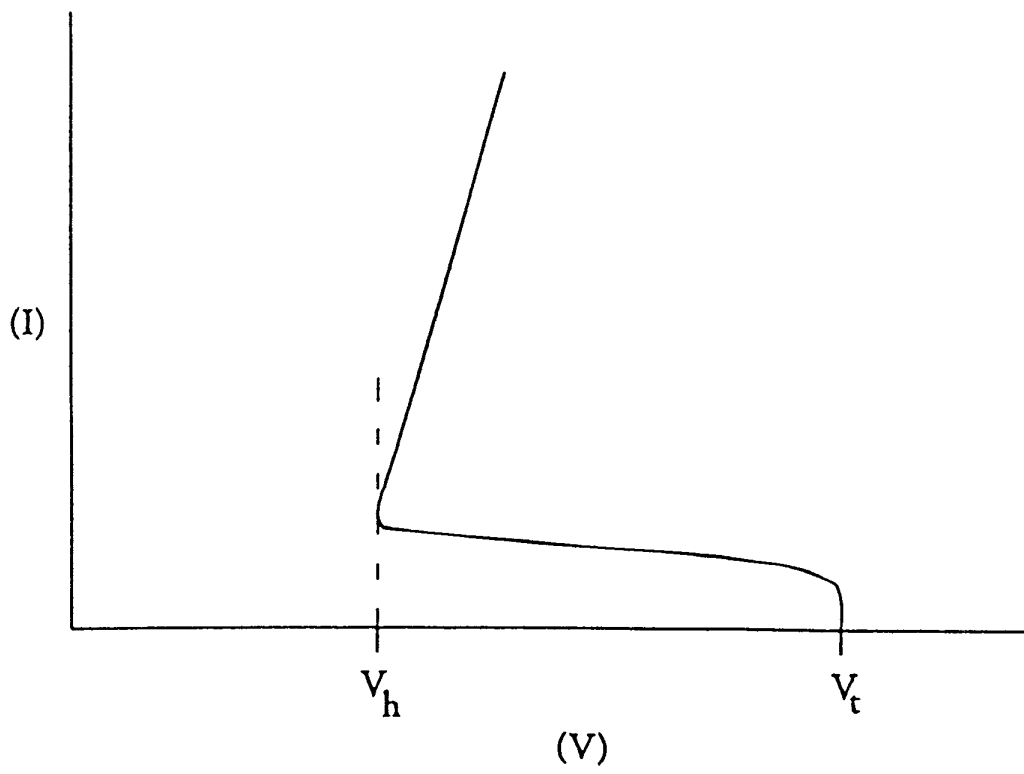


도면6

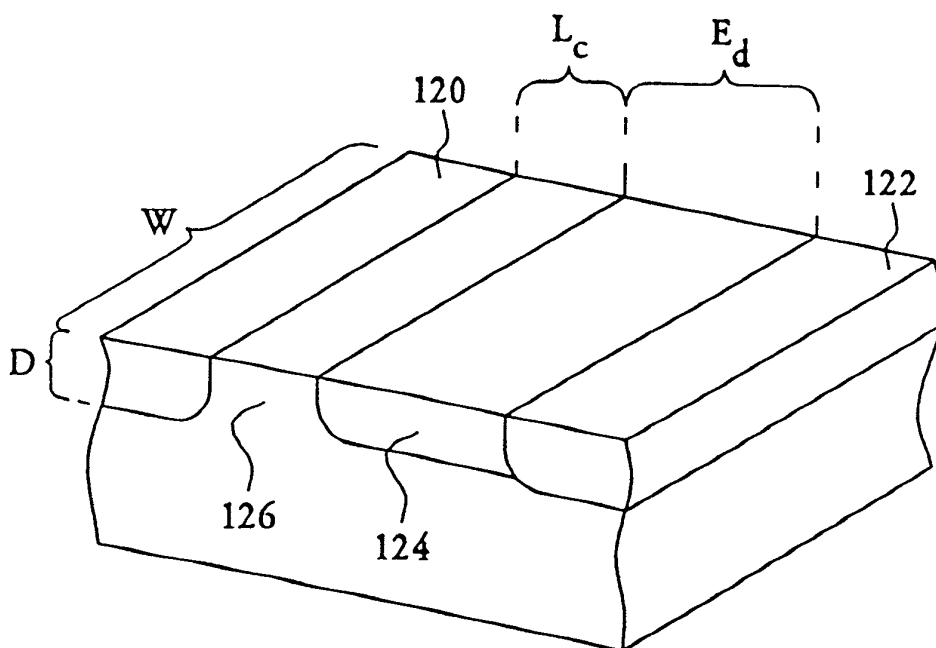




도면8



도면9





도면10

