[19]中华人民共和国专利局

[51]Int.Cl[6]
H01L 21/761

[12] 发明专利申请公开说明书

[21] 申请号 96108208.9

[43]公开日 1997 年 2 月 19 日

[11] 公开号 CN 1143260A

[22]申请日 96.6.19

[30]优先权

[32]95.6.20 [33]KR[31]16405/95

[71]申请人 现代电子产业株式会社

地址 韩国京畿道

[72]发明人 黄 僑

[74]专利代理机构 中国专利代理(香港)有限公司

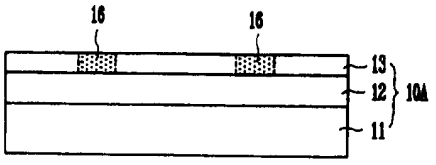
代理人 张志醒 萧掬昌

权利要求书 2 页 说明书 3 页 附图页数 2 页

[54]发明名称 半导体器件及其制造方法

[57]摘要

一种半导体器件中的隔离膜和形成该隔离膜的方法，通过在一隔离区的 SOI(绝缘体上的硅)层中注入杂质离子，能增大有源区的尺寸和改善隔离膜的平整度，并减少了工艺步骤。



权 利 要 求 书

1.一种半导体器件，包括:

一个SOI晶片，具有一硅基片、一绝缘层和一SOI层;

一个有源区，通过以第一类杂质离子进行掺杂而在所述SOI层的第一选择区域形成；以及

一个隔离区，形成在所述SOI层的第二选择区域，其中该隔离区是以第二类杂质离子进行掺杂的，以便将另一个与所述有源区相邻的有源区隔离开来。

2.如权利要求1所述的半导体器件，其特征在于，所述第一类杂质的类型是与所述第二类杂质的类型相反的。

3. 如权利要求1所述的半导体器件，其特征在于，所述第二类杂质的浓度高于所述第一类杂质的浓度。

4. 如权利要求1所述的半导体器件，其特征在于，所述绝缘层是由氧化膜或氮化膜形成的。

5. 一种制造半导体器件的方法，包括以下步骤:

提供一个SOI晶片，其中以叠层结构形成一硅基片、一绝缘层和一SOI层;

注入第一类杂质离子而在所述 SOI 层中第一选择区域形成一有源区；以及

注入第二类杂质离子而在所述 SOI 层中第二选择区域形成一隔离区。

6.如权利要求5所述的制造半导体器件的方法，其特征在于，所述的第一类杂质的类型是与所述第二类杂质的类型相反的。

7. 如权利要求5所述的制造半导体器件的方法，其特征在于，所

述第二类杂质的浓度高于所述第一类杂质的浓度。

8. 如权利要求 5 所述的制造半导体器件的方法，其特征在于，所述绝缘层是由氧化膜或氮化膜形成的。

说　明　书

半导体器件及其制造方法

本发明涉及半导体器件中的一种隔离膜及形成该膜的方法，特别是涉及通过在一隔离区上的 SOI(绝缘体上的硅)层中注入杂质离子来增大有源区的尺寸和改善隔离膜平整度(planarization)的半导体器件中的隔离膜及形成该膜的方法。

目前，随着半导体器件的集成度越来越高，一种 SOI 晶体管被用于作为下一代的晶体管。其电性能，例如击穿特性和阈值电压，与通常的 MOS(金属氧化物半导体)晶体管相比，有了明显的改进。这种 SOI 晶体管是在 SOI 晶片上形成的。就 SOI 晶片的结构看，其中的 SOI 层(例如硅基片)、绝缘层和上面的硅层，其叠置情况是与通常所用的体型(bulk-type)晶片不同的。形成半导体中隔离膜的一般方法可参看图 1A 和图 1B 来说明。

如图 1A 所示，一个衬垫氧化膜 4 和氮化膜 5 相继形成在 SOI 晶片 10 上，晶片 10 有叠层结构的硅基片 1、绝缘层 2 和 SOI 层 3，而氮化膜 5 和衬垫氧化膜 4 相继成型以暴露隔离区 F 内的 SOI 层 3。然后，如图 1B 所示，利用硅的局部氧化(LOCOS)法使暴露的 SOI 层 3 氧化而形成隔离膜 6。以这种 LOCOS 法形成的隔离膜，其缺点在于有高的集成布局(topology)，并且因氧化过程中氧化剂扩散较迟而出现的“鸟嘴(brid's beak)”状，因而该方法减小了有源区的尺寸。

因此，本发明的目的在于提供一种在半导体器件中形成隔离膜的方法，该方法通过在 SOI 层的选择部分注入杂质离子而能克服上述缺点。

为达到上述目的，本发明的特点在于包括：一个 SOI 晶片，具有一硅基片、一绝缘层和一 SOI 层；一个有源区，通过以第一类杂质离子进行掺杂而在 SOI 层的第一选择区域形成；以及一个隔离区，形成在 SOI 层的第二选择区域，其中隔离区是以第二类杂质离子进行掺杂的，以便将另一个与所述有源区相邻的有源区隔离开来。

一种制造半导体器件的方法，包括以下步骤：提供一个 SOI 晶片，其中以叠层结构形成一硅基片、一绝缘层和一 SOI 层；注入第一类杂质离子而在 SOI 层中第一选择区域形成一有源区；以及注入第二类杂质离子而在 SOI 层中第二选择区域形成一隔离区。

为了更充分了解本发明的特点和目的，以下结合附图更详细地加以说明。附图中：

图 1A 和图 1B 是为说明在一半导体器件中形成隔离膜的一般方法的器件剖面图；

图 2A 至图 2C 是说明按本发明的在一半导体器件中形成隔离膜的方法的剖面图。

全部附图中同样的标号表示相同的部分。

以下参看附图详细地说明本发明。

图 2A 至图 2E 为剖面图，用以说明本发明的在一半导体器件中形成隔离膜的方法。

图 2A 是半导体器件的一个剖面图，其中，在一光阻材料 20 覆盖到 SOI 晶片 10A 上之后，将光阻材料 20 成型以暴露隔离区 FF 中的 SOI 层 13。其中所述 SOI 晶片 10A 中以叠层结构形成有硅基片 11、绝缘层 12 和 SOI 层 13。绝缘层 12 是由一氧化膜或氮化膜形成的。

图 2B 是半导体器件的一个剖面图，其中，利用成型的光阻材料 20 作为离子注入掩膜以离子注入法将一种杂质离子注入暴露的 SOI 层 13 从而形成隔离膜 16，这里所用的离子是不同于要注入晶体管结

区的那种杂质离子的相反种类的离子，但其注入的杂质离子量并不足以使形成所述结区时要注入的杂质离子失调。例如，当把 P^+型杂质离子注入 PMOS 晶体管的结区时，则把 N^+型杂质离子注入暴露的 SOI 层；而当把 N^+型杂质离子注入 NMOS 晶体管的结区时，则把 P^+型杂质离子注入暴露的 SOI 层。

参看图 2C，去除光阻材料 20，然后进行退火处理，从而完整地形成一隔离膜 16。由此，在隔离膜与晶体管结区形成 P－N 或 N－P 结，于是获得足够的隔离作用。此外，由于 不必进行氧化处理，因此有源区 AA 的尺寸不会减小。

由上可知，本发明在改善隔离作用方面有突出效果而无须增加有关的步骤，因为隔离膜是靠向隔离区的 SOI 层中注入杂质离子而形成的，这样，由于不包含氧化过程，就防止了有源区的尺寸因出现“鸟嘴”状扩散而造成的减小。

尽管以上仅描述了具有本发明原理的带有特殊性的一个较佳实施例，但是应当了解，本发明并不限于这一实施例。在本发明的精神和范围内可以作出各种适当的变化，以进一步实施本发明。

说　明　书　附　图

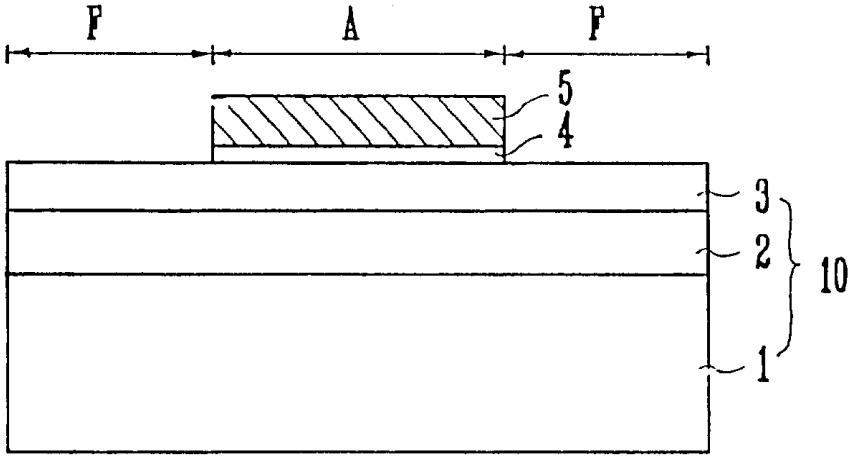


图　1A
(现有技术)

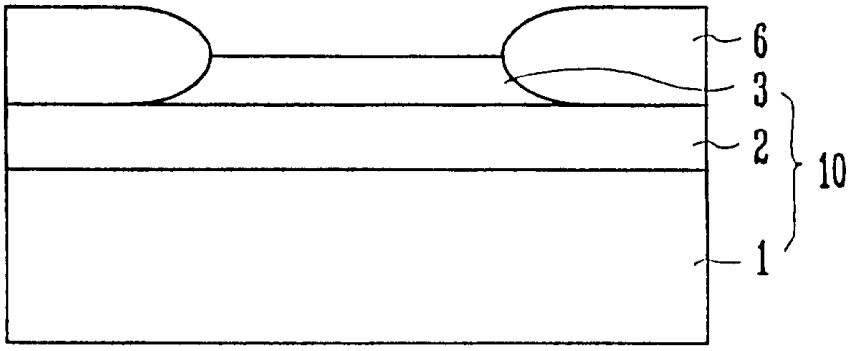


图　1B
(现有技术)

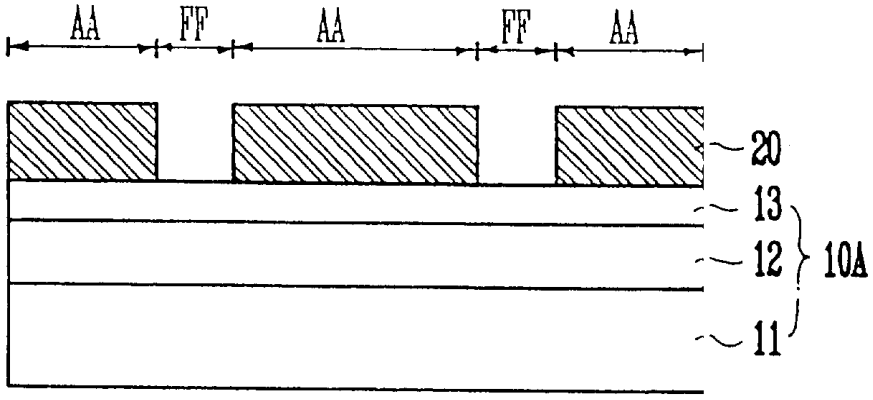

AA
FF
AA
FF
AA
20
13
12
10A
11

图 2A

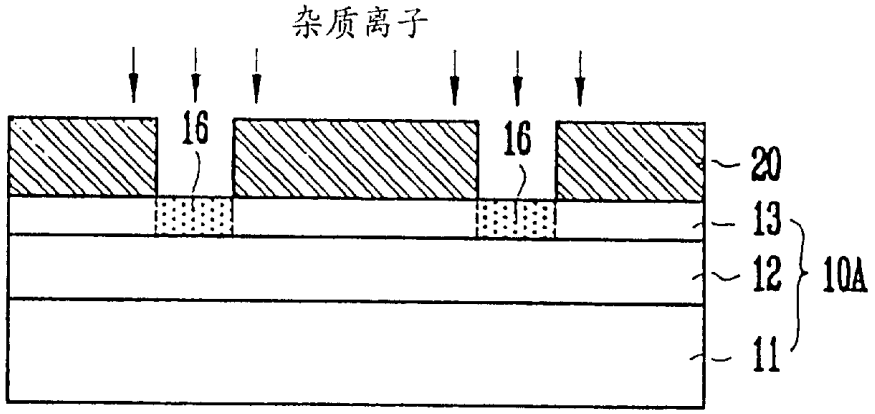

杂质离子
16
16
20
13
12
10A
11

图 2B

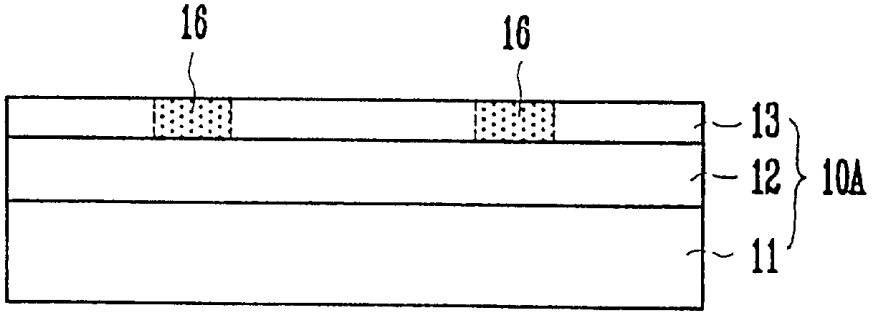

16
16
13
12
10A
11

图 2C