

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局



(10) 国际公布号
WO 2012/159235 A1

(43) 国际公布日
2012 年 11 月 29 日 (29.11.2012) WIPO | PCT

- (51) 国际专利分类号:
H01L 21/762 (2006.01) H01L 29/78 (2006.01)
H01L 21/336 (2006.01) H01L 29/423 (2006.01)
- (21) 国际申请号: PCT/CN2011/001312
- (22) 国际申请日: 2011 年 8 月 9 日 (09.08.2011)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:
201110137573.5 2011 年 5 月 24 日 (24.05.2011) CN
- (71) 申请人 (对除美国外的所有指定国): 中国科学院微电子研究所 (INSTITUTE OF MICROELECTRONICS, CHINESE ACADEMY OF SCIENCES) [CN/CN]; 中国北京市朝阳区北土城西路 3 号, Beijing 100029 (CN)。
- (72) 发明人; 及
(75) 发明人/申请人 (仅对美国): 骆志炯 (LUO, Zhijiong) [US/US]; 美国纽约州波基普西市洛克科劳斯特街 11#, New York 12603 (US)。尹海洲 (YIN, Haizhou) [CN/US]; 美国纽约州波基普西市洛克科劳斯特街 11#, New York 12603 (US)。朱慧珑 (ZHU, Huilong) [US/US]; 美国纽约州波基普西市奥特姆路 93#, New York 12603 (US)。
- (74) 代理人: 中国专利代理(香港)有限公司 (CHINA PATENT AGENT (H.K.) LTD.); 中国香港湾仔港湾道 23 号鹰君中心 22 号楼, Hong Kong (CN)。
- (81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, QA, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。
- (84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA,

[见续页]

(54) Title: SEMICONDUCTOR DEVICE AND METHOD FOR FABRICATING THE SAME

(54) 发明名称: 半导体器件及其制造方法

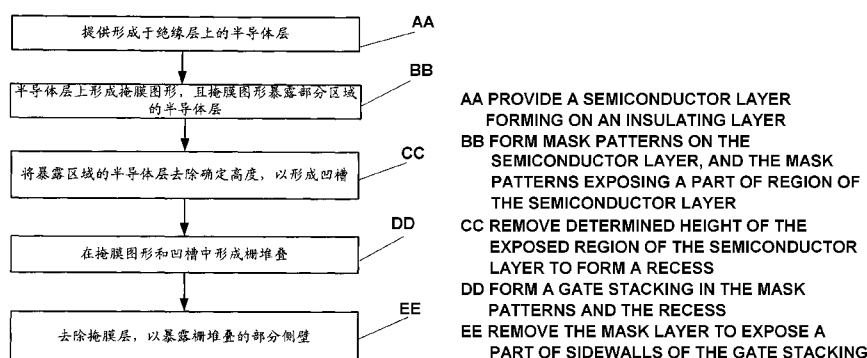


图 1 / Fig. 1

(57) Abstract: A semiconductor device and a method for fabricating the same are provided. Wherein, the method comprises: providing a semiconductor layer, the semiconductor layer being formed on an insulating layer; forming mask patterns on the semiconductor layer, the mask patterns exposing a part of region of the semiconductor layer; removing determined height of the exposed region of the semiconductor layer to form a recess; forming a gate stacking in the mask patterns and the recess; removing the mask patterns to expose a part of sidewalls of the gate stacking. It is advantageous to satisfy the accuracy requirement of the SOI thickness, and, relative to a device with the same SOI thickness at the gate stacking, it can increase the thickness of the source/drain region correspondingly, and facilitate reduction of parasitic resistance of the source/drain region.

(57) 摘要: 一种半导体器件及其制造方法。其中, 该方法包括: 提供半导体层, 所述半导体层形成于绝缘层上; 在所述半导体层上形成掩膜图形, 所述掩膜图形暴露部分区域的所述半导体层; 将暴露区域的所述半导体层去除确定高度, 以形成凹槽; 在所述掩膜图形和所述凹槽中形成栅堆叠; 去除所述掩膜图形, 以暴露所述栅堆叠的部分侧壁。既利于满足对 SOI 厚度的精度要求, 相对于具有相同的栅堆叠处 SOI 厚度的器件, 还可以相应地增加源漏区的厚度, 利于降低源漏区的寄生电阻。



WO 2012/159235 A1



SD, SL, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG,

CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告(条约第 21 条(3))。

半导体器件及其制造方法

优先权要求

本申请要求了 2011 年 5 月 24 日提交的、申请号为 201110137573.5、
5 发明名称为“半导体器件及其制造方法”的中国专利申请的优先权，
其全部内容通过引用结合在本申请中。

技术领域

本发明通常涉及半导体制造技术领域，特别涉及一种半导体器件
10 及其制造方法。

背景技术

SOI (Silicon on Insulator, 绝缘体上硅) 结构的主要特点是在 SOI
和体硅之间插入埋氧层来隔断 SOI 和体硅之间的电气连接。其中，体
15 硅层较厚，其主要作用是为其上的埋氧层和 SOI 提供机械支撑。SOI
器件和普通半导体器件的主要差异在于：普通半导体器件制作在体硅
或体硅的外延层上，半导体器件和体硅直接产生电气连接，高低压单
元之间、SOI 和体硅之间的隔离通过反偏 PN 结完成；而 SOI 器件中，
SOI 和体硅甚至高低压单元之间都通过绝缘介质完全隔开，各部分的电
20 气连接被完全消除。这一结构特点为 SOI 器件带来了寄生效应小、速
度快、功耗低、集成度高、抗辐照能力强等诸多优点。

在完全耗尽型 (full depleted) 晶体管架构中，组件的效能与 SOI
厚度之间有密切的关联。为确保所有组件达到参数相似性，SOI 的厚度
须加以严格控制。然而，很难控制超薄 SOI 的厚度，并且比较薄的源
25 漏区具有很高的寄生电阻。

发明内容

鉴于上述问题，本发明提供一种半导体器件的制造方法。其中，
该方法包括：

30 提供半导体层，所述半导体层形成于绝缘层上；

在所述半导体层上形成掩膜图形，所述掩膜图形暴露部分区域的
所述半导体层；

将暴露区域的所述半导体层去除确定高度，以形成凹槽；

在所述掩膜图形和所述凹槽中形成栅堆叠；

去除所述掩膜图形，以暴露所述栅堆叠的部分侧壁。

本发明还提供了一种半导体器件，包括：

5 半导体层，所述半导体层形成于绝缘层上；

栅堆叠，部分高度的所述栅堆叠嵌于所述半导体层中，且与所述绝缘层之间夹有所述半导体层材料。

采用本发明提供的方法，不仅可以先形成相对容易控制的较厚的 SOI，进而在较厚的 SOI 的局部形成凹槽，再在所述凹槽中形成栅堆叠，
10 可以采用相对容易控制的工艺形成在栅堆叠处较薄而在源漏区处较厚的 SOI，既利于满足对 SOI 厚度的精度要求，相对于具有相同的栅堆叠处 SOI 厚度的器件，还可以相应地增加源漏区的厚度，利于降低源漏区的寄生电阻。

15 附图说明

图 1 示出了根据本发明的实施例的半导体器件的制造方法的流程图；

图 2-12 示出了根据本发明的实施例制造半导体器件的不同阶段的示意性截面图。

20

具体实施方式

下文的公开提供了许多不同的实施例或例子用来实现本发明的不同结构。为了简化本发明的公开，下文中对特定例子的部件和设置进行描述。当然，它们仅仅为示例，并且目的不在于限制本发明。此外，
25 本发明可以在不同例子中重复参考数字和/或字母。这种重复是为了简化和清楚的目的，其本身不指示所讨论各种实施例和/或设置之间的关系。此外，本发明提供了的各种特定的工艺和材料的例子，但是本领域普通技术人员可以意识到其他工艺的可应用于性和/或其他材料的使用。

30 参考图 1 和图 2，首先，提供半导体层 206，所述半导体层 206 形成于绝缘层 204 上。绝缘层 204 位于半导体衬底 202 上，即半导体层 206、绝缘层 204 和半导体衬底 202 构成 SOI 衬底。在本实施例中，半

导体层 206 的材料为 Si, 在其他实施例中, 半导体层 206 的材料还可以是 Ge 或者 SiGe 等其他合适的半导体材料。绝缘层 204 可以为氧化硅、氮氧化硅等绝缘材料。半导体衬底 202 可以包括 Si 或 Ge 衬底等。在其他实施例中, 半导体衬底 202 还可以是形成于其他基板 (如玻璃) 上的任意半导体材料层, 甚至可以是 III-V 族化合物半导体 (如 GaAs、InP 等) 或 II-VI 族化合物半导体 (如 ZnSe、ZnS) 等。

随后, 在半导体层 206 上形成掩膜图形 208, 掩膜图形 208 暴露部分区域的半导体层 206。在本实施例中, 掩膜图形 208 的材料可以为氧化硅、氮氧化硅和/或氮化硅, 也可以是光刻胶。以上仅仅是作为示例, 不局限于此。具体形成过程可以参照图 3-图 6 所示。首先, 在半导体层 206 上形成掩膜层 208, 如图 3 所示。然后在掩膜层 208 上覆盖光刻胶, 并对光刻胶进行构图, 以形成如图 4 所示的开口图形 210。接着, 沿开口图形 210 对掩膜层 208 进行刻蚀以暴露部分区域的半导体层 206, 如图 5 所示。随后, 去除掩膜层 208 上的光刻胶, 形成如图 6 所示的掩膜图形 208。

再后, 将暴露区域的半导体层 206 去除确定高度, 以形成凹槽 216。具体地, 可以首先经由开口图形 210 在暴露区域的半导体层 206 的表层形成异质层 214, 如图 7 所示; 然后去除异质层 214, 形成凹槽 216, 以使在所述暴露区域中, 所述半导体层 206 的厚度小于 50nm, 如图 8 和图 9 所示。在形成凹槽 216 后, 未暴露的所述半导体层 206 的上表面与暴露的所述半导体层 206 的上表面之间形成高度差, 所述高度差大于或等于 3nm, 如 5nm、8nm、10nm 或 15nm。

形成异质层的方法可以采取以下两种方法中的任意一种实现, 一是热氧化法, 即对上述结构进行热氧化操作, 以在开口图形 210 下方的半导体层 206 的表层形成氧化物层作为异质层 214; 二是离子注入法, 即执行离子注入操作, 以在暴露的半导体层 206 的表层中嵌入注入离子, 然后执行退火操作, 以使嵌有注入离子的所述表层形成异质层 214, 在本发明实施例中, 注入的离子为氧离子。

去除异质层 214 的步骤包括进行湿法刻蚀或干法刻蚀, 形成内嵌于 SOI 衬底的半导体层 206 的开口, 如图 8 所示。然后优选地还包括对掩膜层 208 的开口图形 210 进行微刻蚀, 形成如图 9 所示的贯通于掩膜图形 208 的基本方形的凹槽 216。

然后，在掩膜图形 208 和凹槽 216 中形成栅堆叠。具体地，可以首先在如图 9 所示的半导体结构上覆盖一层栅介质层 218，如图 10 所示。该栅介质层 218 可通过化学气相沉积 (CVD)、原子层沉积 (ALD) 形成。栅介质层 218 材料可以为氧化硅，也可以为高 k 材料，如 HfO_2 、
5 HfSiO 、 HfSiON 、 HfTaO 、 HfTiO 、 HfZrO 、 Al_2O_3 、 La_2O_3 、 ZrO_2 、 LaAlO 中的一种或其组合。此外，也可通过热氧化工艺形成栅介质层，只是此时的栅介质层只形成于所述凹槽暴露的半导体层表面，而在掩膜层 208 的侧壁上则不形成栅介质层（图未示）。

然后在栅介质层 218 上形成栅电极层 220，再经历平坦化操作（如
10 CMP）以去除位于凹槽 216 之外的栅介质层 218 和栅电极层 220，可获得如图 11 所示的结构。所述栅电极层 220 可以是一层或多层结构，所述栅电极层 220 为多层结构时，可以包括功函数金属层和主金属层，其中，功函数金属层可以从包含下列元素的组中选择一种或多种元素进行沉积：对于 PMOS，可以为 MoN_x 、 TiSiN 、 TiCN 、 TaAlC 、 TiAlN 、 TaN 、
15 PtSi_x 、 Ni_3Si 、 Pt 、 Ru 、 Ir 、 Mo 、 HfRu 、 RuO_x ；对于 NMOS，可以为 TaC 、 TiN 、 TaTbN 、 TaErN 、 TaYbN 、 TaSiN 、 HfSiN 、 MoSiN 、 RuTax 、 NiTax 中的一种或其组合。主金属层可以为多晶硅、Ti、Co、Ni、Al、W、合金或金属硅化物。栅介质层 218 和栅电极层 220 的沉积可以采用常规沉积工艺形成，例如溅射、物理气相沉积 (PLD)、金属有机化合物化学气相
20 沉积 (MOCVD)、原子层沉积 (ALD)、等离子体增强原子层沉积 (PEALD) 或其他合适的方法。之后，利用化学机械研磨技术 (CMP) 对上述器件进行平坦化。

最后，去除掩膜图形 208，以暴露所述栅堆叠的部分侧壁。可以利用干法刻蚀或者湿法刻蚀技术去除掩膜图形 208。在去除所述掩膜图形
25 后，还可以优选地包括：在暴露的所述部分侧壁上形成侧墙 222，如图 12 所示。其中，侧墙 222 可以根据需要为一层或多层结构（相邻两层的材料可以不同），本发明对此不作限制。

至此，就形成了如图 12 所示的半导体器件，包括：半导体层 206，半导体层 206 形成于绝缘层 204 上；栅堆叠（在本发明实施例中包括
30 栅介质层 218 和栅电极层 220），部分高度的所述栅堆叠嵌于半导体层 206 中，且与绝缘层 204 之间夹有所述半导体层材料。其中，半导体层 206 的材料可为 Si、SiGe 或 Ge，或上文中述及的其他材料；嵌于半导

体层 206 中的所述栅堆叠与绝缘层 204 之间的半导体层材料的厚度可小于 50nm；未承载栅堆叠的所述半导体层 206 的上表面与承载栅堆叠的所述半导体层 206 的上表面之间具有高度差，所述高度差大于或等于 3nm，如 5nm、8nm、10nm 或 15nm；本发明实施例中，还优选地包括形成在所述栅堆叠侧壁的侧墙 222，侧墙 222 环绕所述栅堆叠的高于半导体层 206 部分的侧壁，即侧墙 222 环绕所述部分高度之外的所述栅堆叠的侧壁。需说明的是，所述侧墙 222 既可接于所述栅电极层 220 的侧壁，也可接于所述栅介质层 218 的侧壁。

采用本发明提供的方法，不仅可以先形成相对容易控制的较厚的 SOI，进而在较厚的 SOI 的局部形成凹槽，再在所述凹槽中形成栅堆叠，可以采用相对容易控制的工艺形成在栅堆叠处较薄而在源漏区处较厚的 SOI，既利于满足对 SOI 厚度的精度要求，相对于具有相同的栅堆叠处 SOI 厚度的器件，还可以相应地增加源漏区的厚度，利于降低源漏区的寄生电阻。

虽然关于示例实施例及其优点已经详细说明，应当理解在不脱离本发明的精神和所附权利要求限定的保护范围的情况下，可以对这些实施例进行各种变化、替换和修改。对于其他例子，本领域的普通技术人员应当容易理解在保持本发明保护范围内的同时，工艺步骤的次序可以变化。

此外，本发明的应用范围不局限于说明书中描述的特定实施例的工艺、机构、制造、物质组成、手段、方法及步骤。从本发明的公开内容，作为本领域的普通技术人员将容易地理解，对于目前已存在或者以后即将开发出的工艺、机构、制造、物质组成、手段、方法或步骤，其中它们执行与本发明描述的对应实施例大体相同的功能或者获得大体相同的结果，依照本发明可以对它们进行应用。因此，本发明所附权利要求旨在将这些工艺、机构、制造、物质组成、手段、方法或步骤包含在其保护范围内。

权 利 要 求

1. 一种半导体器件的制造方法，包括：

提供半导体层，所述半导体层形成于绝缘层上；

5 在所述半导体层上形成掩膜图形，所述掩膜图形暴露部分区域的所述半导体层；

将暴露区域的所述半导体层去除确定高度，以形成凹槽；

在所述掩膜图形和所述凹槽中形成栅堆叠；

去除所述掩膜图形，以暴露所述栅堆叠的部分侧壁。

10 2. 根据权利要求 1 所述的方法，其特征在于，将暴露区域的所述半导体层去除确定高度的步骤包括：

使暴露的所述半导体层的表层形成异质层；

去除所述异质层。

15 3. 根据权利要求 2 所述的方法，其特征在于：以热氧化操作形成所述异质层。

4. 根据权利要求 1 所述的方法，其特征在于，将暴露区域的所述半导体层去除确定高度的步骤包括：

执行离子注入操作，以在暴露的所述半导体层的表层中嵌入注入离子；

20 执行退火操作，以使嵌有注入离子的所述表层形成异质层；

去除所述异质层。

5. 根据权利要求 4 所述的方法，其特征在于：所述注入离子为氧离子。

25 6. 根据权利要求 1 所述的方法，其特征在于：所述确定高度大于或等于 3nm。

7. 根据权利要求 1 所述的方法，其特征在于，将暴露区域的所述半导体层去除确定高度后，在所述暴露区域中，所述半导体层的厚度小于 50nm。

30 8. 根据权利要求 1 所述的方法，其特征在于，形成栅堆叠的步骤包括：

形成栅介质层，以覆盖所述凹槽的侧壁和底壁；

在所述栅介质层上形成栅电极层，以填充所述掩膜图形和所述凹

槽;

平坦化所述栅电极层,以暴露所述掩膜图形。

9. 根据权利要求 8 所述的方法,其特征在于:所述栅介质层还覆盖所述掩膜图形的侧壁。

5 10. 根据权利要求 1 所述的方法,其特征在于:所述半导体层材料为 Si、SiGe 或 Ge。

11. 根据权利要求 8 所述的方法,其特征在于,在去除所述掩膜图形后,还包括:在暴露的所述栅电极层的部分侧壁上形成侧墙。

12. 根据权利要求 9 所述的方法,其特征在于,在去除所述掩膜
10 图形后,还包括:在暴露的所述栅介质层的部分侧壁上形成侧墙。

13. 一种半导体器件,包括:

半导体层,所述半导体层形成于绝缘层上;

栅堆叠,部分高度的所述栅堆叠嵌于所述半导体层中,且与所述绝缘层之间夹有所述半导体层材料。

15 14. 根据权利要求 13 所述的半导体器件,其特征在于:其他区域的所述半导体层的上表面与承载所述栅堆叠的所述半导体层的上表面之间的高度差大于或等于 3nm。

15. 根据权利要求 13 所述的半导体器件,其特征在于:嵌于所述半导体层中的所述栅堆叠与所述绝缘层之间的所述半导体层材料的厚
20 度小于 50nm。

16. 根据权利要求 13 所述的半导体器件,其特征在于:所述半导体层材料为 Si、SiGe 或 Ge。

17. 根据权利要求 13 所述的半导体器件,其特征在于,嵌于所述半导体层中的部分高度的所述栅堆叠包括栅介质层和栅电极层,所述
25 栅电极层经由所述栅介质层接于所述半导体层;其余部分的所述栅堆叠为栅电极层;或者,其余部分的所述栅堆叠为栅介质层和栅电极层,所述栅介质层环绕所述栅电极层。

18. 根据权利要求 17 所述的半导体器件,其特征在于,还包括:
侧墙;在其余部分的所述栅堆叠为栅电极层时,所述侧墙环绕所述栅
30 电极层的侧壁;其余部分的所述栅堆叠为栅介质层和栅电极层时,所述侧墙环绕其余部分的所述栅堆叠中的所述栅介质层。

1/6

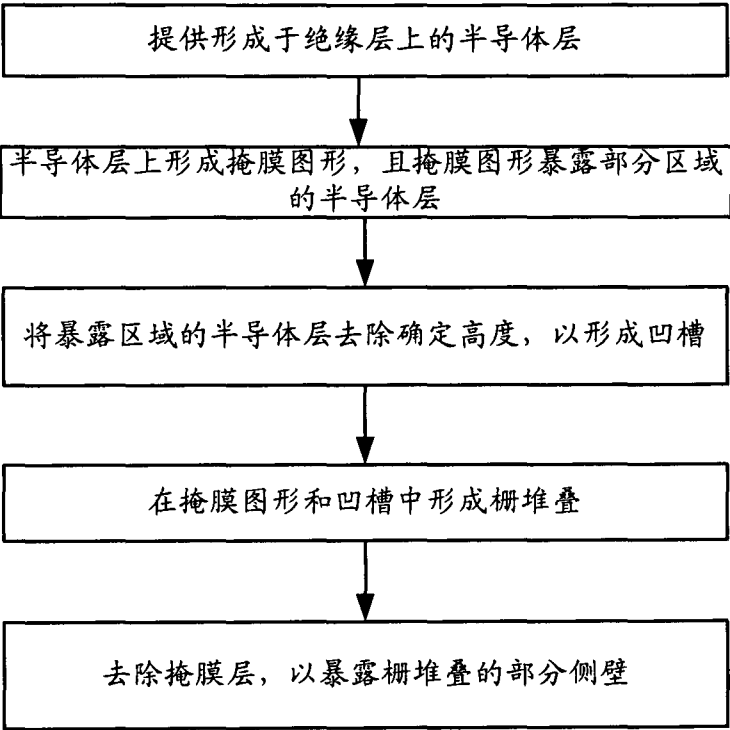


图 1

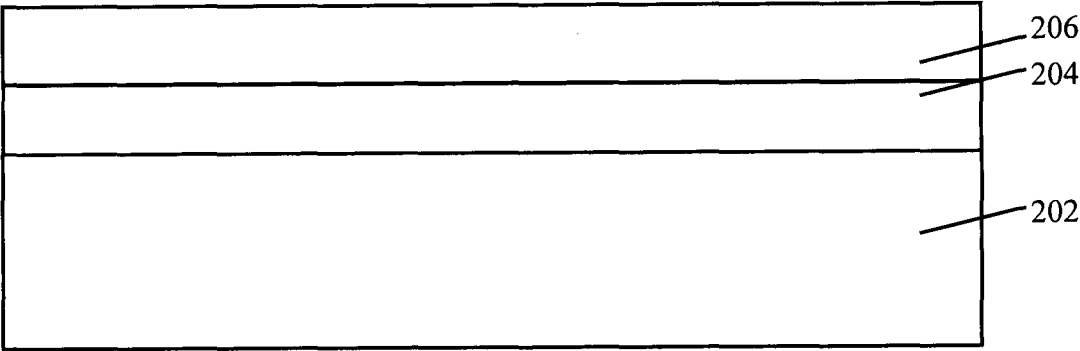


图 2

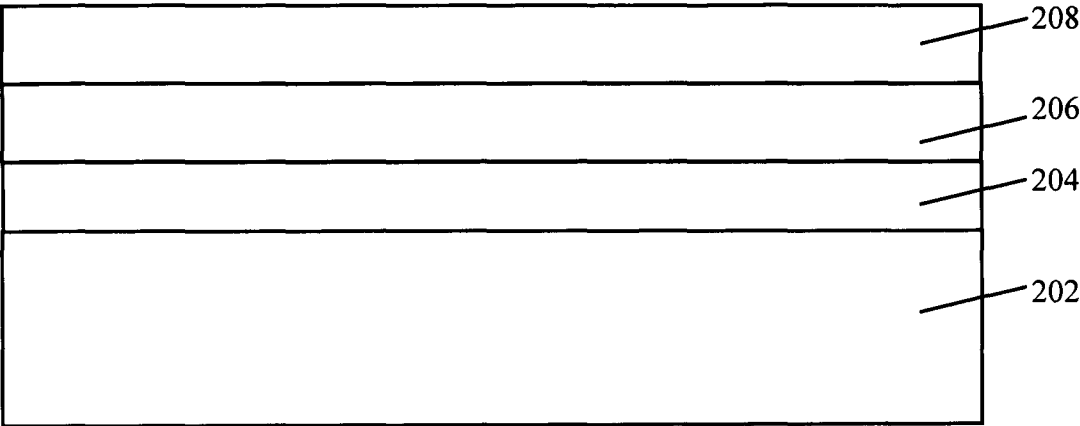


图 3

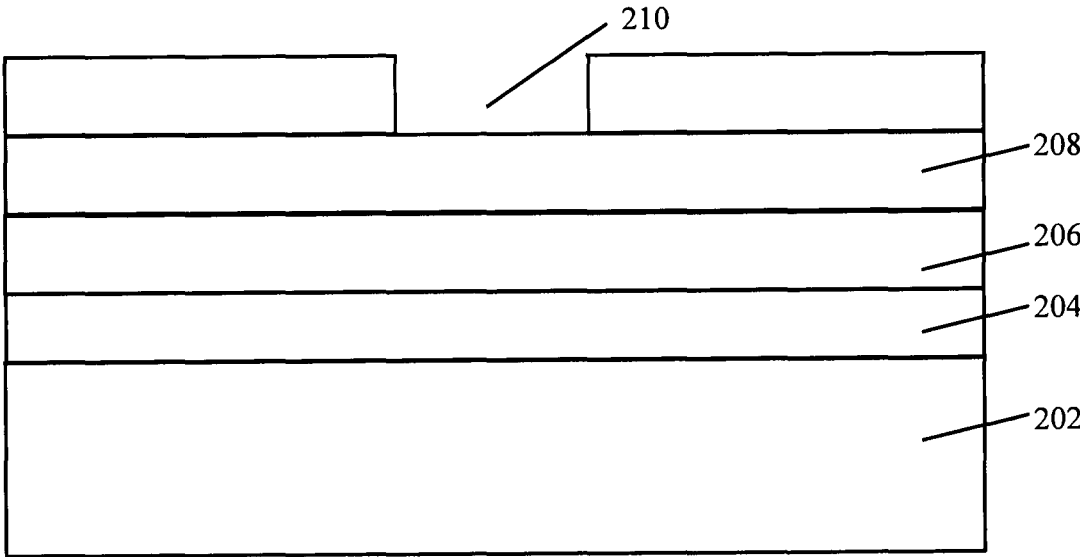


图 4

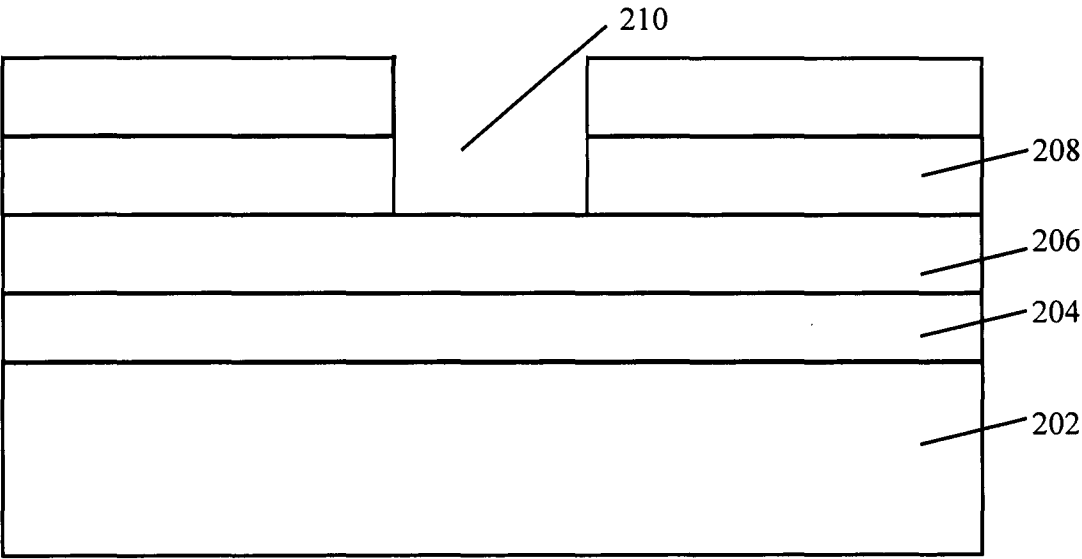


图 5

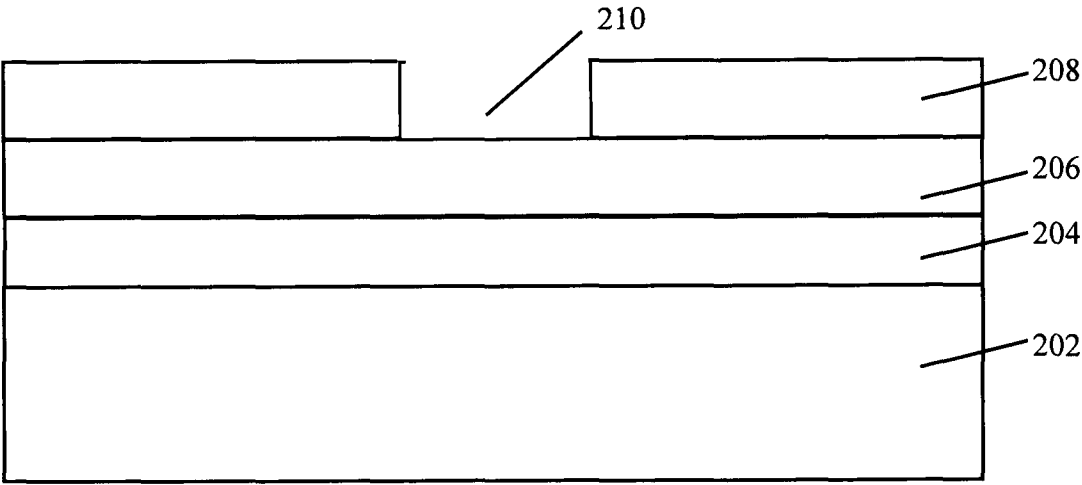


图 6

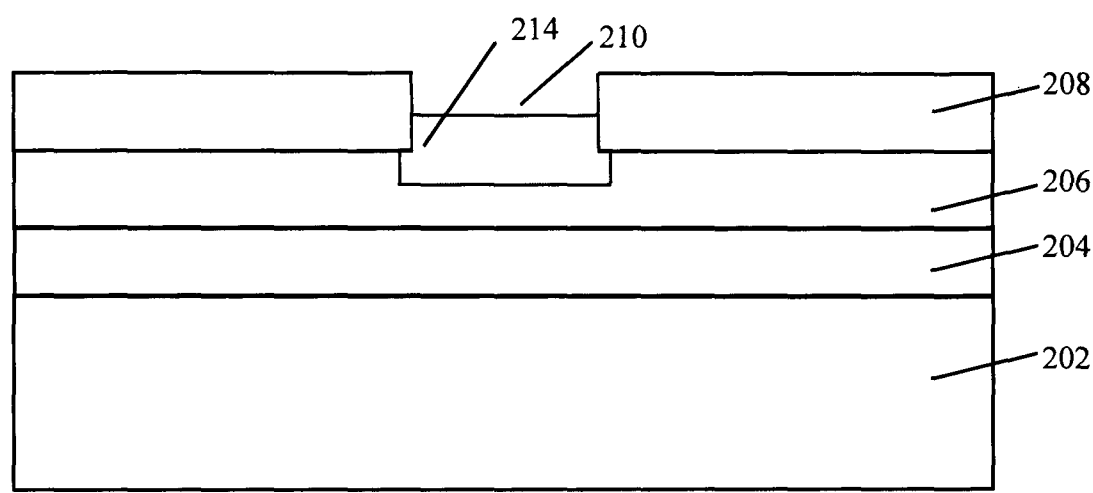


图 7

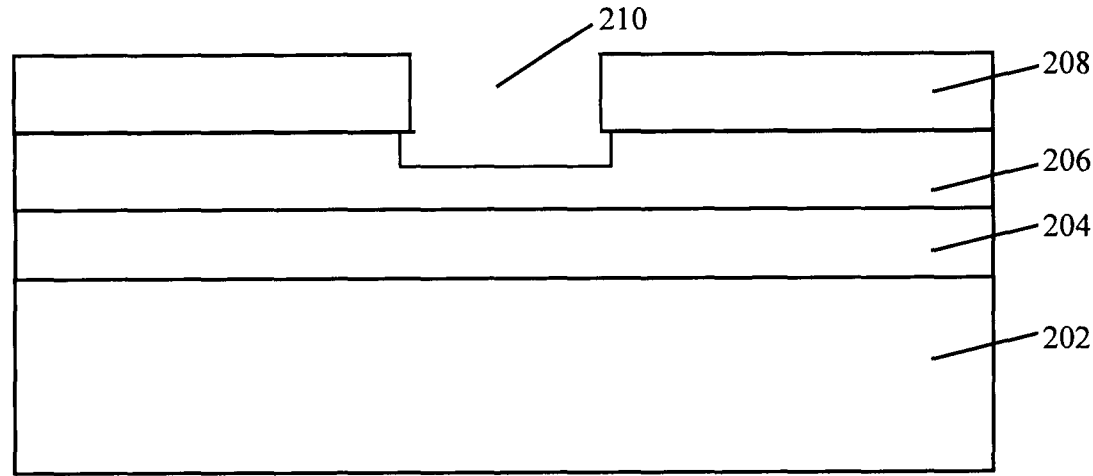


图 8

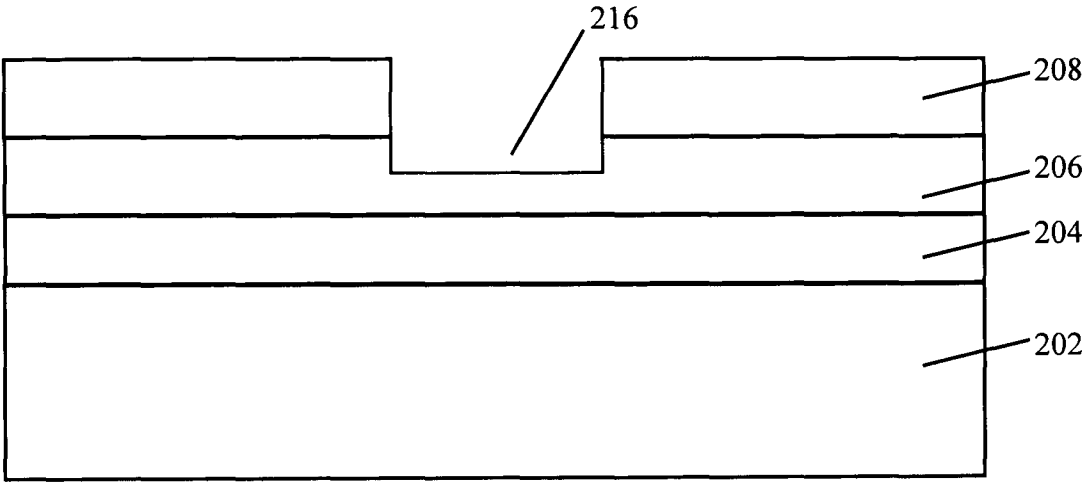


图 9

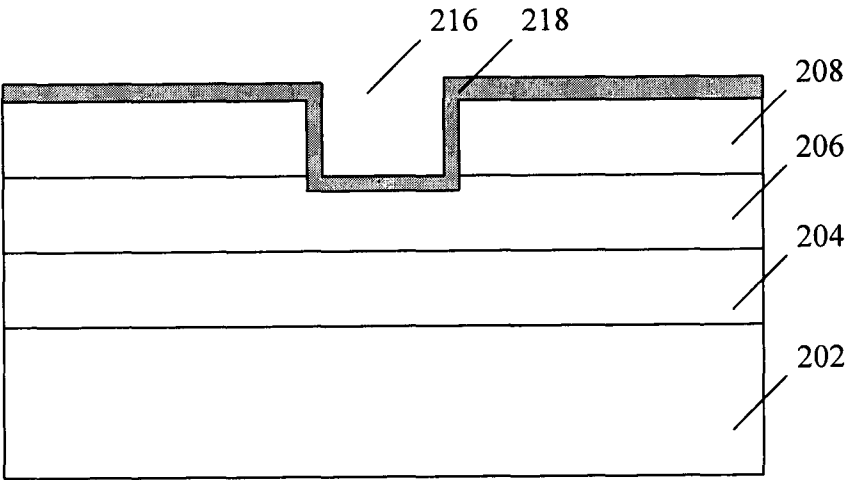


图 10

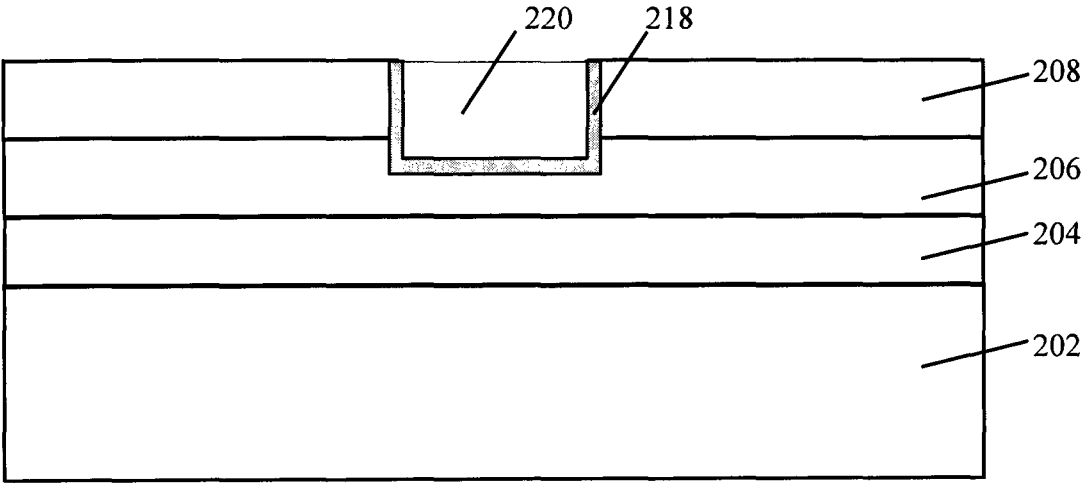


图 11

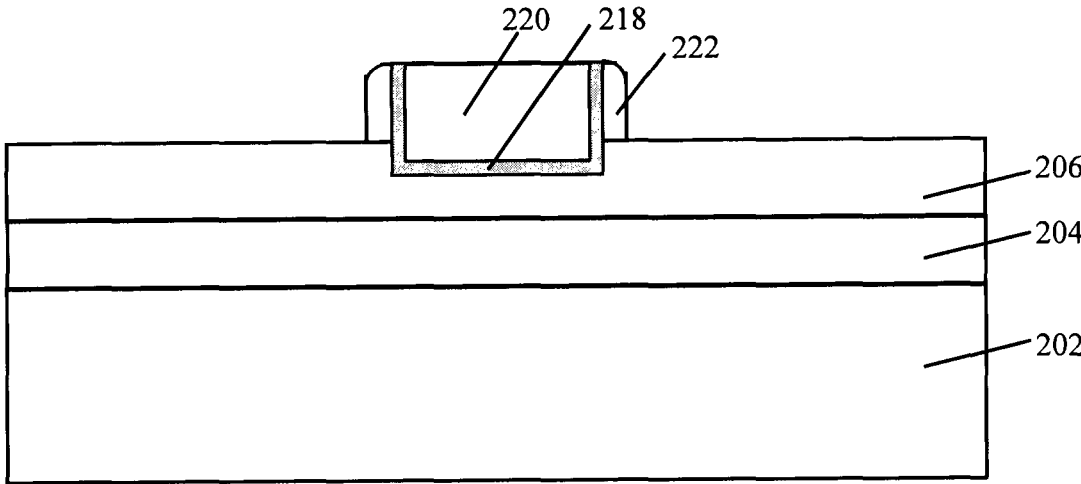


图 12

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2011/001312

A. CLASSIFICATION OF SUBJECT MATTER

see the extra sheet

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC: H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNKI,CPRS,WPLEPODOC: PARASIT+, RESIST, CAPACIT, SOI, groove gate, source, drain

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP2001-257357A(OKI ELECTRIC IND CO LTD)21 Sep. 2001(21.09.2001)description, paragraph 0015- paragraph 0028, figures 1-3	1-18
X	JP8-83913 A(TOSHIBA KK)26 Mar. 1996(26.03.1996) description, paragraph 0018- paragraph 0053, figures 1-9	1-18
X	US6060749A(TEXAS INSTRUMENTS-ACER INCORPORATED)09 May 2000(09.05.2000) description, column 3 line 8 to column 5 line 23, figures 1-14	1-18

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&"document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 10 Feb. 2012(10.02.2012)	Date of mailing of the international search report 08 Mar. 2012(08.03.2012)
Name and mailing address of the ISA State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No. (86-10)62019451	Authorized officer ZHI, Yue Telephone No. (86-10)62411788

International application No.
PCT/CN2011/001312

Form PCT/ISA /210 (patent family annex) (July 2009)

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2011/001312

A. CLASSIFICATION OF SUBJECT MATTER

H01L 21/762(2006.01)i

H01L 21/336(2006.01)i

H01L 29/78(2006.01)i

H01L 29/423(2006.01)i

A. 主题的分类

见附加页

按照国际专利分类(IPC)或者同时按照国家分类和 IPC 两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

IPC: H01L

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

CNKI,CPRS,WPI,EPODOC: 寄生, 电容, 电阻, 绝缘体上硅, 绝缘体上半导体, 沟槽栅极, 槽栅, 源, 漏, PARASIT+, RESIST, CAPACIT, SOL, groove gate, source, drain

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
X	JP2001-257357A (OKI ELECTRIC IND CO LTD) 21.9 月 2001 (21.09.2001) 说明书第 0015 段—0028 段, 图 1—3	1—18
X	JP8-83913A (TOSHIBA KK) 26.3 月 1996 (26.03.1996) 说明书 0018 段— 0053 段, 图 1—9	1—18
X	US6060749A (TEXAS INSTRUMENTS-ACER INCORPORATED) 09.5 月 2000 (09.05.2000) 说明书第 3 栏第 8 行—第 5 栏第 23 行, 图 1—14	1—18

☐ 其余文件在 C 栏的续页中列出。☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇
引用文件的公布日而引用的或者因其他特殊理由而引
用的文件(如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了
理解发明之理论或原理的在后文件“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的
发明不是新颖的或不具有创造性“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件
结合并且这种结合对于本领域技术人员为显而易见时,
要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

10.2 月 2012 (10.02.2012)

国际检索报告邮寄日期

08.3 月 2012 (08.03.2012)

ISA/CN 的名称和邮寄地址:

中华人民共和国国家知识产权局

中国北京市海淀区蓟门桥西土城路 6 号 100088

传真号: (86-10)62019451

受权官员

智月

电话号码: (86-10) 62411788

关于同族专利的信息

PCT/CN2011/001312

PCT/ISA/210 表(同族专利附件) (2009 年 7 月)

A. 主题的分类:

H01L 21/762(2006.01)i

H01L 21/336(2006.01)i

H01L 29/78(2006.01)i

H01L 29/423(2006.01)i