

【公報種別】特許法第 17 条の 2 の規定による補正の掲載
【部門区分】第 6 部門第 3 区分
【発行日】平成 17 年 11 月 10 日 (2005.11.10)

【公表番号】特表 2001-519948 (P2001-519948A)
【公表日】平成 13 年 10 月 23 日 (2001.10.23)
【出願番号】特願 平 10-543018
【国際特許分類第 7 版】
G 0 6 F 11/28
【F I】
G 0 6 F 11/28 L

【手続補正書】
【提出日】平成 17 年 3 月 25 日 (2005.3.25)
【手続補正 1】
【補正対象書類名】明細書
【補正対象項目名】補正の内容のとおり
【補正方法】変更
【補正の内容】

手 続 補 正 書

平成 1 7 年 3 月 2 5 日

特許庁長官殿

1. 事件の表示

平成 1 0 年 特 許 願 第 5 4 3 0 1 8 号



2. 補正をする者

名称 アドバンスト・マイクロ・デバイス・インコーポレ
イテッド

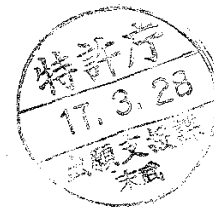
3. 代理人

住所 〒530-0054
大阪府大阪市北区南森町2丁目1番29号
三井住友銀行南森町ビル
深見特許事務所
電話 06-6361-2021
FAX 06-6361-1731

氏名 弁理士 (6474) 深見 久郎



4. 補正により増加する請求項の数 3



万全



5. 補正対象書類名

請求の範囲

6. 補正対象項目名

請求の範囲

7. 補正の内容

(1) 請求の範囲を別紙のとおり補正する。

以上

請求の範囲

1. 外部ソースから得られる一連の命令を実行するように適合される電子プロセッサベースのデバイスであって、前記プロセッサベースのデバイスにはピンが設けられ外部導体への接続ができ、前記プロセッサベースのデバイスは、

プロセッサコアと、

前記プロセッサコアに結合され、前記プロセッサコアにより命令が実行される順序を示すトレース情報をストアするためのトレースキャッシュとを含み、前記トレースキャッシュは一連の記憶素子を含み、各記憶素子はトレース情報をストアするよう適合されており、前記トレース情報はアドレスおよびデータ情報をサポートする複数の命令トレース記録を含み、前記トレースキャッシュは前記プロセッサコアによってトレース情報が調べられるように構成され、前記トレースキャッシュは最新のトレース情報を維持するようにも構成される、プロセッサベースのデバイス。

2. 前記トレースキャッシュはファーストインファーストアウト (F I F O) 循環キャッシュである、請求項1に記載のプロセッサベースのデバイス。

3. 前記シリアルインターフェイスは実質的に I E E E - 1 1 4 9 . 1 - 1 9 9 0 J T A G インターフェイス規格または他の類似の規格に従ったものである、請求項1に記載のプロセッサベースのデバイス。

4. データレジスタに依存しないターゲットアドレスを有する実行された分岐命令に関する情報が1ビットの形で前記トレースキャッシュにストアされている、請求項1に記載のプロセッサベースのデバイス。

5. 前記トレースキャッシュはさらに、トレースキャプチャ開始/停止情報をもたらしよう構成される、請求項1に記載のプロセッサベースのデバイス。

6. 前記トレースキャッシュはさらに、周期的に同期化エントリをキャプチャするよう構成されており、前記同期化エントリは前記プロセッサコアによって最も最近に実行された命令のアドレスである、請求項1に記載のプロセッサベースのデバイス。

7. 前記トレースキャッシュはさらに、ソフトウェア性能プロファイリング情報をもたらしよう構成される、請求項1に記載のプロセッサベースのデバイス。

8. 前記トレースキャッシュはさらに、割込みまたは例外ベクトル情報をもたらしよう構成される、請求項1に記載のプロセッサベースのデバイス。

9. 前記トレースキャッシュはさらに、タスク識別子情報をもたらしよう構成される、請求項1に記載のプロセッサベースのデバイス。

10. 前記トレースキャッシュの内容はオペレーティングシステムによって取り出すことができる、請求項1に記載のプロセッサベースのデバイス。

11. プロセッサを有するプロセッサベースのデバイスの中でトレース情報を分析する方法であって、

前記プロセッサベースのデバイス内にトレースキャッシュを設けるステップを含み、前記トレースキャッシュはトレース情報をストアするよう適合される一連の記憶素子を含んでおり、前記トレースキャッシュは最新のトレース情報を維持するように構成され、さらに

前記プロセッサコアにより前記一連の命令が実行される順序を示す前記プロセッサコアからのトレース情報をキャプチャするステップと、

命令トレース記録として前記トレースキャッシュの記憶素子内に前記トレース情報をストアするステップと、

前記トレース情報を前記プロセッサコアによって調べるステップとを含む、方法。

12. 前記命令は条件付き分岐命令を含み、前記キャプチャするステップは、前記プロセッサコアによって実行される各々の条件付き分岐命令ごとに1ビットの情報をキャプチャするステップを含む、請求項11に記載の方法。

13. 前記キャプチャするステップは、分岐がとられれば分岐ターゲットアドレスをキャプチャするステップを含み、前記ターゲットアドレスはデータに依存する、請求項11に記載の方法。

14. 前記キャプチャするステップは、周期的に同期化エントリをキャプチャするステップを含み、前記同期化エントリは前記プロセッサコアによって最も最近に実行された命令のアドレスである、請求項11に記載の方法。

15. 前記キャプチャするステップは、トレースキャプチャ開始/停止情報をキャプチャするステップを含む、請求項11に記載の方法。

16. 前記キャプチャするステップは、ソフトウェア性能プロファイリング情報をキャプチャするステップを含む、請求項11に記載の方法。

17. 前記キャプチャするステップは、タスク識別子情報をキャプチャするステップを含む、請求項11に記載の方法。