



(12)发明专利申请

(10)申请公布号 CN 109786459 A

(43)申请公布日 2019.05.21

(21)申请号 201810170456.0

(22)申请日 2018.03.01

(30)优先权数据

2017-220305 2017.11.15 JP

(71)申请人 株式会社东芝

地址 日本东京都

申请人 东芝电子元件及存储装置株式会社

(72)发明人 奥村秀树

(74)专利代理机构 永新专利商标代理有限公司

72002

代理人 刘英华

(51)Int.Cl.

H01L 29/78(2006.01)

H01L 29/06(2006.01)

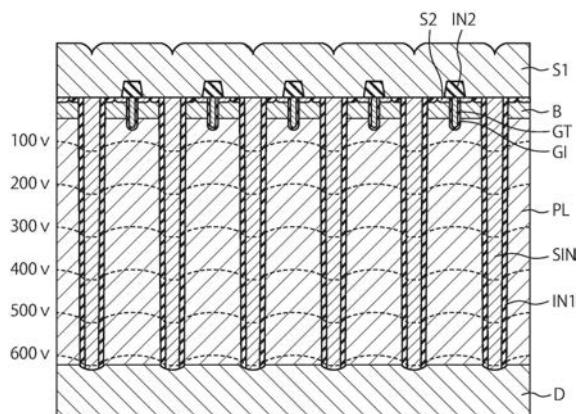
权利要求书2页 说明书6页 附图7页

(54)发明名称

半导体装置

(57)摘要

实施方式提供低成本且通态电阻小的半导体装置。实施方式的半导体装置具备第1导电型的漏极区域;第1导电型的第1半导体区域,设置于上述漏极区域之上;MOSFET,形成于上述第1半导体区域的上部;源极电极,形成为覆盖上述MOSFET;电连接部,是形成于上述第1半导体区域的两侧的一对电连接部,以与上述第1半导体区域电绝缘的状态将上述漏极区域与上述源极电极之间电连接。



1. 一种半导体装置,具备:  
第1导电型的漏极区域;  
第1导电型的第1半导体区域,设置于上述漏极区域之上;  
MOSFET,形成于上述第1半导体区域的上部;  
源极电极,形成为覆盖上述MOSFET;以及  
电连接部,是形成于上述第1半导体区域的两侧的一对电连接部,以与上述第1半导体区域电绝缘的状态将上述漏极区域与上述源极电极之间电连接。
2. 根据权利要求1所述的半导体装置,其中,  
上述电连接部具备:  
导电性膜,将上述漏极区域与上述源极电极电连接;以及  
一对第1绝缘膜,形成于上述导电性膜的两侧。
3. 根据权利要求2所述的半导体装置,其中,  
上述导电性膜的电阻值为 $10^7 \Omega$ 至 $10^{10} \Omega$ 。
4. 根据权利要求2所述的半导体装置,其中,  
上述导电性膜通过半导体性氮化硅或者半导体性多晶硅构成。
5. 根据权利要求2所述的半导体装置,其中,  
在上述电连接部中,上述一对第1绝缘膜间填充有上述导电性膜。
6. 根据权利要求2所述的半导体装置,其中,  
上述一对第1绝缘膜一直到达上述漏极区域的内部。
7. 根据权利要求1所述的半导体装置,其中,  
上述第1半导体区域的第1导电型的杂质浓度,比上述漏极区域的第1导电型的杂质浓度低。
8. 根据权利要求1所述的半导体装置,其中,  
上述电连接部的上述源极电极与上述漏极区域间的电阻在 $10^7 \Omega$ 至 $10^{10} \Omega$ 间。
9. 根据权利要求1所述的半导体装置,其中,  
上述MOSFET具备:  
第2导电型的第2半导体区域,形成于上述第1半导体区域的上部;  
第1导电型的源极区域,形成于上述第2半导体区域的上部;以及  
栅极区域,是贯通上述源极区域和上述第2半导体区域并到达上述第1半导体区域的栅极区域,且经由第2绝缘膜与上述源极区域和上述第1半导体区域和上述第2半导体区域接触。
10. 一种半导体装置,具备:  
第1导电型的漏极区域;  
第1导电型的第1半导体区域,设置于上述漏极区域之上;  
第2导电型的第2半导体区域,形成于上述第1半导体区域的上部;  
MOSFET,形成于上述第2半导体区域;  
源极电极,形成为覆盖上述MOSFET;  
电连接部,是形成于上述第1半导体区域的两侧的一对电连接部,以与上述第1半导体区域电绝缘的状态将上述漏极区域与上述源极电极之间电连接;以及

第2导电型的第3半导体区域,在上述电连接部的周围,在从上述第2半导体区域到上述漏极区域的方向上延伸。

11. 根据权利要求10所述的半导体装置,其中,  
上述第3半导体区域将上述第2半导体区域与上述漏极区域连接。

12. 根据权利要求10所述的半导体装置,其中,  
上述电连接部具备:  
导电性膜,将上述漏极区域与上述源极电极电连接;以及  
一对第1绝缘膜,形成于上述导电性膜的两侧。

13. 根据权利要求12所述的半导体装置,其中,  
上述导电性膜的电阻值为 $10^7 \Omega$ 至 $10^{10} \Omega$ 。

14. 根据权利要求12所述的半导体装置,其中,  
上述导电性膜通过半导电性氮化硅或者半导电性多晶硅构成。

15. 根据权利要求12所述的半导体装置,其中,  
在上述电连接部,上述一对第1绝缘膜间填充有上述导电性膜。

16. 根据权利要求12所述的半导体装置,其中,  
上述一对第1绝缘膜一直到达上述漏极区域的内部。

17. 根据权利要求10所述的半导体装置,其中,  
上述第1半导体区域的第1导电型的杂质浓度,比上述漏极区域的第1导电型的杂质浓度低。

18. 根据权利要求10所述的半导体装置,其中,  
上述电连接部的上述源极电极与上述漏极区域间的电阻在 $10^7 \Omega$ 至 $10^{10} \Omega$ 间。

19. 根据权利要求10所述的半导体装置,其中,  
上述MOSFET具备:  
第2导电型的第2半导体区域,形成于上述第1半导体区域的上部;  
第1导电型的源极区域,形成于上述第2半导体区域的上部;以及  
栅极区域,是贯通上述源极区域和上述第2半导体区域并到达上述第1半导体区域的栅极区域,且经由第2绝缘膜与上述源极区域和上述第1半导体区域和上述第2半导体区域接触。

## 半导体装置

[0001] 关联申请

[0002] 本申请享受以日本专利申请2017-220305号(申请日:2017年11月15日)为基础申请的优先权。本申请通过参照该基础申请而包含基础申请的全部内容。

### 技术领域

[0003] 本发明的实施方式涉及半导体装置。

### 背景技术

[0004] 在中耐压及高耐压的半导体装置中,超结构造的MOSFET(Metal Oxide Semiconductor Field Effect Transistor:金属氧化物半导体晶体管)为人们所知。该超结构造为如下构造,即,在n型半导体区域中设置纵型的p型半导体区域,在n型与p型的半导体区域的边界面形成电场强度均匀的耗尽层,来确保耐压的构造。这种构造的MOSFET,与通常的构造的MOSFET相比,有通态电阻小的特征。

[0005] 但是,伴随迄今为止的半导体装置的高性能化,必须以高精度对n型半导体区域和p型半导体区域的杂质浓度进行管理,有制造工艺变得高成本的问题。因此,就制造工艺而言,希望实现即使不进行n型和p型的半导体区域的高精度的杂质浓度的管理也能够实现低电阻化的半导体装置。

### 发明内容

[0006] 实施方式提供低成本且通态电阻小的半导体装置。

[0007] 实施方式的半导体装置具备:第1导电型的漏极区域;第1导电型的第1半导体区域,设置于上述漏极区域之上;MOSFET,形成于上述第1半导体区域的上部;源极电极,形成覆盖上述MOSFET;电连接部,是形成于上述第1半导体区域的两侧的一对电连接部,与上述第1半导体区域电绝缘的状态将上述漏极区域与上述源极电极之间电连接。

### 附图说明

[0008] 图1是说明第1实施方式的半导体装置的构成的剖视图。

[0009] 图2是图1所示的半导体装置的局部的立体图。

[0010] 图3~图8是说明第1实施方式的半导体装置的制造工序的剖视图。

[0011] 图9是说明第2实施方式的半导体装置的构成的图。

[0012] 图10~图15是说明第2实施方式的半导体装置的制造工序的剖视图。

[0013] 图16是说明第2实施方式的半导体装置的变形例的剖视图。

### 具体实施方式

[0014] 以下,参照附图对本实施方式的半导体装置及其制造方法进行说明。另外,在以下的说明中,对于具有大致相同的功能及构成的构成要素,附以同一符号,仅在必要的情况下

进行重复说明。

[0015] 另外,附图是示意性的或概念性的,各部分的厚度和宽度的关系、部分间的大小的比率等,不一定与现实中的相同。而且,即使在表示相同的部分的情况下,也存在根据附图彼此的尺寸、比率不同地进行表示的情况。

[0016] 在各实施方式的说明中,根据附图的朝向,适当使用上方、下方、上、下、上侧、下侧等表现,但这些表现是为了便于说明半导体装置的构造,根据观察半导体装置的方向或者根据半导体装置的规格形态,其上下方向能够任意更换。

[0017] 而且,在以下的说明中, $n^+$ 、 $n$ 、 $n^-$ 及 $p^+$ 、 $p$ 的标记表示各导电型的杂质浓度的相对的高低。即,附有“+”的标记表示,与未附有“+”、“-”中任一个的标记相比,杂质浓度相对地较高,附有“-”的标记表示,与未附有任一标记相比,杂质浓度相对地较低。而且,在以下说明的各实施方式中,也可以将各半导体区域的n型(第1导电型)与p型(第2导电型)反转来实施各实施方式。

[0018] (第1实施方式)

[0019] 第1实施方式的半导体装置为,在超结构造的MOSFET中,源极电极与漏极区域经由用高电阻的导电性膜构成的电连接部而连接。其结果,在导电性膜中形成等电位分布,在位于MOSFET下方的半导体区域形成的耗尽层在漏极区域的方向上延伸。作为其效果,各MOSFET的耐压提高。以下,对其详细进行说明。

[0020] 图1是用于说明本实施方式的半导体装置的构成的半导体装置的剖视图。如该图1所示,本实施方式的半导体装置,具备多个超结构造的MOSFET而构成。图2是本实施方式的半导体装置的局部的立体图。

[0021] 具体而言,构成为具备:漏极区域D、栅极区域GT、栅极绝缘膜GI、源极电极S1、源极区域S2、基极区域B、柱PL、绝缘膜IN1、层间绝缘膜IN2及高电阻的导电性膜SIN。

[0022] 漏极区域D是 $n^+$ 型半导体层,例如通过 $n^+$ 型的半导体基板构成。在漏极区域D与源极电极S1间,形成有n型的柱PL,并且形成有将漏极区域D与源极电极S1电连接的高电阻的导电性膜SIN及覆盖该导电性膜SIN的周围的绝缘膜IN1。即,根据图2的立体图可知,n型的柱PL的两侧,通过绝缘膜IN1而从导电性膜SIN、其他的柱PL在电气上分离。

[0023] 导电性膜SIN也被称为半导电性膜,用电阻极高的材料构成。在本实施方式中,例如假定该导电性膜SIN的电阻,即该半导体装置整体中的漏极区域D与源极电极S1间的电阻为 $10^7 \Omega$ 至 $10^{10} \Omega$ 间。因此,从漏极区域D向源极电极S1,仅流动极微量的电流。根据技术的观点,电阻比 $10^7 \Omega$ 低时,从漏极区域D向源极电极S1流动的电流变大,招致空耗的消耗电流、发热的增大。另一方面,在电阻比 $10^{10} \Omega$ 大时,实质上完全不流动电流,认为无法适当地形成后述的等电位分布。即,在漏极区域D与源极电极S1间流动的电流与漏电流相同对待,技术上能够容许的电流量最大为数 $10 \mu A$ 数量级。在要将漏电流抑制在该范围时,电阻的下限值为 $10^7 \Omega$ 左右。

[0024] 例如,假定对漏极区域D施加600V,且源极电极S1与接地(0V)连接时,认为该半导体装置整体中的容许的漏电流为 $60 nA \sim 60 \mu A$ 左右。根据欧姆定律,作为上限的电阻 $R = \text{电压} V / \text{漏电流} A = 600 / (60 \times 10^{-9}) = 1 \times 10^{10} \Omega$ ,作为下限的电阻 $R = \text{电压} V / \text{漏电流} A = 600 / (60 \times 10^{-6}) = 1 \times 10^7 \Omega$ ,与根据上述的技术的观点导出的电阻值的范围一致。

[0025] 而且,绝缘膜IN1和导电性膜SIN的漏极区域D侧的端部,形成为一直到达漏极区域

D的内部为止。因此,柱PL与导电性膜SIN电绝缘,避免来自柱PL的电流向导电性膜SIN流入或来自导电性膜SIN的电流向柱PL流入。

[0026] 在n型的柱PL的上部,形成有p型的基极区域B。在p型的基极区域B的表面,形成有n型的源极区域S2。栅极区域GT贯通这些源极区域S2和基极区域B,并隔着栅极绝缘膜GI形成于n型的源极区域S2、p型的基极区域B及n型的柱PL上。

[0027] 而且,在栅极绝缘膜GI之上,形成有层间绝缘膜IN2。因此,栅极区域GT形成为与源极区域S2和基极区域B电绝缘。源极区域S2与源极电极S1电连接。

[0028] 柱PL相当于本实施方式的第1半导体区域,绝缘膜IN1相当于本实施方式的第1绝缘膜,基极区域B相当于本实施方式的第2半导体区域,栅极绝缘膜GI相当于本实施方式的第2绝缘膜。而且,n型相当于本实施方式中的第1导电型,p型相当于本实施方式的第2导电型。并且,通过导电性膜SIN和绝缘膜IN1,构成本实施方式的电连接部,通过基极区域B和源极区域S2和栅极区域GT和柱PL,构成本实施方式的MOSFET。

[0029] 因此,着眼于1个柱PL时,在柱PL的两侧形成有一对电连接部。该电连接部因为在导电性膜SIN的两侧存在绝缘膜IN1,所以以与柱PL电绝缘的状态,将漏极区域D与源极电极S1电连接。而且,根据图1也可知,为在绝缘膜IN1与绝缘膜IN1间填充有导电性膜SIN的构造。

[0030] 接着,对该图1所示的半导体装置的动作进行说明。在本实施方式中,例如假定为对漏极区域D施加600V,且源极电极S1与接地(0V)连接。在该状态下,对栅极区域GT施加阈值以上的正的电压时,在p型的基极区域B形成沟道,电子从源极区域S2经由柱PL向漏极区域D流动。即,该MOSFET从截止状态切换为导通状态。

[0031] 另一方面,无论MOSFET为导通状态还是截止状态,在高电阻的导电性膜SIN中,极微量的电流都从漏极区域D向源极电极S1流动。即,电子从源极电极S1朝向漏极区域D移动。如上所述,在导电性膜SIN的周围形成有绝缘膜IN1,所以在导电性膜SIN中流动的电流,理论上不流入柱PL。因此,作为某种漏电流的在导电性膜SIN中流动的电流,维持于极微量。

[0032] 极微量的电流在高电阻的导电性膜SIN中流动,由此在导电性膜SIN中形成从0V到600V的等电位分布。在图1中,示意性地示出100V、200V、...、600V的等电位分布。通过这样在高电阻的导电性膜SIN中形成的等电位分布,在n型的柱PL中所形成的耗尽层,也被向漏极区域D的方向牵引。尤其是,由于近年的半导体装置的微细化,MOSFET彼此的距离变得接近,在n型的柱PL所形成的耗尽层被维持在从MOSFET分离的状态。即,在MOSFET彼此的距离远离时,即使在导电性膜SIN中形成了等电位分布,位于导电性膜SIN间的柱PL的等电位分布的中央部分也接近于基极区域B,无法使耗尽层在漏极区域D的方向上延伸,但在MOSFET彼此的距离接近的情况下,位于导电性膜SIN间的柱PL的等电位分布的中央部分也从基极区域B远离,所以能够使耗尽层在漏极区域D的方向上延伸。因此,能够使MOSFET的耐压提高。

[0033] 接着,基于图3至图8,对本实施方式的半导体装置的制造方法进行说明。

[0034] 所述图3至图8是说明本实施方式的半导体装置的制造工序的剖视图。

[0035] 首先,如图3所示,在n<sup>+</sup>型半导体层10a之上形成n<sup>-</sup>型半导体层20a。接下来,在n<sup>-</sup>型半导体层20a之上,形成光致抗蚀剂层PR1,并进行图案形成。然后,使用该进行了图案形成的光致抗蚀剂层PR1作为掩模,通过例如RIE(Reactive Ion Etching)法,进行n<sup>-</sup>型半导体

层20a和 $n^+$ 型半导体层10a的蚀刻。由此,形成沟槽TR1。该沟槽TR1贯通 $n^-$ 型半导体层20a,并到达 $n^+$ 型半导体层10a。即,在沟槽TR1的底部, $n^+$ 型半导体层10a露出。

[0036] 接着,如图4所示,将光致抗蚀剂层PR1剥离,通过例如热氧化,形成侧壁氧化膜30a。由此,在 $n^-$ 型半导体层20a的表面及 $n^+$ 型半导体层10a中的在沟槽TR1的底部露出的表面,形成侧壁氧化膜30a。

[0037] 接着,如图5所示,通过例如RIE法,对侧壁氧化膜30a进行回刻,从而将侧壁氧化膜30a局部去除,形成侧壁氧化膜30b。即,通过蚀刻将在 $n^-$ 型半导体层20a的上面形成的侧壁氧化膜30a和在沟槽TR1的底部形成的侧壁氧化膜30a去除。由此, $n^+$ 型半导体层10a再次从沟槽TR1的底部露出。

[0038] 接着,如图6所示,通过例如CVD (Chemical Vapor Deposition) 法,形成高电阻的导电性膜40a,在沟槽TR1中埋入导电性膜40a。该高电阻的导电性膜40a也被称为半导体性膜 (Semi-insulating film), 例如能够通过半导体性氮化硅 (Semi-Insulating SiN: 简称SINSIN)、半导体性多晶硅 (Semi-Insulating Poly-crystalline Silicon: 简称SIPOS) 形成。该导电性膜40a具有极高的电阻,具有流动极微量的电流这一材料特性。

[0039] 接着,如图7所示,对于导电性膜40a通过例如RIE法在整体上进行蚀刻,在沟槽TR1中残留导电性膜40b并且将 $n^-$ 型半导体层20a的表面的导电性膜40a去除,而使 $n^-$ 型半导体层20a的表面露出。接下来,通过例如CMP (Chemical Mechanical Polishing) 法,进行使 $n^-$ 型半导体层20a的表面平滑化的处理。

[0040] 接着,在 $n^-$ 型半导体层20a露出的表面,离子注入p型杂质,并使之活化,从而形成p型半导体层50a。接下来,在该p型半导体层50a的表面,局部地离子注入n型杂质,并使之活化,从而形成 $n^+$ 型半导体层60a。然后,在该 $n^+$ 型半导体层60a的中央部分,贯通该p型半导体层50a,形成到达 $n^-$ 型半导体层20a的沟槽TR2。接下来,通过例如热氧化,在p型半导体层50a、 $n^+$ 型半导体层60a及沟槽TR2的表面形成绝缘层70a。

[0041] 接着,如图8所示,通过例如LPCVD法对沟槽TR2埋入 $n^+$ 型多晶硅后,进行回刻直到成为比p型半导体层50a的上面低的高度为止,从而形成作为栅极区域GT的 $n^+$ 型多晶硅80a,并且在整面上形成层间膜,并进行图案形成,从而在成为栅极区域GT的 $n^+$ 型多晶硅80a上形成层间膜90a。最后,形成覆盖绝缘层90a的金属层100a。通过如以上那样的工序,获得图8所示的半导体装置。

[0042] 图8和图1的对应关系如以下那样。即, $n^+$ 型半导体层10a成为漏极区域D, $n^-$ 型半导体层20a成为柱PL,侧壁氧化膜30b成为绝缘膜IN1,导电性膜40b成为导电性膜SIN,p型半导体层50a成为基极区域B, $n^+$ 型半导体层60a成为源极区域S2,绝缘层70b成为栅极绝缘膜GI,半导体层80a成为栅极区域GT,绝缘层90a成为层间绝缘膜IN2,金属层100a成为源极电极S1。

[0043] 如以上那样,根据本实施方式的半导体装置,将漏极区域D与源极电极S1,通过用高电阻的导电性膜SIN和绝缘膜IN1构成的电连接部而电连接,所以能够在导电性膜SIN上形成等电位分布,由此能够将将在柱PL形成的耗尽层向漏极区域D的方向牵引。因此,能够提高形成于柱PL的MOSFET的耐压,作为结果,能够实现通态电阻小的半导体装置。

[0044] 而且,设为导电性膜SIN的材料使用具有较高的电阻值的也被称为半导体性膜的SINSIN (Semi-insulating SiN)、SIPOS (Semi-insulating Poly-crystalline silicon)

等,所以能够将在导电性膜SIN中流动的电流抑制为极微量。因此,消耗电力的增大也能够变得极小。

[0045] (第2实施方式)

[0046] 在第2实施方式中,在上述的第1实施方式中的用导电性膜SIN和绝缘膜IN1形成的电连接部的周围,形成在从基极区域B到漏极区域D的方向上延伸的p型的半导体层,由此能够在n型的柱PL与p型的半导体层间形成耗尽层而确保耐压,并且即使n型与p型的杂质浓度有偏差也能够通过电连接部的等电位分布来确保耐压。以下,对与上述的第1实施方式不同的部分进行说明。

[0047] 图9是用于说明本实施方式的半导体装置的构成的剖视图,对应于上述的第1实施方式中的图1。如该图9所示,本实施方式的半导体装置也具备多个超结构造的MOSFET而构成。

[0048] 在本实施方式中,在电连接部的绝缘膜IN1的周围,追加形成有p型的半导体层P2。在本实施方式中,该p型的半导体层P2形成为将基极区域B与漏极区域D间连接。即,基极区域B与漏极区域D通过半导体层P2连接。

[0049] 该p型的半导体层P2发挥与以往的超结构造的MOSFET中的p型的柱同等的作用。即,在p型的半导体层P2与n型的柱PL的界面形成耗尽层,确保MOSFET的耐压。因此,需要严格地对p型的半导体层P2和n型的柱PL的杂质浓度进行管理而进行制造。

[0050] 即使万一p型的半导体层P2与n型的柱PL的杂质浓度产生偏差,而在p型的半导体层P2与n型的柱PL间未形成足以确保耐压的耗尽层的情况下,通过在电连接部的导电性膜SIN中流动的极微少的电流,也能够向漏极区域D的方向牵引。

[0051] 因此,与上述的第1实施方式同样地,能够确保MOSFET的耐压。

[0052] 根据该情况可知,柱PL相当于本实施方式的第一半导体区域,绝缘膜IN1相当于本实施方式的第一绝缘膜,基极区域B相当于本实施方式的第二半导体区域,半导体层P2相当于第三半导体区域,栅极绝缘膜GI相当于本实施方式的第二绝缘膜。而且,n型相当于本实施方式中的第一导电型,p型相当于本实施方式的第二导电型。并且,通过导电性膜SIN和绝缘膜IN1,构成本实施方式电连接部,通过基极区域B和源极区域S2和栅极区域GT和柱PL,构成本实施方式的MOSFET。

[0053] 接着,基于图10至图15,说明本实施方式的半导体装置的制造方法。所述图10至图15是说明本实施方式的半导体装置的制造工序的剖视图。

[0054] 首先,如图10所示,与上述的第1实施方式同样地,在 $n^+$ 型半导体层10a之上形成 $n^-$ 型半导体层20a。接下来,在 $n^-$ 型半导体层20a之上形成光致抗蚀剂层PR1,并进行图案形成。然后,使用该进行了图案形成的光致抗蚀剂层PR1作为掩模,通过例如RIE (Reactive Ion Etching)法,进行 $n^-$ 型半导体层20a和 $n^+$ 型半导体层10a的蚀刻。由此,形成沟槽TR1。该沟槽TR1贯通 $n^-$ 型半导体层20a,并到达 $n^+$ 型半导体层10a。即, $n^+$ 型半导体层10a在沟槽TR1的底部露出。

[0055] 接着,如图11所示,在沟槽TR1的侧壁形成p型半导体层200。在本实施方式中,例如对 $n^-$ 型半导体层20a打入p型离子,并进行热处理而活化,由此形成p型半导体层200。

[0056] 接着,如图12所示,将光致抗蚀剂层PR1剥离,通过例如热氧化,形成侧壁氧化膜

30a。由此,在 $n^-$ 型半导体层20a的表面、 $n^+$ 形半导体层10a中的在沟槽TR1的底部露出的表面和p型半导体层200的表面,形成侧壁氧化膜30a。

[0057] 接着,如图13所示,通过例如RIE法,对侧壁氧化膜30a进行回刻而进行局部去除,由此形成侧壁氧化膜30b。即,通过蚀刻将在 $n^-$ 型半导体层20a的上面所形成的侧壁氧化膜30a和在沟槽TR1的底部所形成的侧壁氧化膜30a去除。由此, $n^+$ 型半导体层10a再次从沟槽TR1的底部露出。

[0058] 接着,如图14所示,用与第1实施方式同样的方法及材料,形成高电阻的导电性膜40a,在沟槽TR1中埋入导电性膜40a。接下来,如图15所示,用与第1实施方式同样的方法及材料,形成p型半导体层50a、 $n^+$ 型半导体层60a、绝缘层70a、 $n^+$ 型半导体层80a、绝缘层90a及金属层100a。

[0059] 图15和图9的对应关系如下。即, $n^+$ 型半导体层10a成为漏极区域D, $n^-$ 型半导体层20a成为柱PL,侧壁氧化膜30b成为绝缘膜IN1,导电性膜40b成为导电性膜SIN,p型半导体层50a成为基极区域B, $n^+$ 型半导体层60a成为源极区域S2,绝缘层70b成为栅极绝缘膜GI, $n^+$ 型半导体层80a成为栅极区域GT,绝缘层90a成为层间绝缘膜IN2,金属层100a成为源极电极S1,半导体层200成为半导体层P2。

[0060] 如以上那样,根据本实施方式的半导体装置,在p型的半导体层P2与n型的柱PL的边界面形成耗尽层,确保MOSFET的耐压。在此基础上,与上述的第1实施方式同样地,通过在电连接部的导电性膜SIN中流动的极微少的电流,在柱PL中形成等电位分布,将柱PL的耗尽层在漏极区域D的方向上牵引。因此,通过这2个耗尽层,能够确保MOSFET的耐压。

[0061] 而且,即使在柱PL的n型杂质浓度与半导体层P2的p型杂质浓度产生偏差,而在柱PL与半导体层P2间的边界面未充分形成耗尽层的情况下,由于在构成电连接部的导电性膜SIN中流通微少的电流,由此在导电性膜SIN中形成等电位分布,在柱PL中形成的耗尽层被向漏极区域D的方向牵引。因此,即使通过该柱PL的耗尽层,也能够确保MOSFET的耐压。

[0062] 另外,如图16所示那样,在本实施方式的半导体装置中,p型的半导体层P2也可以并不一直到达漏极区域D为止。即,半导体层P2的基极区域B侧的端部与基极区域B接触,但半导体层P2的漏极区域D侧的端部也可以与漏极区域D不接触。

[0063] 对本发明的几个实施方式进行了说明,但这些实施方式是作为例子提示的,意图不是限定发明的范围。这些新的实施方式能够以其他各种各样的方式实施,在不脱离发明的主旨的范围内,能够进行各种省略、置换、变更。这些实施方式及其变形,包含在发明的范围及主旨中,并且包含在权利要求书所记载的发明及其等同的范围中。

[0064] 例如,在上述的第1实施方式及第2实施方式中,以具备多个MOSFET的半导体装置为例对本实施方式进行了说明,但使用上述的技术,也能够构成具有1个MOSFET的半导体装置。

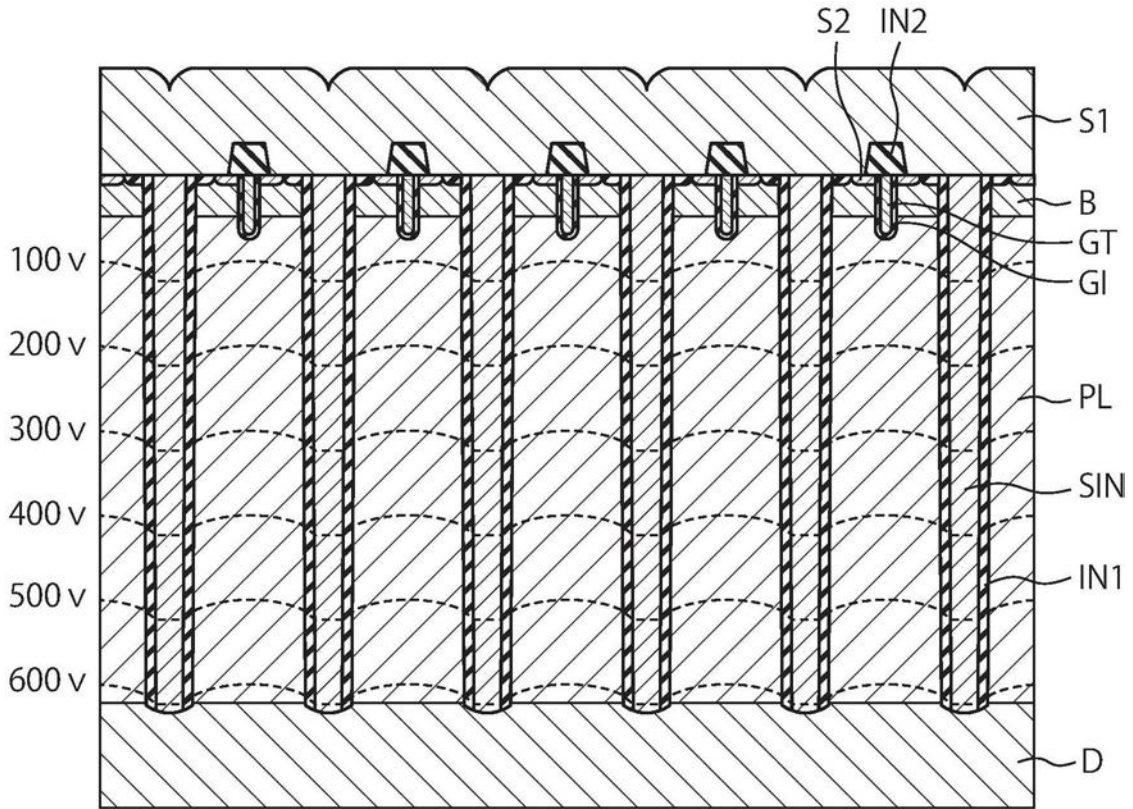


图1

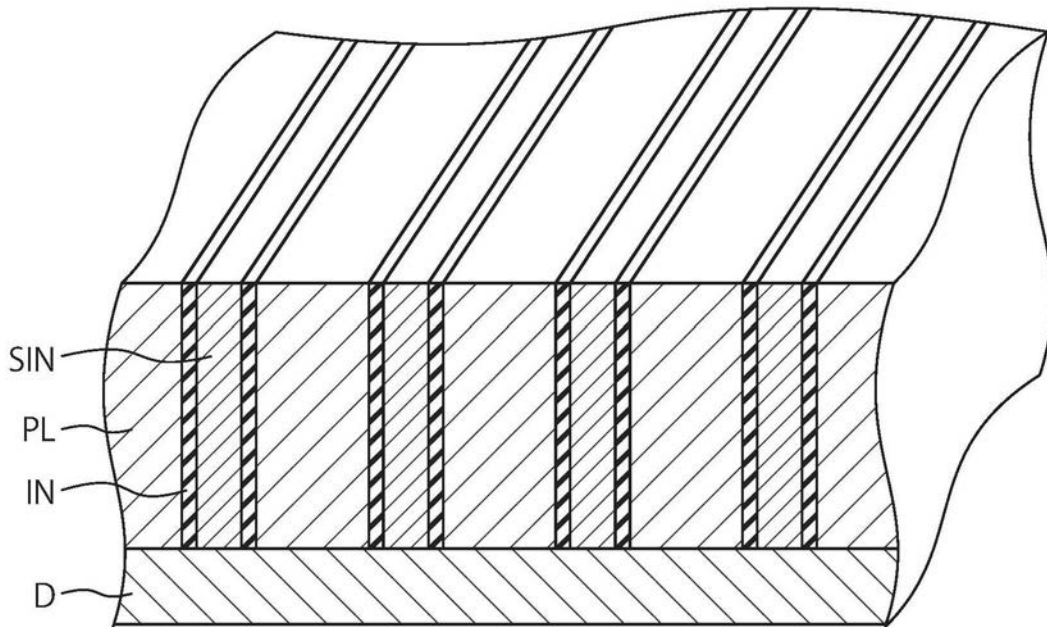


图2

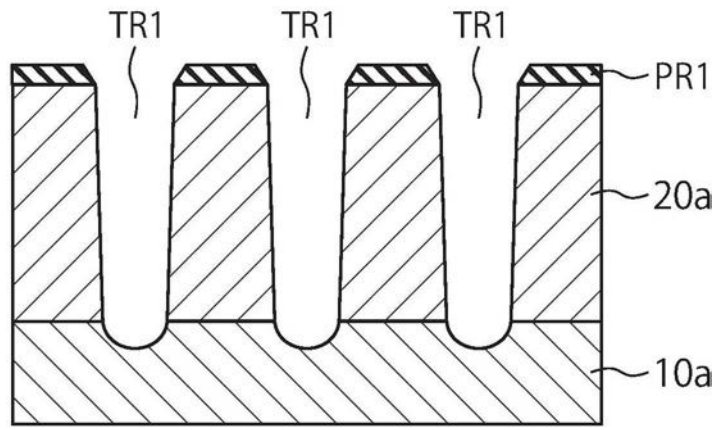


图3

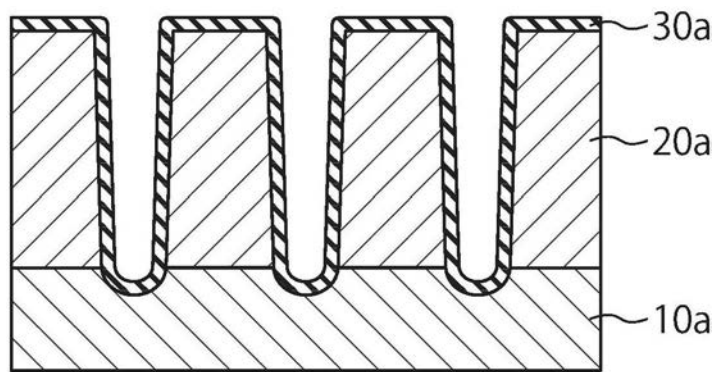


图4

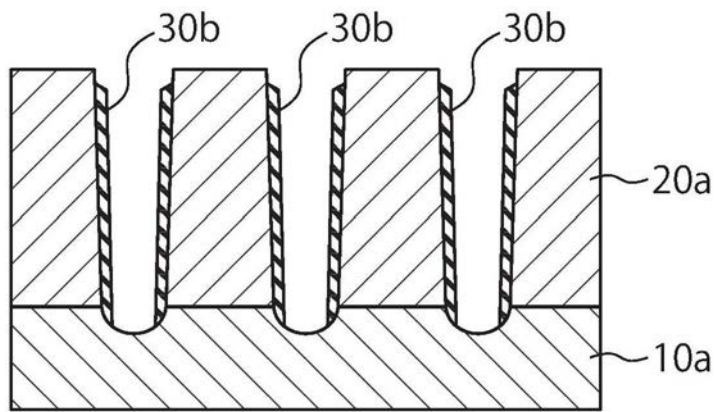


图5

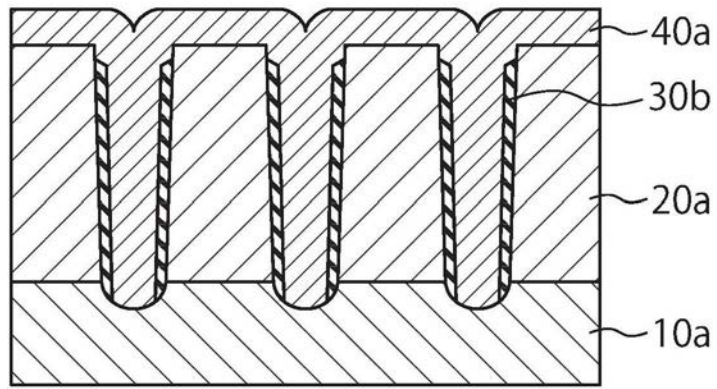


图6

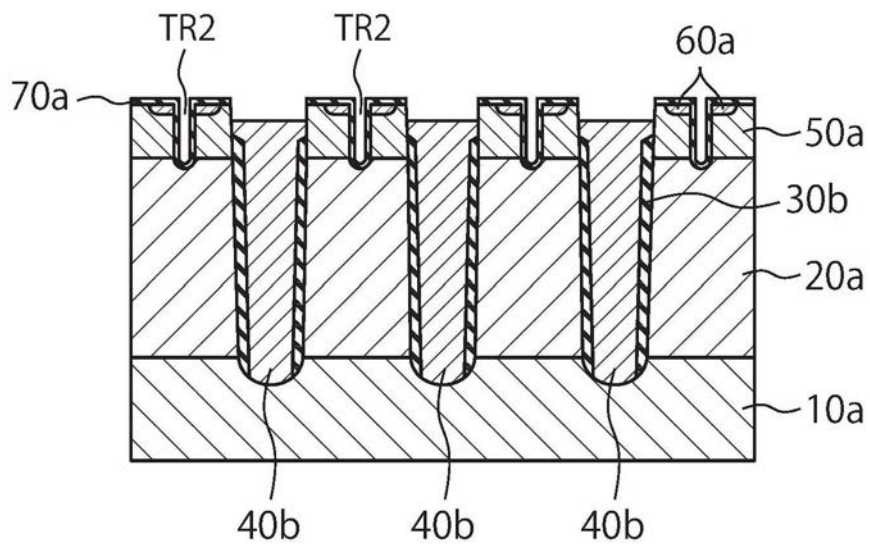


图7

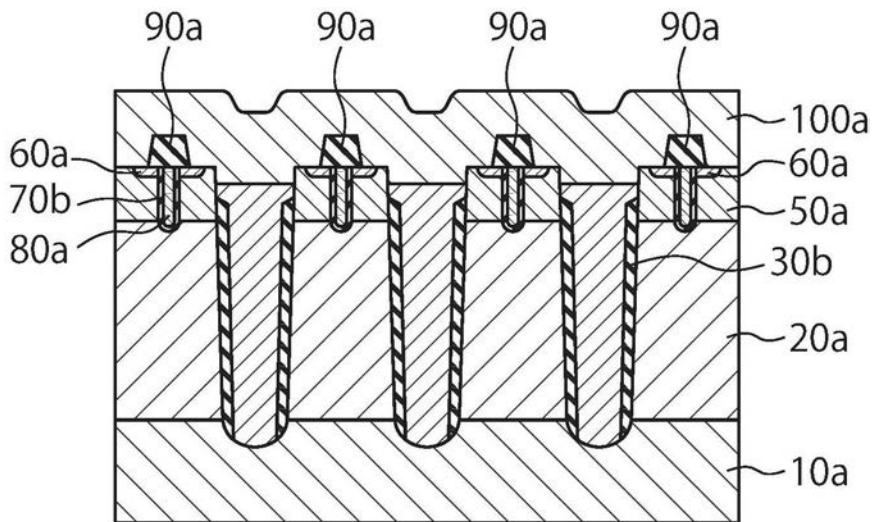


图8

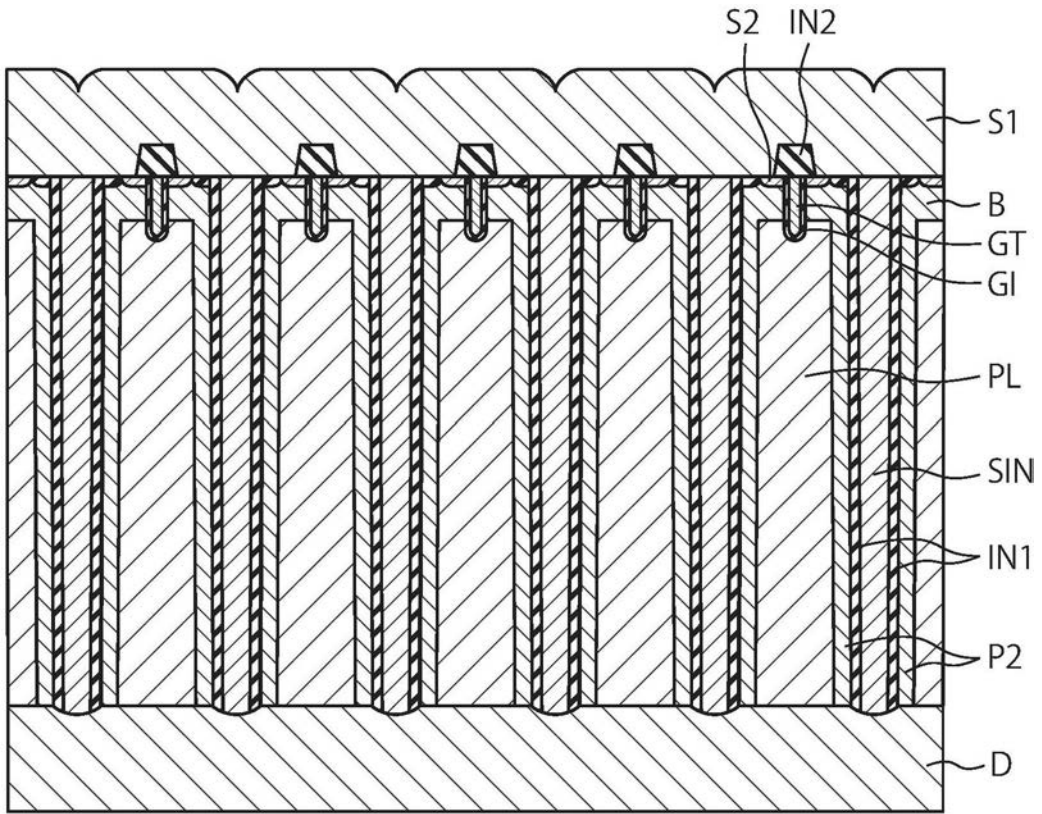


图9

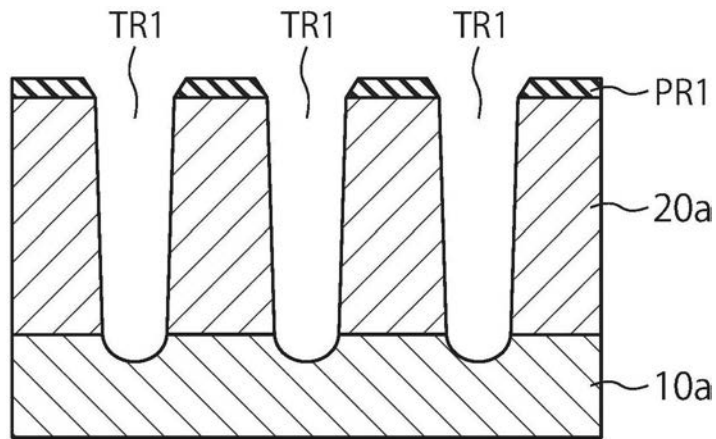


图10

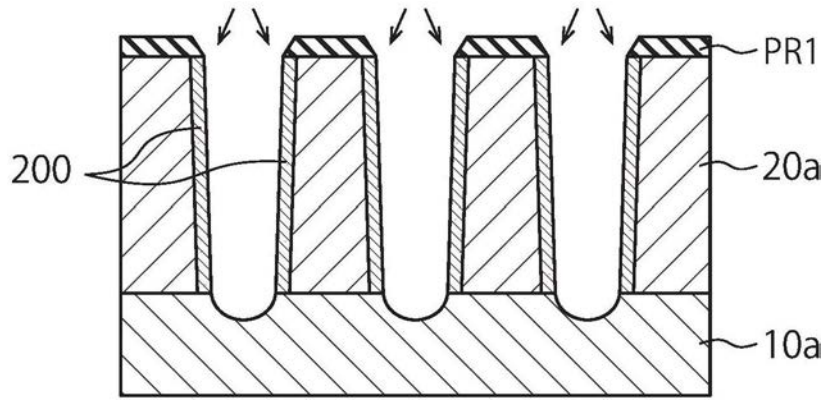


图11

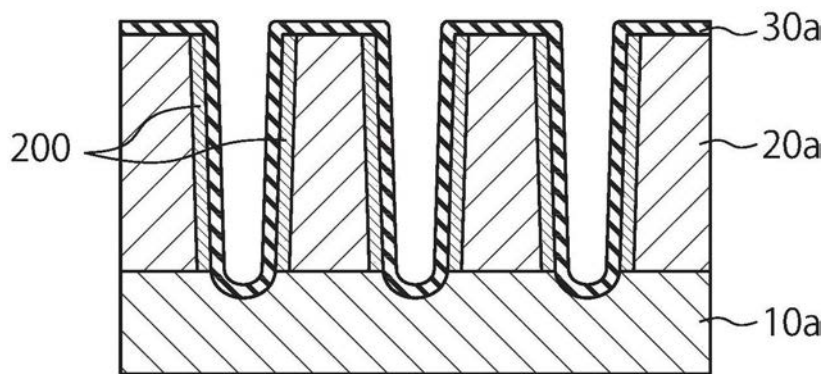


图12

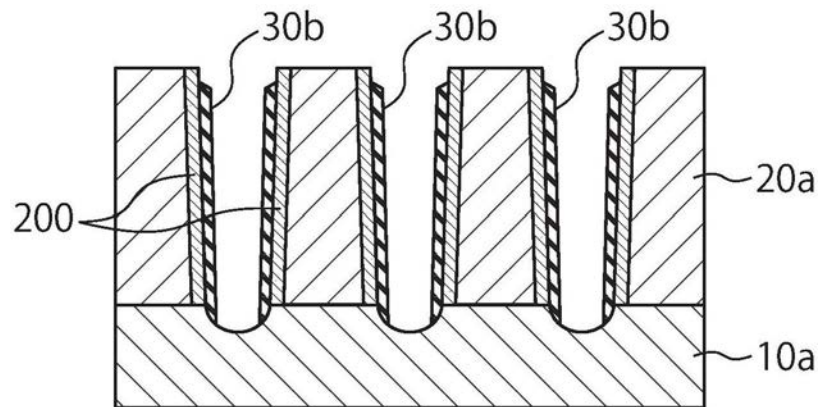


图13

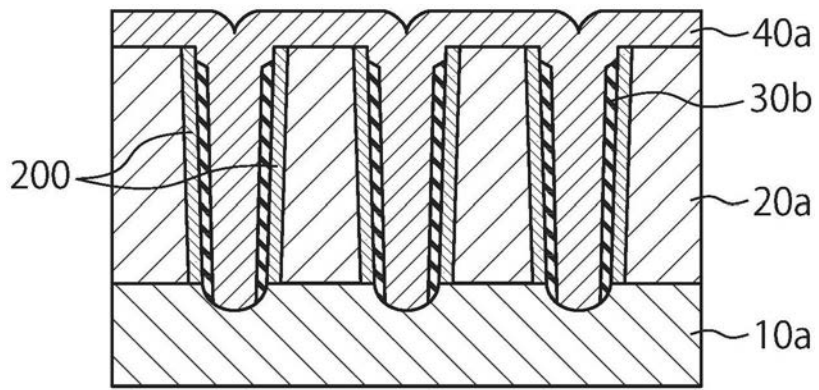


图14

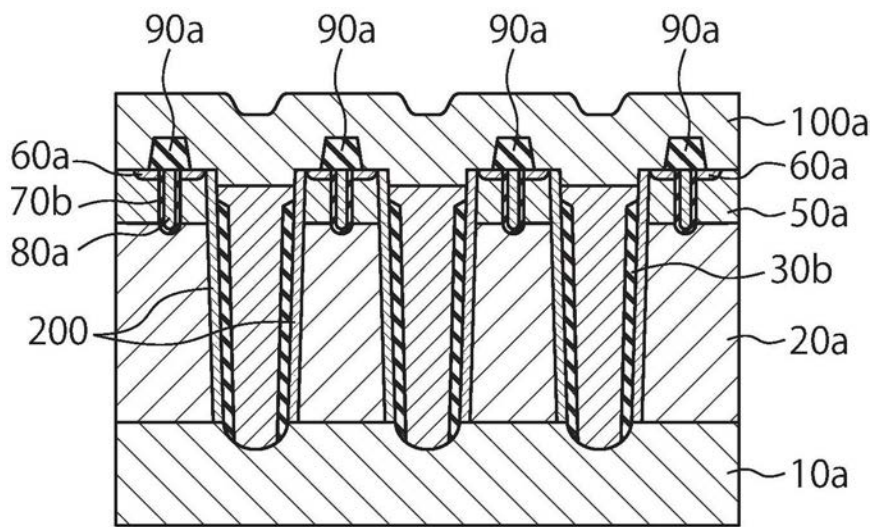


图15

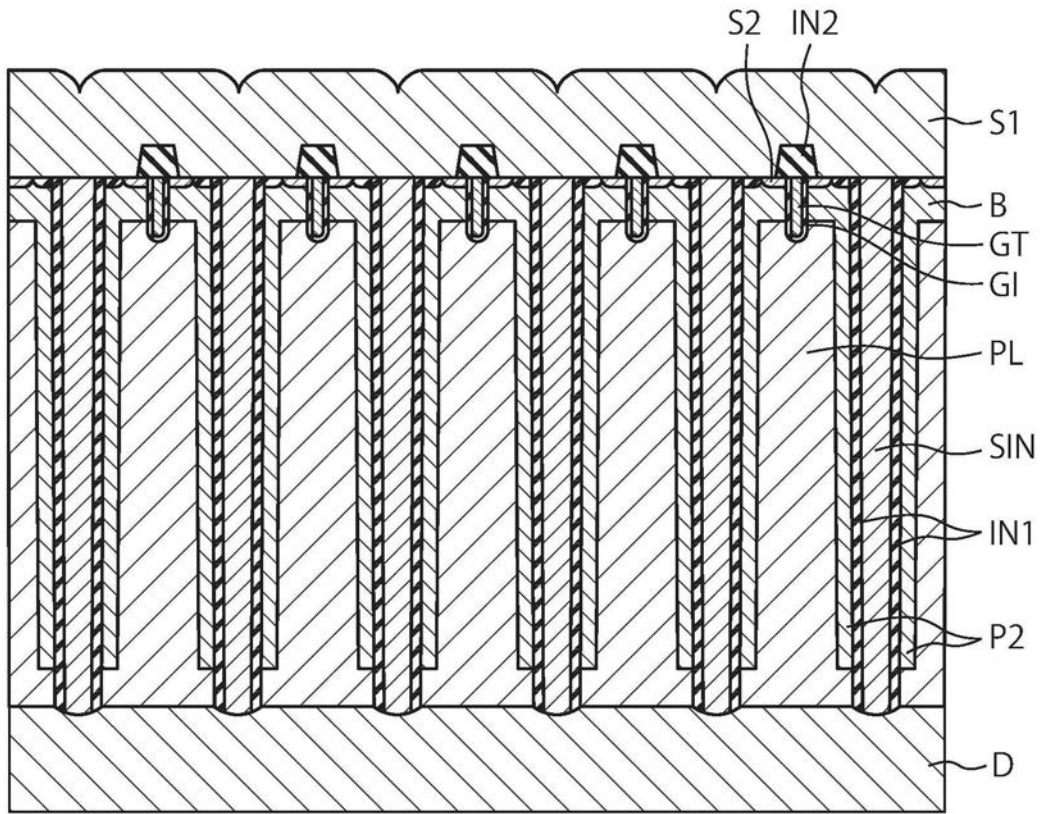


图16