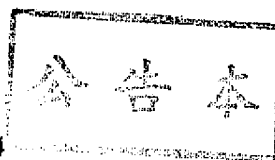


|      |           |
|------|-----------|
| 申請日期 | 84.03.10  |
| 案 號  | 84102302  |
| 類 別  | GOIR 3/56 |



A4  
C4

418329

(以上各欄由本局填註)

# 發 明 專 利 說 明 書

|             |               |                                                              |
|-------------|---------------|--------------------------------------------------------------|
| 一、發明<br>名稱  | 中 文           | 積體電路計時技術及其電路                                                 |
|             | 英 文           | "INTEGRATED CIRCUIT CLOCKING TECHNIQUE AND CIRCUIT THEREFOR" |
| 二、發明<br>創作人 | 姓 名           | 1. 馬克·艾立克·派德生<br>2. 彼得·霍                                     |
|             | 國 籍           | 均美國                                                          |
|             | 住、居所          | 1. 美國維蒙州伯林頓市南威拉街331號<br>2. 美國維蒙州威利史東市哈狄圓環9號                  |
| 三、申請人       | 姓 名<br>(名稱)   | 美商萬國商業機器公司                                                   |
|             | 國 籍           | 美國                                                           |
|             | 住、居所<br>(事務所) | 美國紐約州阿蒙市                                                     |
|             | 代 表 人 姓 名     | 費羅普                                                          |

裝

訂

線

418329

(由本局填寫)

|           |
|-----------|
| 承辦人代碼：    |
| 大 類：      |
| I P C 分類： |

A6  
B6

本案已向：

國(地區) 申請專利，申請日期： 案號： ，☐有 ☐無主張優先權  
美 1994.08.24 08/295624

有關微生物已寄存於： ，寄存日期： ，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

## 五、發明說明(1)

### 1. 發明範圍

本發明一般來說與測試積體電路有關。尤其，本發明與用於包含階層式靈敏掃描設計(level sensitive scan design, LSSD)測試之掃描測試的計時方案有關。

### 2. 發明背景

在包括階層式靈敏掃描技術(LSSD)的傳統掃描技術中，一電路的循序部份，如閘鎖或正反器，乃經由開關電路串接而形成一個移位暫存器。正常操作時，開關為開的狀態。期望測試電路時，開關關閉，而預先決定的測試資料傳送至本結果移位暫存器中，一直到移位暫存器被裝滿為止。之後開關再度打開，而本循序電路在預先決定的邏輯運算進行時回復正常的運作。最後，開關再度關閉，以透過時脈將邏輯運算結果自移位暫存器移出，而與預期的結果比較。

如同 E.J. McCluskey 在 1984 年 12 月 VLSI Design 上的一篇 "A survey of Design for Testability Techniques" 所發表的內容。掃描電路的時脈可以經由許多的方法加以提供。一個由 McCluskey 所發表的計時技術，恰為掃描提供了一完全獨立的時脈集合，其中該掃描必須伴隨著功能時脈而拉至每一個門鎖。經由此一技術，為了執行掃描週期，功能與掃描時脈集合乃在晶片的層次作開與關的切換。為了維持適當的時序關係，所有的這些時脈必需各別的與其他的時脈保持平衡，而這樣將增加電路的複雜程度。一般來說，因為這些複雜性，掃描測試不能在系統全速之

(請先閱讀背面之注意事項再填寫本頁)

訂

## 五、發明說明(2)

下進行。

另一種技術，發表在U.S. Patent 4,961,013 的一篇由 Obermeyer et al 所著的 "Apparatus for Generation of Scan Control Signals for Initialization and Diagnosis of Circuitry in a Computer"。該技術提出了單獨的時脈集合，但是在每一個正反器的輸入端必需要有一個多工器加以選擇。經由控制訊號，可以決定輸入循序電路的資料是掃描資料或是功能資料。然而，Obermeyer 的方法需要將多工的控制訊號分佈至每一個門鎖，而此一多工器在功能資料中加入了延遲，並且也需要額外的電路區域。

在U.S. Patent 5,220,217 上發表了一篇由 Scarra et al 所著的 "Circuit for the Generation of a Scanning Clock in an Operational Analysis Device of the Serial Type for an Integrated Circuit"。其中發表一種由系統時脈來產生機器時脈與掃描時脈的時脈產生器。Scarra的機器時脈通常與系統時脈同時發生。當需要一個掃描時脈時，Scarra的方法即將機器時脈箝位，並且經由控制訊號來致能掃描時脈。機器時脈的箝位狀態決定掃描訊號是系統時脈的反相訊號或是直接通過的訊號。

Scarra的機器時脈與掃描時脈之間的獨立關係，限制了其測試某些循序電路的能力。Scarra教導一種可以產生掃描與功能時脈之電路，以測試一在系統時脈為低位準時其一輸出產生變化的主僕暫存器電路。但是若要產生掃描與

(請先閱讀背面之注意事項再填寫本頁)

訂

## 五、發明說明(3)

功能時脈以測試一在系統時脈為高位準時其一輸出產生變化的主僕暫存器，則該電路必需被修改。Scarra的電路不能用以測試暫存器檔案。

前面所發表的技術，強迫電路的設計者在各不想要的"妥協"(tradeoff)間取得平衡。一"妥協"為不完整的測試涵蓋，而該妥協將增加受損晶片通過測試的冒險。另一妥協為限制先前測試技術所能測試電路晶片上循序電路的種類，而這樣將增加成本並降低電路的速度。同樣地，在循序電路中加上補償邏輯，而使得成本與電路區域增加以及速度的下降亦是非期望的。

另一方面，先前的某些技術無法符合電機及電子工程師學會(Institute of Electrical and Electronic Engineers, IEEE)與所知道的聯合測試行動小組(Joint Test Action Group, JTAG) 1149.1 對於有界掃描測試的標準。

發明目的

本發明之一目的在於，可以由單一系統時脈選擇性的產生和分佈掃描時脈與功能時脈，而該等時脈可以適用於他們所驅動的特定電路中。

本發明之另一目的，是在降低交流測試時的歪斜作用。

本發明之另一目的在於，可以產生並分佈一些符合電源管理技術的掃描時脈與功能時脈。

本發明還有一個目的，是使用較少的元件，就可產生並分佈掃描時脈與功能時脈。

## 五、發明說明(4)

發明之概述

根據本發明，一全盤分佈的系統時脈，可由一反應於全盤控制訊號的區域時脈產生器接收及選擇性的加以開控。區域時脈產生器，其位置與循序電路接近（該電路具有複數個串列掃描路徑），可以產生掃描與功能時脈訊號，該訊號適用於需要許多不同時序圖的循序電路中。

圖式之簡單說明

圖1是一積體電路的方塊圖。其計時方式係按照本發明中的較佳實施例進行。

圖2A是適用於型態A單門鎖的區域時脈產生器的較佳實施例。

圖2B是圖2A區域時脈產生器的時序圖。

圖3A是適用於型態A主僕暫存器的區域時脈產生器的較佳實施例。

圖3B是圖3A區域時脈產生器的時序圖。

圖4A是適用於型態B單門鎖的區域時脈產生器的較佳實施例。

圖4B是圖4A區域時脈產生器的時序圖。

圖5A是適用於型態A主僕暫存器的區域時脈產生器的較佳實施例。

圖5B是圖5A區域時脈產生器的時序圖。

圖6A是適用於暫存器檔的區域時脈產生器的電路圖。

圖6B是圖6A區域時脈產生器的時序圖。

圖6C是一個具有垂直掃描路徑的暫存器檔的一部分電路

(請先閱讀背面之注意事項再填寫本頁)

訂

## 五、發明說明(5)

圖。

本發明較佳實施例的詳細說明

圖1是積體電路的方塊圖。其計時方式按照本發明中的較佳具體實例進行。本積體電路包含了組合邏輯200，該電路的輸出儲存在許多不同型態的循序電路中。這些循序電路包含了單門鎖207、209，主僕暫存器211、221與暫存器檔231，為了掃描測試的目的，為這些電路提供了串列掃描路徑。本積體電路的系統時脈訊號SYSCLK 201與控制訊號CONTROL1 203、CONTROL2 205均全盤分佈至區域時脈產生器206、208、210、220、230與232。本區域時脈產生器放置的位置與它所驅動的特定循序電路接近。舉例來說，區域時脈產生器210放置的位置與循序電路211接近，每一個區域時脈產生器均接受SYSCLK 201，並且對控制訊號203、205其中之一的訊號加以反應，以選擇性的產生適用於它所驅動之循序電路的時脈。舉例來說，時脈產生器210，受控制訊號CONTROL2 205所控制以產生掃描時脈A、功能時脈A與僕時脈A，而這些訊號專為主僕暫存器211而產生。

圖2A顯示了第一個區域時脈產生器206，其較適用於測試型態A的單門鎖電路，而該單門鎖電路在SYSCLK 201為低位準相位時進行門鎖的動作。圖2B是區域時脈產生器206的時序圖，本時序圖顯示了在測試型態A的單門鎖電路時，SYSCLK、控制訊號CONTROL2與時脈產生器的輸出之間的關係。在圖2B中可以看出，圖2A中的閘11與21各別的

(請先閱讀背面之注意事項再填寫本頁)

訂

## 五、發明說明(6)

產生掃描時脈A與功能時脈A，所以當他們耦合至箝位電晶體時，最好有三態緩衝器的功能。

對於圖11的部分，三態緩衝器41包含了兩個P-通道電晶體M1和M2，與兩個N-通道電晶體M3和M4，四個電晶體串聯連接。M1的源極連接至電源電壓Vdd。M1的汲極連接至M2的源極。M2的汲極連接至M3的汲極，也就是在三態緩衝器的輸出節點N1上。M3的源極接地。M2與M3的閘極互接，並由SYSCLK提供訊號。M1與M4的閘極各別的由互補控制訊號CONTROL2'與CONTROL2提供訊號。向下箝位N-通道電晶體M5的源極接地，而它的汲極連接至電晶體M2與M3的共通輸出節點N1。控制訊號CONTROL2連接至M5的閘極。

繼續參考圖2A，第二個閘21除了互補控制訊號互相置換外，在產生功能時脈上與第一個閘11非常的相似。三態緩衝器42包含兩個P-通道電晶體M6和M7，與兩個N-通道電晶體M8和M9，四個電晶體串聯的連接。M6的源極連接至電源電壓Vdd。M6的汲極連接至M7的源極。M7的汲極連接至M8的汲極，也就是在三態緩衝器的輸出節點N2上。M9的源極接地。M7與M8的閘極互接，並由SYSCLK提供訊號。M6與M9的閘極個別的由互補控制訊號CONTROL2與CONTROL2'提供訊號。向下箝位N-通道電晶體M10的源極接地，而它的汲極連接至電晶體M7與M8的共通輸出節點N2。控制訊號CONTROL2連接至M10的閘極。

圖2A中的時脈產生器206以下面所說明的方式運作以測試型態A的單門鎖。閘11與21運作以產生掃描時脈A與功

(請先閱讀背面之注意事項再填寫本頁)

訂

## 五、發明說明(7)

(請先閱讀背面之注意事項再填寫本頁)

表

訂

能時脈A，這兩個時脈是互斥的，也就是說，只有當一個訊號在非有效(箝位)的狀態時，另一個訊號才能是有效狀態。當掃描資料送入門鎖時，CONTROL2 205是高位準狀態，所以電晶體M1與M4一起導通，由於致能閘11的三態緩衝器41，三態緩衝器41經由電晶體M2與M3將SYSCLK 201反相，以便產生圖2B中的掃描時脈A。M5為關閉狀態。在這同時，電晶體M6與M9沒有導通，由於使能閘21的三態緩衝器42抑能而進入高阻抗狀態。三態緩衝器42的輸出，經由電晶體M10箝位至低位準，並且在圖2B中產生一個非有效的功能時脈A。為了使本積體電路可以對掃描資料動作，控制訊號CONTROL2 205進入低位準狀態，三態緩衝器41被箝位至低位準，產生一個非有效的掃描時脈A，而三態緩衝器42進入致能狀態，產生一有效的功能時脈A，由圖2B中可看出該訊號是系統時脈的反相。之後將CONTROL2 205回歸至高位準，輸出資料即由門鎖掃描回來。緩衝器12與22在輸出訊號分佈之前對該輸出訊號做更新的動作。

圖3A顯示第二個區域時脈產生器210，該時脈產生器較適用於測試型態A的主僕暫存器，該主僕暫存器的主僕暫存行為在系統時脈為高位準相位時進行觸發。閘13與23的組態與圖2A中閘11與21的組態相同，而其動作也相似。區域時脈產生器210也包含了一個重複裝置31，以便產生一個測試主僕暫存器所需的僕時脈，重複裝置31包含了三態緩衝器43，該緩衝器與第一個閘11一樣在後面連接一反相器47。電晶體M11與M14的閘極分別連接至地與電源Vdd

## 五、發明說明(8)

，所以輸入訊號SYSCLK一直可以通過三態閘43與反相器47的組合。反相器47連接在緩衝器32之後。圖3B是區域時脈產生器210的時序圖，圖中顯示了在測試型態A的主僕暫存器時，系統時脈201、控制訊號CONTROL2與時脈產生器輸出之間的關係。掃描時脈A與功能時脈A與圖2B中型態A單門鎖的訊號相同。圖3B的僕時脈A，是重複裝置31所產生的訊號，當功能時脈A被箝位時，其動作與掃描時脈A連動；另外，當掃描時脈A被箝位時，圖3B的僕時脈A在動作時與功能時脈連動。

圖4A顯示第三個區域時脈產生器208，該時脈產生器較適用於測試型態B的單門鎖電路，也就是當SYSCLK 201在高位準相位時，有單門鎖的動作發生。圖4A是區域時脈產生器208的時序圖，圖中顯示在測試型態B的單門鎖時，系統時脈201、控制訊號CONTROL1與時脈產生器輸出之間的關係。為了產生圖4B中的掃描時脈B與功能時脈B，圖4A的閘111與121最好是三態閘，且在其後方連接一箝位電晶體與一反相器。

對於閘111，三態緩衝器144包含了兩個P-通道電晶體M15和M16，與兩個N-通道電晶體M17和M18，四個電晶體串聯連接。M15的源極連至電源電壓Vdd。M15的汲極連接至M16的源極。M16的汲極連接至M17的汲極，也就是在三態緩衝器144的輸出節點N4上。M17的源極連接至M18的汲極上。M16與M17的閘極互接，並由SYSCLK提供訊號。M18的源極接地。M15與M18的閘極分別由互補控

(請先閱讀背面之注意事項再填寫本頁)

訂

## 五、發明說明(9)

制訊號 CONTROL1' 與 CONTROL1 提供訊號。向上箝位 P-通道電晶體 M19 的源極連接至電源電壓 Vdd，而它的汲極連接至節點 N4，此節點為電晶體 M16 和 M17 的共通輸出，與反相器 147 的輸入。控制訊號 CONTROL1 連接至 M19 的閘極。

關於第三個區域時脈產生器，除了互補控制訊號互相對調之外，產生功能時脈的第二個閘 121 與第一個閘 111 有相同的元件配置。三態緩衝器 145 包含兩個 P-通道電晶體 M20 和 M21，與兩個 N-通道電晶體 M22 和 M23，四個電晶體為串聯連接。M20 的源極連接至電源電壓 Vdd。M20 的汲極連接至 M21 的源極。M21 的汲極連接至 M22 的汲極節點 N5 上，也就是三態緩衝器 145 的輸出。M22 的源極連接至 M23 的汲極。M23 的源極接地。M21 與 M22 的閘極互接，並由 SYSCLK 提供訊號。M20 與 M23 的閘極各別由控制訊號 CONTROL1 與 CONTROL1' 提供訊號。向上箝位 P-通道電晶體 M24 的源極連接至電源電壓 Vdd，而其汲極連接至節點 N5，也就是電晶體 M21 和 M22 的共通輸出與反向器 148 的輸入。控制訊號 CONTROL1' 連接至 M24 的閘極。

圖 4A 的時脈產生器 208 以下面所敘述的方式運作，以測試型態 B 的單門鎖電路，閘 111 與 121 運作以產生掃描時脈 B 與功能時脈 B，這兩個訊號為互斥訊號，也就是說只有在一個時脈為非有效(箝位)時，另一個時脈才能有效。當掃描資料送入門鎖，CONTROL 203 成為高電位，所以電晶體 M15 與 M18 一起導通，從而致能閘 111 的三態緩衝器 144。三態緩衝器 144 與反相器 147 使 SYSCLK 201 通過以

(請先閱讀背面之注意事項再填寫本頁)

訂

## 五、發明說明(10)

產生圖4B中的掃描時脈A。M19關閉。同一時間，電晶體M20與M23不導通，並且將開121的三態緩衝器145抑能至一高阻抗狀態。三態緩衝器145的輸出經由電晶體M24箝位至高電位，再經由反相器148的反相作用，可產生如圖4B中的非有效功能時脈B。為了使得積體電路可以對掃描資料動作，控制訊號CONTROL1 203成為低電位，三態緩衝器144箝位至低電位，產生一非有效掃描時脈B，而三態緩衝器145被致能，如同圖4B所示使得SYSCLK通過以產生一有效的功能時脈B。之後將CONTROL1 203回歸至高位準，輸出資料即可以由門鎖掃描回來。緩衝器112與122在輸出時脈分佈之前對該時脈做更新的動作。

圖5A顯示第四個區域時脈產生器220，該時脈產生器較適用於測試型態B的主僕暫存器，也就是當系統時脈在低位準相位時，受觸發以產生主僕式的暫存輸出。開113與123與圖4A的組態相同，並有類似的行為表現。第四個區域時脈產生器220也包括了一重複裝置131以產生一個測試主僕暫存器所需要的僕時脈B。重複裝置131是一個三態緩衝器，除了三態緩衝器沒有與反相器連接，其連接方法與圖3A中對於區域時脈產生器210的重複裝置31的連接類似，而其更新動作由緩衝器132實施。電晶體M25、M26、M27與M28的連接與電晶體M11、M12、M13與M14的連接方式相似。重複裝置131的輸出是SYSCLK的反相。圖5B是區域時脈產生器220的時序圖，該圖顯示了在測試型態B的主僕暫存器時，系統時脈、控制訊號CONTROL1與時

(請先閱讀背面之注意事項再填寫本頁)

訂

## 五、發明說明 ( 11 )

脈產生器輸出之間的關係。掃描時脈B和功能時脈B與圖4B中型態B的單門鎖所用者相同。圖5B所示的僕時脈B是由重複裝置131所產生。當功能時脈B被箝位，該僕時脈連同掃描時脈B一起動作，當掃描時脈B被箝位，該僕時脈連同功能時脈一起動作。

圖6A顯示第五與第六個區域時脈產生器230與232，這些時脈產生器較適用於測試暫存器檔231。圖6C顯示暫存器檔231的一部分，該部分具有一連接在由相同的位元所設定之各單門鎖間的垂直掃描路徑，如同連接在暫存器1的門鎖C1輸出Q與暫存器2的門鎖C2掃描資料輸入Sd之間的路徑。現在參考圖6A，時脈產生器230的閘51和52與時脈產生器232的閘53和54，和先前所討論區域時脈產生器的相對應閘有相似的動作方式。掃描時脈SCANCKB與SCANCKA由全盤控制訊號CONTROL1與CONTROL2所閘控。如同圖6B中所示，這些訊號並非同相位。在掃描時，於系統時脈第一時段寫入一個暫存器的資料，將經由掃描路徑在第二時段時傳送至第二個暫存器的同一位元。暫存器1的功能時脈W1由區域所產生的控制訊號CONTROL1所閘控。如同圖1中所示，這些控制訊號是全盤控制訊號CONTROL1 203與暫存器1的致能訊號的邏輯組合。同樣地，功能時脈W2由區域產生的控制訊號CONTROLW2所閘控，此控制訊號是全盤控制訊號CONTROL1 203與暫存器2的致能訊號的邏輯組合。如圖6B的時序圖所示，雖然W1與W2時序圖的升降緣不需對齊，但因為可能要選擇性的寫入一個暫存器，

(請先閱讀背面之注意事項再填寫本頁)

訂

經濟部中央標準局員工消費合作社印

## 五、發明說明 ( 12 )

故 W1、W2與 SYSCLK為同相位。經由此一方法，如圖 6C所示，為了掃描與正常運作，每一個暫存器檔的暫存器均供應有一個掃描訊號 (SCANCKA或 SCANCKB)及一個功能訊號 WN。

本發明可以設定成符合 IEEE JTAG 1149.1的有界掃描測試標準。如同此一標準所定義的，JTAG的標準需要 JTAG的狀態機器在輸入時脈為上升緣時改變狀態。當控制訊號 CONTROL1 203與 CONTROL2 205在輸入時脈為正緣時受觸發，則前面所發表的時脈產生器是適當的。

本發明有一項與電源管理相容的額外優點。將一全盤控制訊號與適當的暫存器致能訊號作邏輯組合以閘控功能時脈與僕時脈，則功能與僕時脈在掃描動作時可以如上所描述的方式動作，但是除非暫存器被致能，否則在功能動作時這些時脈不會被傳送，因而降低了電源的消耗。

雖然類似的區域時脈產生器特性可以使用等效的反及 / 反或 (NAND/NOR) 電路或通 - 關 (pass-gate) 電路完成，但是仍較希望使用三態緩衝器，因為它同時有較好的負載特性與歪斜特性。不像通 - 關，三態緩衝器表現了固定的負載能力，該負載能力與系統時脈的邏輯狀態無關，因此可以簡化時脈網路的設計，三態緩衝器也可以幫忙將掃描與功能時脈之間的歪斜減至最低。這樣使得在掃描或正常動作時，不需降低系統的時脈速度以完成正確的功能，這一個好處一般在反及 / 反或的電路中無法找到。舉例來說，上面所說的第一個時脈產生器，掃描與功能時脈產生等量的閘延遲；而在第三個時脈產生器，僕時脈產生一超過掃

(請先閱讀背面之注意事項再填寫本頁)

訂

## 五、發明說明(13)

描與功能時脈的闌延遲。經由適當的調整元件大小，可以簡單的作出消除此小差額之調整。

本發明的較佳具體實例，已以如上特定實例描述。對該領域具一般技藝水平之人士而言，包含著適用於其它循序雷路中的其它形式之區域時脈產生器之其它具體實例，由前面所發表的內容來看，將屬顯而易知者。因此，在附加的申請專利範圍中，沒有打算將符合本發明精神與範圍的所有調整與變化全包括進來。

(請先閱讀背面之注意事項再填寫本頁)

訂

四、中文發明摘要 (發明之名稱： 積體電路計時技術及其電路 )

一全盤分佈之系統時脈，可由響應於全盤控制訊號之區域時脈產生器接收及選擇性的加以閘控。區域時脈產生器，其位置與循序電路接近，該電路具有適於循序電路之串列掃描路徑，循序掃描與功能時脈訊號，具有許多必需之時序圖。

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

英文發明摘要 (發明之名稱： "INTEGRATED CIRCUIT CLOCKING TECHNIQUE AND CIRCUIT THEREFOR" )

A globally distributed system clock is received and selectively gated by local clock generators responsive to global control signals. The local clock generators, which are located proximately to sequential circuits having serial scan paths, produce scan and functional clock signals adapted to the sequential circuits, which may have a variety of required timing diagrams.

訂

錄

## 六、申請專利範圍

1. 一種電路，用以由單一系統時脈選擇性地產生與分佈複數個區域時脈，供掃描測試一具有複數個循序電路的積體電路，經此而連成一掃描路徑，該電路包括：

一第一區域時脈產生器，其位置與第一循序電路的位置接近，可以響應第一控制訊號而接受與選擇性的閘控系統時脈，以提供適用於第一循序電路的第一循序電路掃描與功能時脈；及

一第二區域時脈產生器，其位置與第二種型態的第二循序電路的位置接近，可以響應第二控制訊號的控制而接受與選擇性的閘控系統時脈，以提供適用於第二循序電路的第二循序電路掃描與功能時脈。

2. 根據申請專利範圍第1項之電路，其中一時脈產生器包括：

第一邏輯閘，接受系統時脈並產生掃描時脈，該掃描時脈由第一控制訊號控制，並交替的在有效與箝位狀態間變換，有效狀態產生一輸出，該輸出將系統時脈反相，而箝位狀態產生一輸出，該輸出固定；及

第二邏輯閘，接受系統時脈並產生功能時脈，該功能時脈由第一控制訊號的互補訊號控制，並交替的在有效與箝位狀態間變換以響應第一控制訊號之互補，有效狀態產生一輸出，該輸出將系統時脈反相，箝位狀態產生一固定之輸出；

其中當功能時脈為有效時，掃描時脈被箝位，當掃描時脈為有效時，功能時脈被箝位。

(請先閱讀背面之注意事項再填寫本頁)

訂

## 六、申請專利範圍

3. 根據申請專利範圍第2項之電路，其中：

第一與第二邏輯閘，各包括一具有一耦合至一箝位電晶體之輸出的三態緩衝器。

4. 根據申請專利範圍第2項之電路，更包括：

一種連續通過系統時脈，產生一僕時脈之裝置。

5. 根據申請專利範圍第4項之電路，其中：

第一與第二邏輯閘，各包括一具有一耦合至箝位電晶體之輸出的三態緩衝器；及

一種連續通過系統時脈的裝置，包括一固定在致能狀態的三態緩衝器。

6. 根據申請專利範圍第1項之電路，其中之一時脈產生器包括：

第一邏輯閘，接收系統時脈並產生掃描時脈，該掃描時脈由第二控制訊號控制，並交替的在有效與箝位狀態間變換以響應第二控制訊號，有效狀態產生一輸出，該輸出讓系統時脈通過，而箝位狀態產生一固定之輸出；及

第二邏輯閘，接收系統時脈並產生功能時脈，該功能時脈響應第二控制訊號的互補，並交替的在有效與箝位狀態間變換，有效狀態產生一輸出，該輸出讓系統時脈通過，箝位狀態產生一固定之輸出；

其中當功能時脈為有效時，掃描時脈箝位，當掃描時脈為有效時，功能時脈箝位。

7. 根據申請專利範圍第6項之電路，其中：

(請先閱讀背面之注意事項再填寫本頁)

訂

## 六、申請專利範圍

第一與第二邏輯閘，各包括一具有一耦合至一箝位電晶體之輸出的三態緩衝器。

8. 根據申請專利範圍第6項之電路，包括：

一連續將系統時脈反相，產生一僕時脈之裝置。

9. 根據申請專利範圍第8項之電路，其中：

第一與第二邏輯閘，各包括一具有一耦合至箝位電晶體之輸出的三態緩衝器；及

一種連續將系統時脈反相裝置包括一固定在致能狀態的三態緩衝器。

10. 根據申請專利範圍第1項之電路，其中第一時脈產生器包括：

第一邏輯閘，接收系統時脈並產生第一掃描時脈，該掃描時脈響應第二控制訊號，並交替的在有效與箝位狀態間變換，有效狀態產生一輸出，該輸出讓系統時脈通過，而箝位狀態產生一固定的輸出；及

第二邏輯閘，接收系統時脈並產生功能時脈，該功能時脈響應第三控制訊號，並交替的在有效與箝位狀態間變換，有效狀態產生一輸出，該輸出重複系統時脈，箝位狀態產生一固定之輸出；及

第二時脈產生器包括：

一第一邏輯閘，接收系統時脈並產生第二掃描時脈，該掃描時脈響應第二控制訊號，並交替的在有效與箝位狀態間變換，有效狀態產生一輸出，該輸出將系統時脈反相，而箝位狀態產生一固定之輸出；及

(請先閱讀背面之注意事項再填寫本頁)

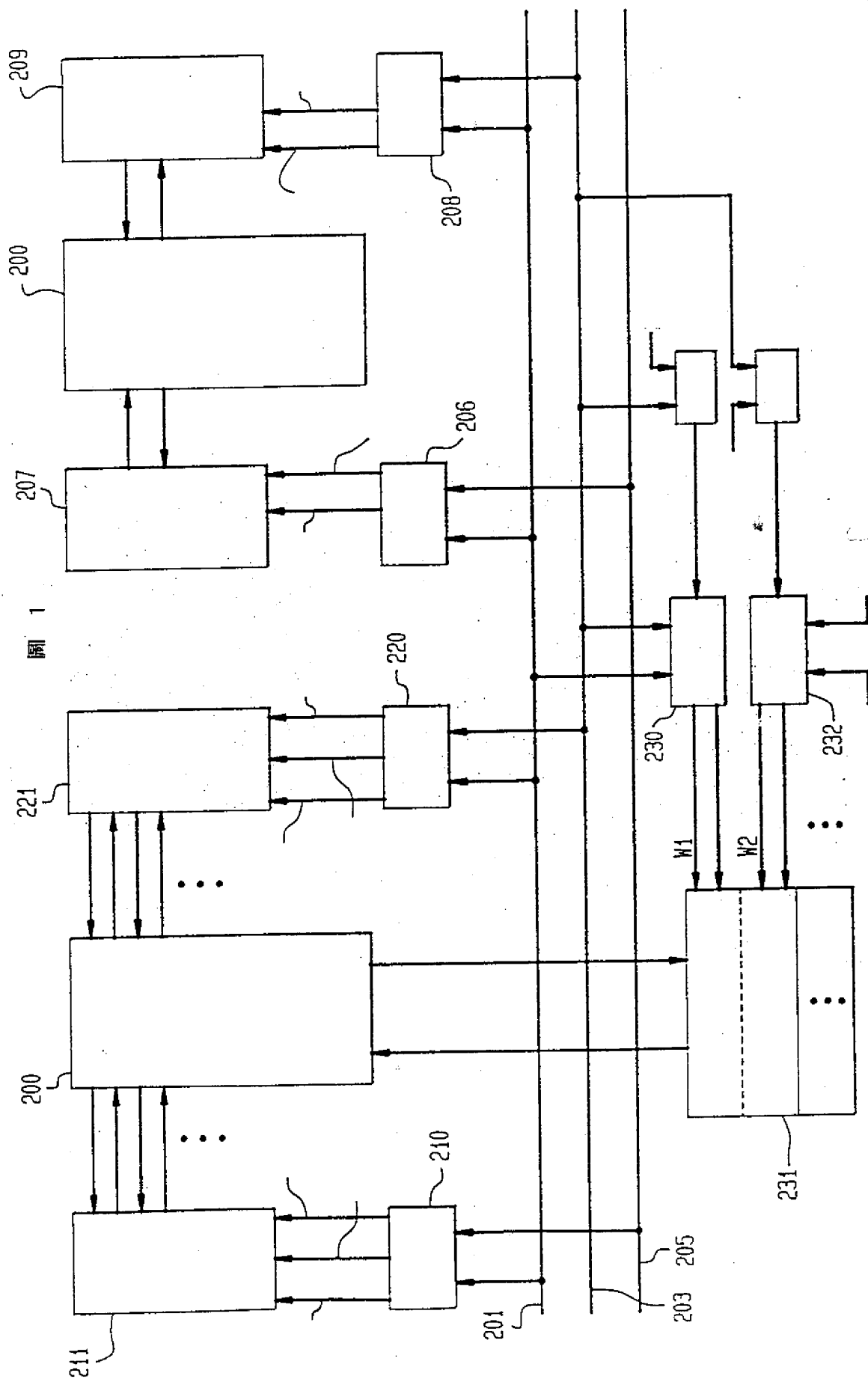
訂

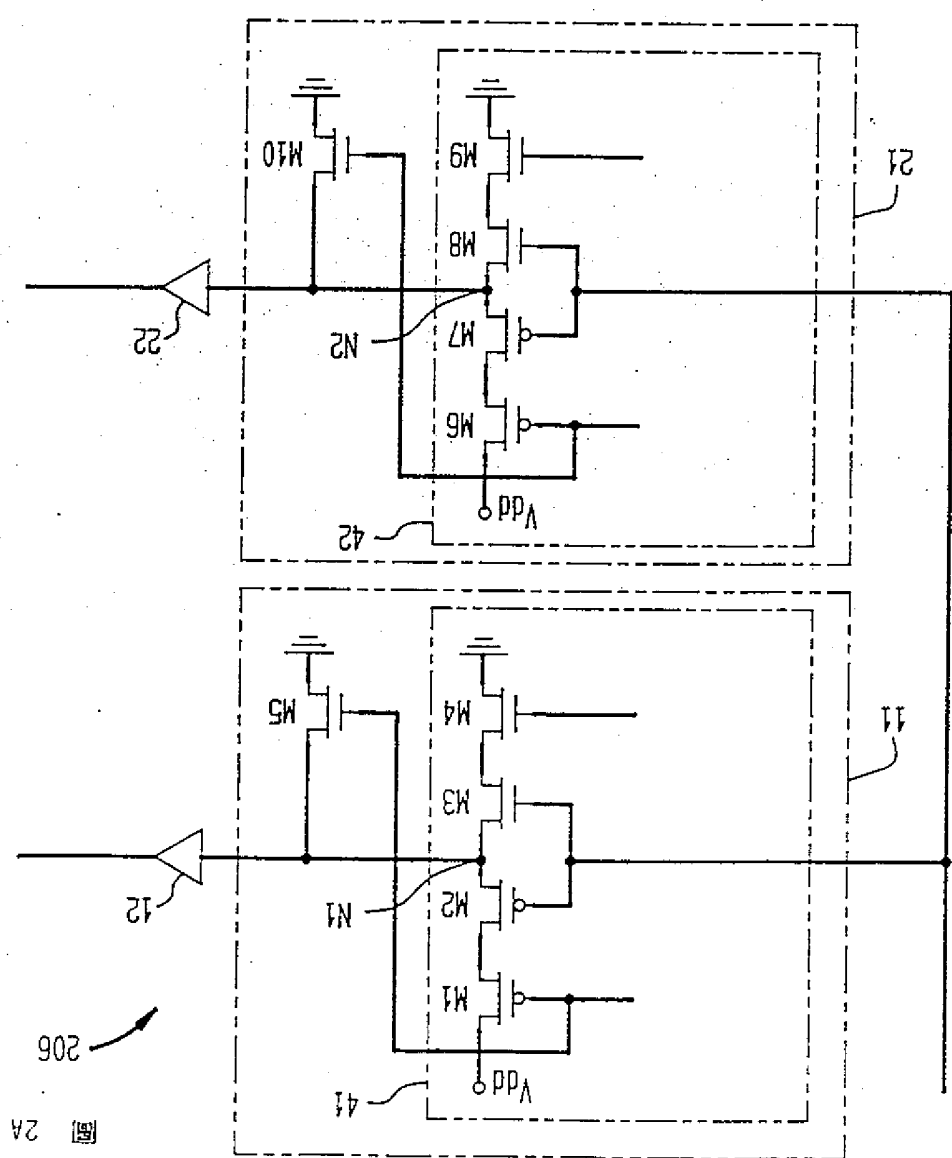
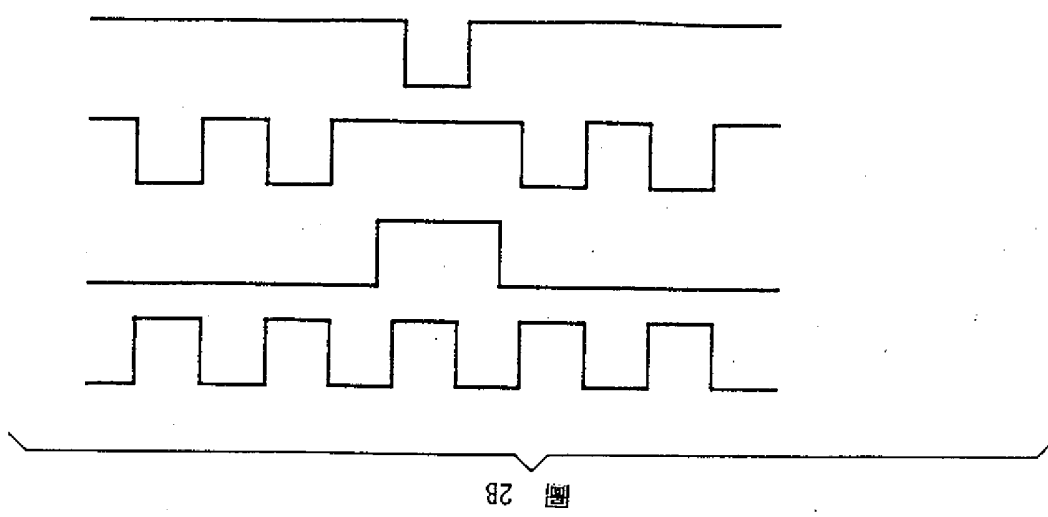
## 六、申請專利範圍

第二邏輯閘，接收系統時脈並產生第二功能時脈，該功能時脈響應第四控制訊號，並交替的在有效與箝位狀態間變換，有效狀態產生一輸出，該輸出重複系統時脈，箝位狀態產生一固定之輸出。

(請先閱讀背面之注意事項再填寫本頁)

訂





4 183 29

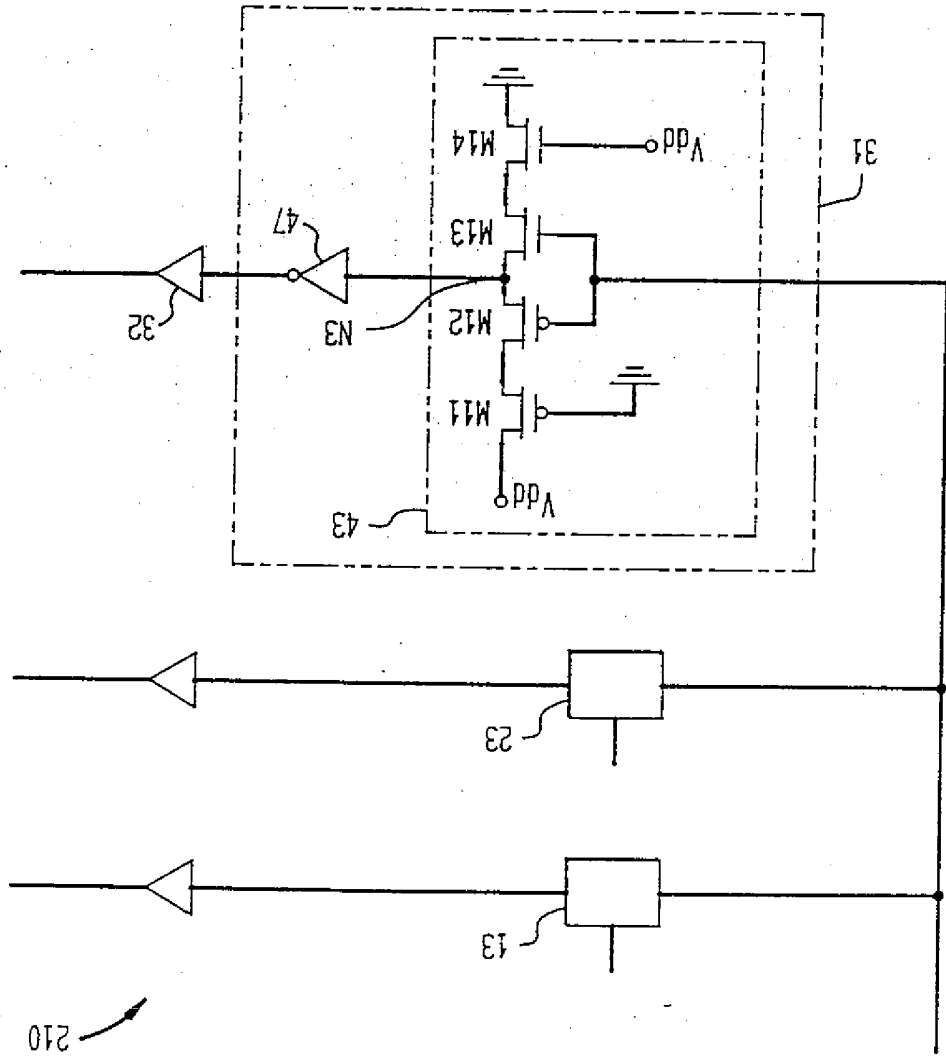
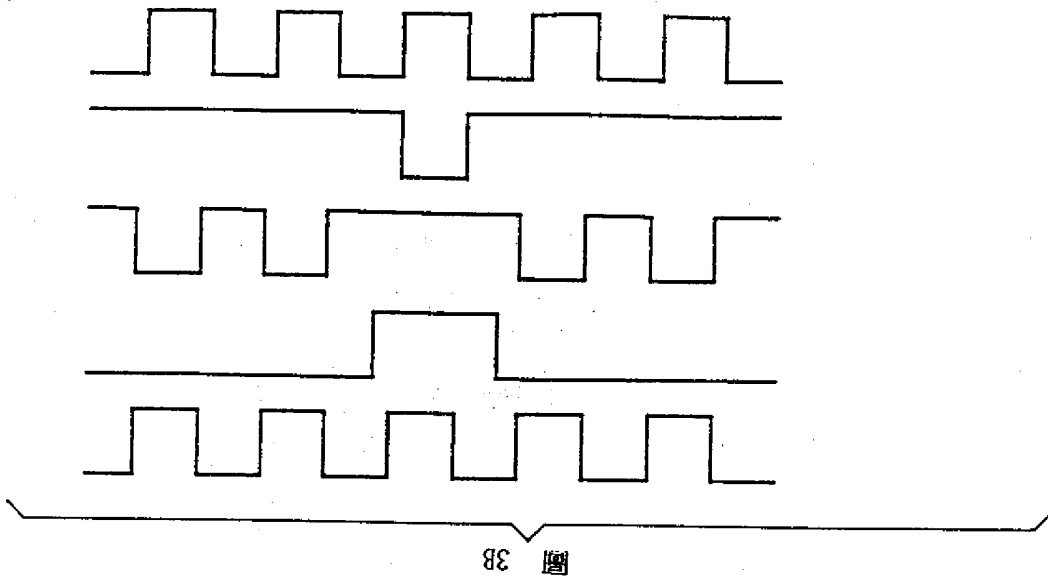


圖 34

210

418329

418329

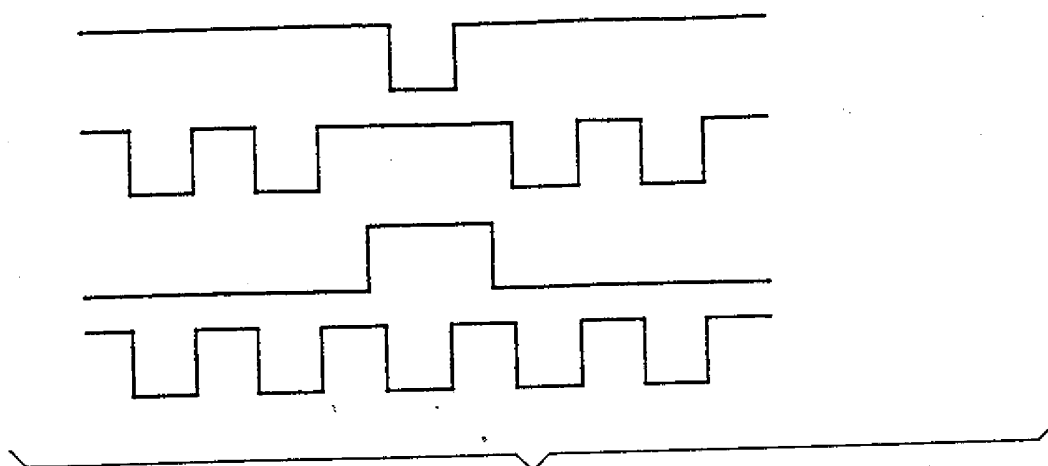


圖 48

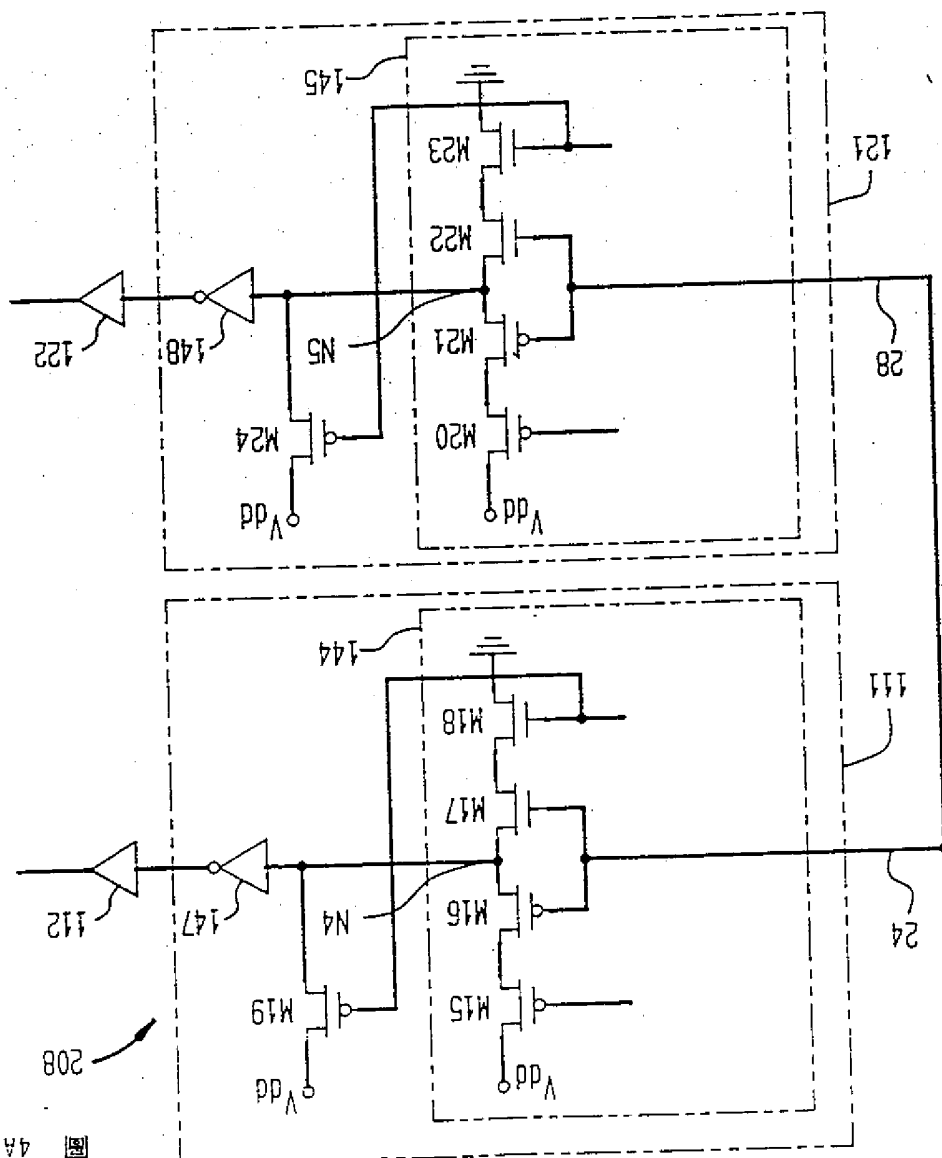


圖 4A

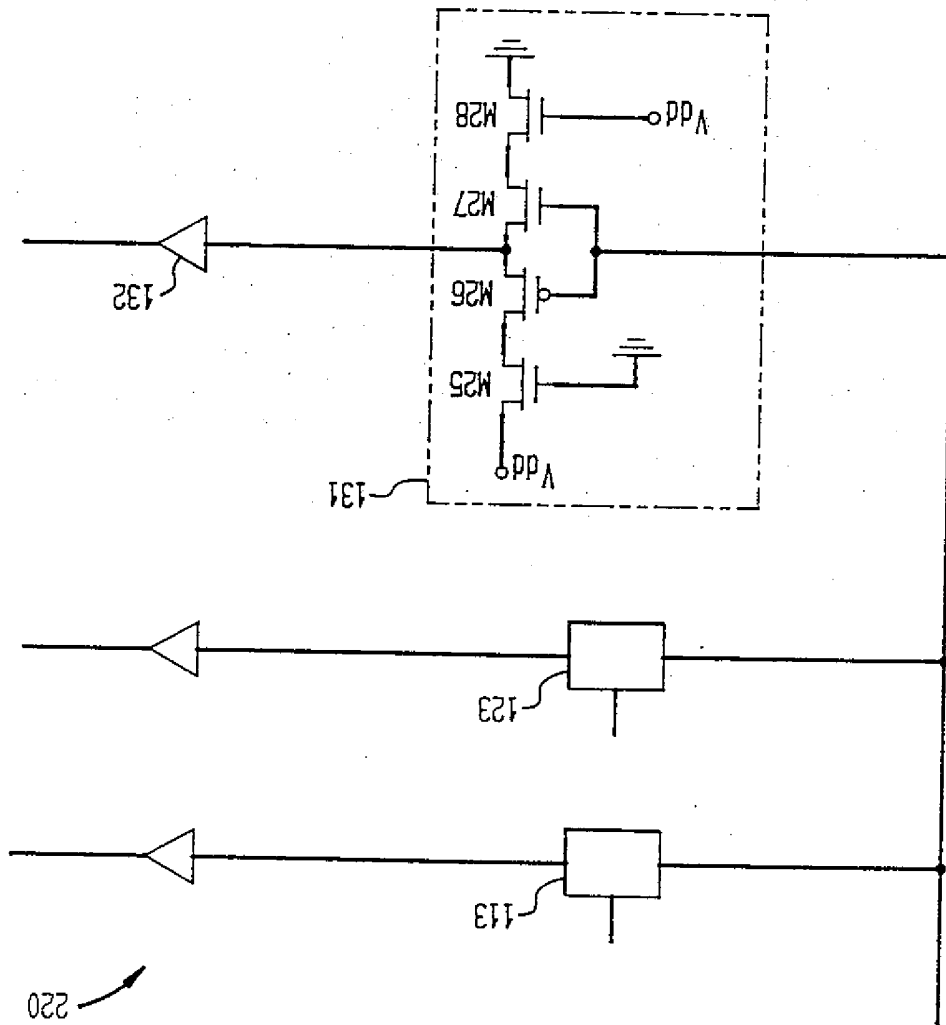
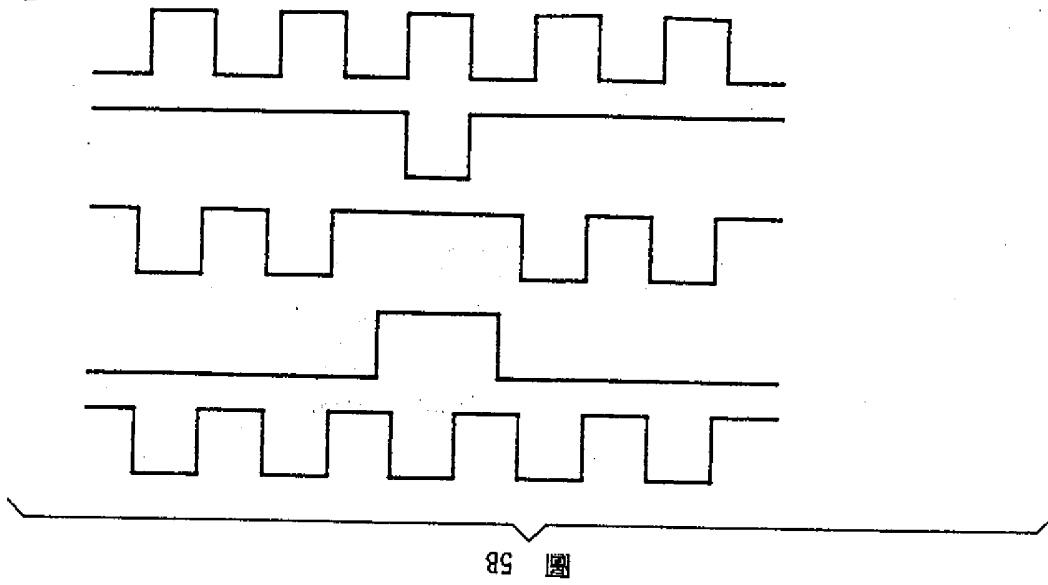


圖 5A

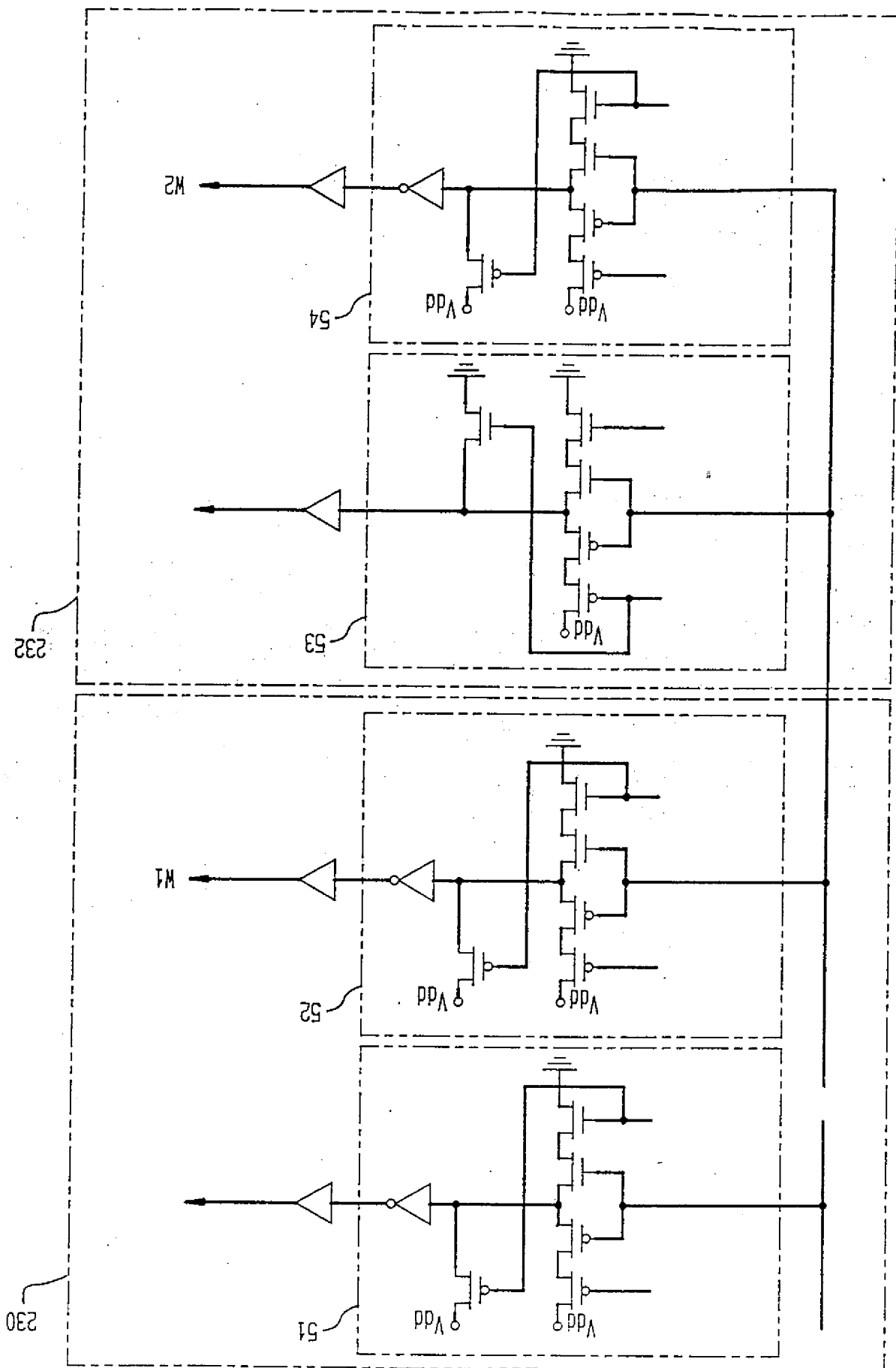
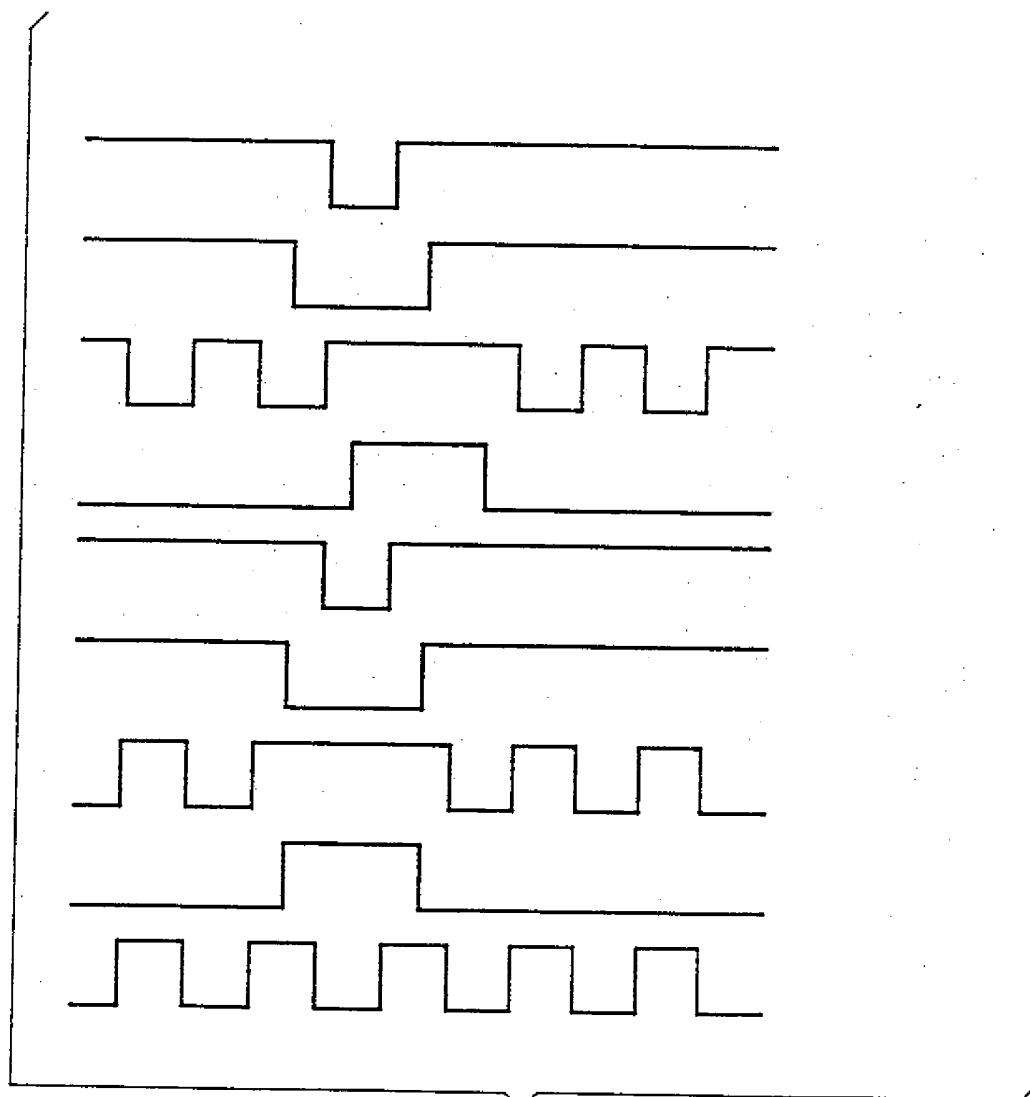


圖 6A

418329



418329

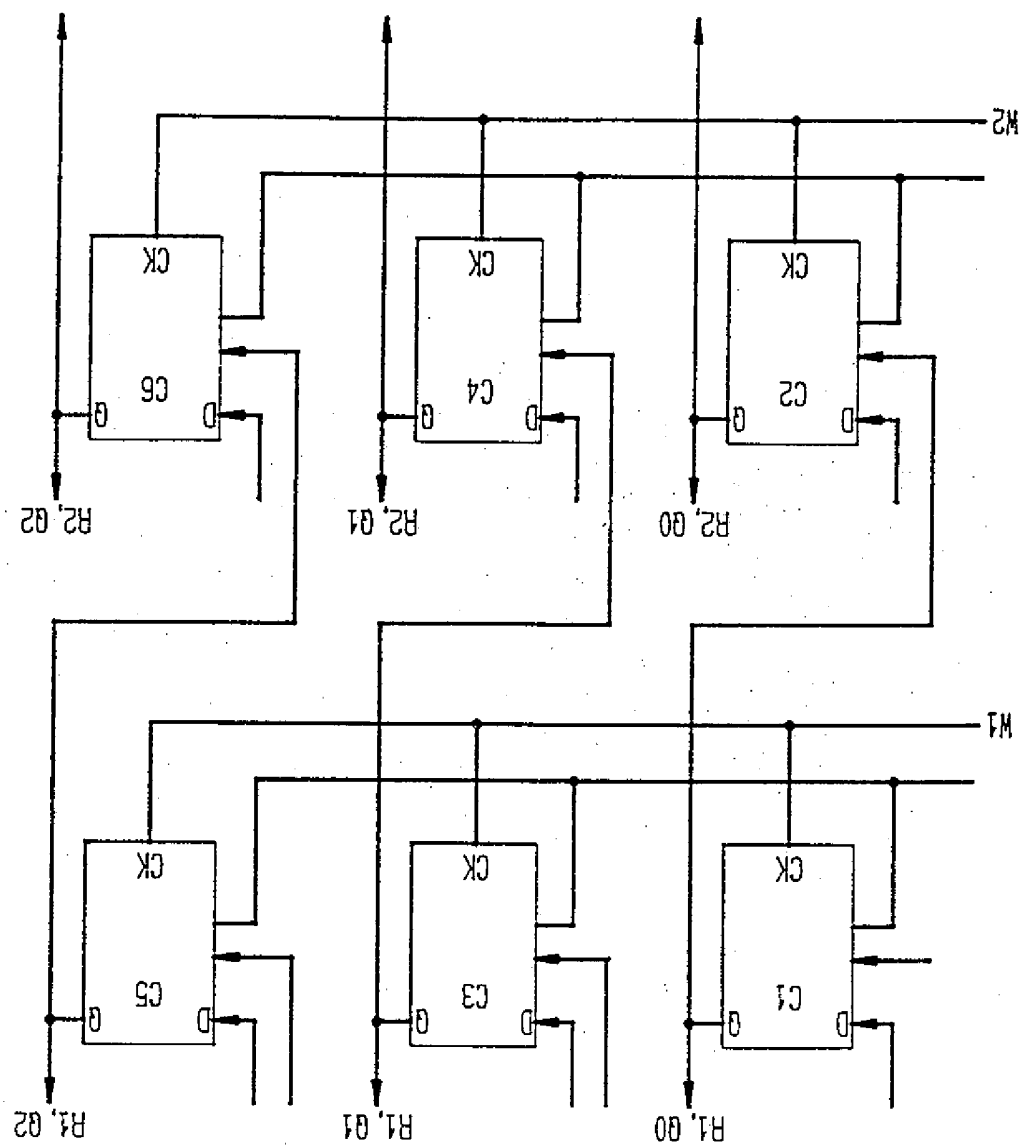


图 6C