

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4987364号
(P4987364)

(45) 発行日 平成24年7月25日 (2012. 7. 25)

(24) 登録日 平成24年5月11日 (2012. 5. 11)

(51) Int. Cl.

F I

H O 4 N 5/44 (2011. 01)
G O 6 T 1/60 (2006. 01)H O 4 N 5/44 Z
G O 6 T 1/60 4 5 O G

請求項の数 4 (全 12 頁)

(21) 出願番号 特願2006-173922 (P2006-173922)
 (22) 出願日 平成18年6月23日 (2006. 6. 23)
 (65) 公開番号 特開2008-5303 (P2008-5303A)
 (43) 公開日 平成20年1月10日 (2008. 1. 10)
 審査請求日 平成21年3月26日 (2009. 3. 26)

(73) 特許権者 000003078
 株式会社東芝
 東京都港区芝浦一丁目1番1号
 (74) 代理人 100091351
 弁理士 河野 哲
 (74) 代理人 100088683
 弁理士 中村 誠
 (74) 代理人 100108855
 弁理士 蔵田 昌俊
 (74) 代理人 100075672
 弁理士 峰 隆司
 (74) 代理人 100109830
 弁理士 福原 淑弘
 (74) 代理人 100084618
 弁理士 村松 貞男

最終頁に続く

(54) 【発明の名称】 ラインメモリ実装装置とテレビジョン受信装置

(57) 【特許請求の範囲】

【請求項 1】

縦列接続した複数の R A M 部品と、

前記複数の R A M 部品のアドレスに論理上の複数のラインメモリを割り当て、前記縦列接続された前記複数の R A M 部品の中の最終段の R A M 部品のデータ出力側の一部と初段の R A M 部品のデータ入力側の一部とを接続する接続部を複数個所設けて、前記複数のラインメモリを直列接続状態にした接続手段とを有し、

各ラインメモリは、ライン幅のビット数が輝度信号又はカラー信号の画素のビット数に対応し、ライン長のビット数がテレビジョン信号の1つの水平ラインに配列される複数の画素の全ビット数に対応するものとして定義され、

前記複数の R A M 部品の中の各 R A M 部品は、

前記複数のラインメモリが割り当てられていないビット幅方向のビット数が、1つのラインメモリのライン幅方向のビット数より少ない数であり、

ワード長方向のビット数が1つのラインメモリのライン長方向のビット数より少なく、前記初段の R A M 部品に各ラインメモリの先頭入力部が設定され、前記最終段の R A M 部品に各ラインメモリの最終出力部が設定されている

ラインメモリ実装装置。

【請求項 2】

前記複数のラインメモリは、前記輝度信号のための第1のグループである複数のラインメモリと、

10

20

前記カラー信号のための第2のグループである複数のラインメモリを含み、
前記カラー信号は、色差信号であり、前記輝度信号と出力同期を得るためにデータオー
ルゼロの画素マクロブロックを含む請求項1記載のラインメモリ実装装置。

【請求項3】

さらに映像データを変換する信号処理部を有し、
前記信号処理部が、前記複数のラインメモリを含む前記複数のRAM部品を有する、
請求項1記載のラインメモリ実装装置。

【請求項4】

テレビジョン信号を受信するチューナと、
前記チューナの出力を復調する復調器と、
前記復調部から出力される画像データを少なくとも表示用の信号に変換処理する信号処
理部を有し、

前記信号処理部は、

縦列接続した複数のRAM部品と、

前記複数のRAM部品のアドレスに論理上の複数のラインメモリを割り当て、前記縦列
接続された前記複数のRAM部品の中の最終段のRAM部品のデータ出力側の一部と初段
のRAM部品のデータ入力側の一部とを接続する接続部を複数個所設けて、前記複数のラ
インメモリを直列接続状態にした接続手段とを有し、

各ラインメモリは、ライン幅のビット数が輝度信号又はカラー信号の画素のビット数に
対応し、ライン長のビット数がテレビジョン信号の1つの水平ラインに配列される複数の
画素の全ビット数に対応するものとして定義され、

前記複数のRAM部品の中の各RAM部品は、

前記複数のラインメモリが割り当てられていないビット幅方向のビット数が、1つのラ
インメモリのライン幅方向のビット数より少ない数であり、

ワード長方向のビット数が1つのラインメモリのライン長方向のビット数より少なく、
前記初段のRAM部品に各ラインメモリの先頭入力部が設定され、前記最終段のRAM部
品に各ラインメモリの最終出力部が設定されている、

ことを特徴とするテレビジョン受信装置。

【発明の詳細な説明】

【技術分野】

【0001】

この発明は、ラインメモリ実装装置とテレビジョン受信装置に関するものであり、特に
複数のRAM部品を用いて、そのハードウェアメモリに対して論理上のラインメモリを形
成できるようにしたものである。

【背景技術】

【0002】

映像信号処理装置において映像データを処理する種々の演算部で、ラインメモリが用い
られる。ラインメモリは、例えば8ビット、あるいは16ビットのビット幅と、水平方向
1ライン分のピクセル数に対応した長さを有する。複数のラインメモリを用いた回路は、
例えば垂直解像度の変換、切り替えに利用されている。また複数のラインメモリをフィル
タ処理回路として用いた例もある（例えば特許文献1）。

【特許文献1】特開平10-340340号公報

【発明の開示】

【発明が解決しようとする課題】

【0003】

上記した従来の技術では、複数のラインメモリはデータ遅延処理のための利用方法が主
である。そして、基本的には1つ1つのラインメモリを先入れ先出しバッファ（FIFO）
として取り扱っている。このために、複数のラインメモリの出力を用いる演算部の入力
ビット幅、入力画素数に応じて、前段のラインメモリの配列数を設計している。また複数
のラインメモリでは、個々にリード・ライトポイントを設定している。

10

20

30

40

50

【 0 0 0 4 】

この発明に係る一実施の形態が目的とするところは、個々に構成された複数のラインメモリ部品を用いるのではなく、複数の R A M (ランダムアクセスメモリ) 部品を用いて、この複数の R A M 部品を一体的に駆動しつつ、論理上のラインメモリを形成することができるようにしたラインメモリ実装装置と制御方法と表示装置を提供することにある。

【 0 0 0 5 】

さらにまた、上記のラインメモリを形成するに当たり、R A M 部品を効率的に用いることで、ハードウェアコストを下げる設計としたラインメモリ実装装置とテレビジョン受信装置を提供することにある。

【課題を解決するための手段】

10

【 0 0 0 6 】

上記の目的を達成するために本実施形態では、縦列接続した複数の R A M 部品と、前記複数の R A M 部品のアドレスに論理上の複数のラインメモリを割り当て、前記縦列接続された前記複数の R A M 部品の中の最終段の R A M 部品のデータ出力側の一部と初段の R A M 部品のデータ入力側の一部とを接続する接続部を複数個所設けて、前記複数のラインメモリを直列接続状態にした接続手段とを有し、

各ラインメモリは、ライン幅のビット数が輝度信号又はカラー信号の画素のビット数に対応し、ライン長のビット数がテレビジョン信号の1つの水平ラインに配列される複数の画素の全ビット数に対応するものとして定義され、

前記複数の R A M 部品の中の各 R A M 部品は、

20

前記複数のラインメモリが割り当てられていないビット幅方向のビット数が、1つのラインメモリのライン幅方向のビット数より少ない数であり、

ワード長方向のビット数が1つのラインメモリのライン長方向のビット数より少なく、前記初段の R A M 部品に各ラインメモリの先頭入力部が設定され、前記最終段の R A M 部品に各ラインメモリの最終出力部が設定されている。

【発明の効果】

【 0 0 0 7 】

上記の手段により、R A M 部品のビット幅に、ラインメモリの深度(ビット)を割り当てることになる。

【 0 0 0 8 】

30

(1) これにより、ラインメモリを個々に用意する必要がなく、複数のラインメモリを複数の R A M 部品上に形成することになる。よって、R A M 部品の有効な活用が得られ、またラインメモリの行数を設定する際の自由度が高い。このことは、ハードウェアコスト削減という効果を得ることが可能である。

【 0 0 0 9 】

(2) また、論理上の複数のラインメモリを、複数の R A M 部品上に割り当てる場合、割り当て方を工夫することで、最少個数の R A M 部品で実現可能となる。これにより R A M 部品の有効な活用と、ハードウェアコスト削減を得ることが可能である。

【発明を実施するための最良の形態】

【 0 0 1 0 】

40

以下、図面を参照しながらこの発明の実施の形態を説明する。図 1 は、一実施の形態である。11 は回路基板あるいは L S I (大規模集積回路) である。画像データは、入力回路 12 を介して R A M (ランダムアクセスメモリ) 部品 M B 1 に入力される。n 個の R A M 部品 R A M 1 から R A M n は、縦列接続されて、例えば基板上に搭載されている。

【 0 0 1 1 】

そして、データ入力側からみて、複数の R A M 部品 M B 1 - M B n のうち、最終段の R A M 部品 M B n の出力の一部と初段の R A M 部品 M B 1 の入力の一部の接続部(接続ライン 13 a , 13 b , 13 c , 13 d) を複数箇所設けている。

【 0 0 1 2 】

この接続と後述する書き込み読出しアドレス制御により、論理上で直列に形成された複

50

数（ N ：例えば 8）のラインメモリ $LM1$ ， $LM2$ ， $\dots$ ， $LM8$ が形成される。つまり、ラインメモリ $LM1$ の出力は、ラインメモリ $LM2$ に入力され、またラインメモリ $LM2$ の出力は、ラインメモリ $LM3$ に入力される。このようにラインメモリ群では、メモリ $LM1 - LM8$ が直列接続されたのと等価になる。

【0013】

14 は RAM 制御部であり、各 RAM 部品 $MB1 - MBn$ に対して、書き込みアドレス及び読出しアドレスを供給している。各ラインメモリ $LM1$ ， $LM2$ ， $\dots$ ， $LM8$ の各最終段の出力は、例えば演算部 113 に入力されて、フィルタリング処理、或いは画素の補間処理、圧縮処理、 Y/C 分離処理などが行われる。

【0014】

例えば上記の回路が 8 ライン分のデータを順次処理する回路とすると、ラインメモリ $LM1 - LM8$ の出力は、演算部 113 の処理速度に同期して、同時に演算部 113 に入力される。演算部 113 は、例えば、8 ビット $\times$ 8（1 列の 8 画素分）の画像データを同時に取り込むことができる。そして、例えば、2 列分の画素が取り込まれたときに、 2×2 画素の平均化演算を行い、解像度変換を行なう。

【0015】

演算部 113 は、例えば（8 ビット $\times$ 8 行）分の画素データの演算処理を行い、その結果を出力する。このように画素マクロブロックの処理が終わると、次の画素データが用意される。

【0016】

上記のようにラインメモリ実装においては、直列接続された複数（ N ）のラインメモリ $LM1 - LM8$ のうち、行方向の n （図の例では $n = N$ ）個のラインメモリが縦列接続された複数の RAM 部品 $MB1 - MBn$ に形成されている。

【0017】

ここで、画素マクロブロックを { 8 ビット $\times$ 8（行 = 画素） $\times$ 8 ビット $\times$ 8（画素） } とし、上記の回路がデータ処理を行うイメージを示すと、図 2 に示すようになる。

【0018】

図 2 には、1 画面分の画素（ピクセル）が RAM 部品 $MB1$ ， $MB2$ ， $\dots$ に対応して区切られた画素マクロブロックの様子を示している。この画素マクロブロックが、RAM 制御部 14 の制御に基づいて、ラインメモリ $LM1 - LM8$ に格納される。

【0019】

この例では、1 つの画素マクロブロックの幅が、8 ビット $\times$ 8 個（画素）（或いはビット幅）であり、深さが 8 ビット $\times$ 8 個（画素）（或いはワード数）である。一方、ラインメモリは、 $LM1 - LM8$ にあるように、8 ビット $\times$ 8 行である。

【0020】

図 3 には、4 個の縦列接続された RAM 部品 $MB1 - MB4$ に対して、ラインメモリ $LM1 - LMN$ （ N 本）のなかの例えば $LM1$ 、 $LM2$ 、 $LM3$ が割り当てられた例を示している。図 4 には、1 つの RAM 部品 $MB0$ の例を示している。1 つのラインメモリのビット幅が P ビットであり、長さが H ビットであるとする。そして、RAM 部品のビット幅が $3P$ であり、深さ（長さ）が W であるとする（縦長タイプ）。この例では、例えばラインメモリの長さ H が $4W$ に相当するものとして示している。

【0021】

すると、図 3 に示すように、4 個の RAM 部品 $MB1 - MB4$ に対して、ラインメモリ $LM1 - LM3$ の領域を確保することができる。

【0022】

上記のように、複数のラインメモリ $LM1 - LM3$ の一部が 1 つの RAM 部品 $MB0$ に収まると、RAM 制御部 14 からの 1 組のライトポインタ WP とリードポインタ RP により、複数のラインメモリ $LM1 - LM3$ の入力出力制御を同時に行なうことが可能である。

【0023】

10

20

30

40

50

ラインメモリの行数は、少なくともＲＡＭ部品のビット幅に収まる程度の行数を１まとめにして設計するほうが好ましい。これにより、複数のＲＡＭ部品を縦列接続し、このハードウェアに対して、論理的なラインメモリ群に効率的に割り当てることができるからである。もちろんラインメモリの総行数があるＲＡＭ部品のビット幅に収まらない場合であっても、複数のＲＡＭ部品を縦列接続したものを、さらに並列接続することで割り当ての効率化につながることは自明である。

【 0 0 2 4 】

上記の例では、ＲＡＭ部品のビット幅方向が複数のラインメモリの行方向に一致し、深さ（ワード数）方向が、複数のラインメモリの長さ方向に一致している。しかしこの発明の考えかたは、このような方式に限定されることはない。ＲＡＭ部品のビット幅方向が複数のラインメモリの長さ方向に一致し、深さ（ワード数）方向が、複数のラインメモリの行方向に一致してもよい。

10

【 0 0 2 5 】

このような割り当ては、複数のＲＡＭ部品に対する制御部 1 4 のアドレス制御により可能である。一方、画素マクロブロックの方向に応じて、ラインメモリ群の出力側の演算部は、水平方向に並ぶ複数の画素を同時に取り込むケースと、垂直方向に並ぶ複数の画素を同時に取り込むケースに分類される。

【 0 0 2 6 】

図 5 (A) には、輝度信号 Y と色差信号 C r , C b を画素マクロブロック単位で処理する回路構成の例を示している。図 5 (B) に示すように、輝度信号は (8 画素 × 8 画素) 単位、色差信号は (4 画素 × 4 画素) 単位で例えば圧縮のための量子化処理が行われるものとする。このような場合、画素マクロブロックとして (8 画素 × 8 画素) 、 (4 画素 × 4 画素) 、 (4 画素 × 4 画素) を設定する。

20

【 0 0 2 7 】

そして、縦列接続されたＲＡＭ部品 Y M B 1 - Y M B n , 縦列接続されたＲＡＭ部品 R M B 1 - R M B n , 縦列接続されたＲＡＭ部品 B M B 1 - B M B n が用いられる。

【 0 0 2 8 】

図 5 (A) に示すようにラインメモリとしては、8 行のラインメモリ L M 1 - L M 8 、4 行のラインメモリ L M 1 - L M 4 、4 行のラインメモリ L M 1 - L M 4 を構築する。このように構成した場合は、輝度信号 Y と色差信号 C r , C b の画素マクロブロックを、複数のラインメモリに割り付けることで、効率的なハードウェア設計が可能であり、無駄のない回路構成となる。なお、輝度信号 Y と色差信号 C r , C b の処理タイミングを合わせるために、色差信号 C r , C b の画素マクロブロックにデータオールゼロの画素マクロブロックを利用してもよい。

30

【 0 0 2 9 】

図 6 は、8 画素 × 8 画素のブロックを画素マクロブロックとして取り扱うことができる R G B 処理回路の例を示している。ＲＡＭ部品 R M B 1 - R M B n に形成された、ラインメモリ群 2 1 1 が R の画素を取り扱う部分であり、ＲＡＭ部品 G M B 1 - G M B n に形成された、ラインメモリ群 2 1 2 が G の画素を取り扱う部分であり、ＲＡＭ部品 B M B 1 - B M B n に形成された、ラインメモリ群 2 1 3 が B の画素を取り扱う部分である。演算部 1 1 3 は、量子化部に限らず、フィルタ部であってもよい。R M B 1 - R M B n がそれぞれ R の画素のマクロブロックであり、G M B 1 - G M B n がそれぞれ G の画素のマクロブロックであり、B M B 1 - B M B n がそれぞれ B の画素のマクロブロックである。

40

【 0 0 3 0 】

図 7 は、演算部 1 1 3 としてフレーム間画素データの演算部を示している。そして、ラインメモリ群 2 2 1 が時間調整用の回路、ラインメモリ群 2 2 2 がフレーム遅延用の回路を形成している。G M B 1 - G M B n がＲＡＭ部品である。なお各フレームのある 8 ライン分データは存在すればよいので 2 2 1 → 2 2 2 間の遅延は別手段で行なってもよい。

【 0 0 3 1 】

この構成であると、1 列分 (1 つのＲＡＭ部品) のの出力画素 (8 画素) と、これより

50

1 フレーム前の 1 列分の画素 (8 画素) とを同時に演算部 1 1 3 に取り込むことができる。つまり、この回路構成であると、現フレームの画素マクロブロックと、これに対応する 1 フレーム前の画素マクロブロックとを比較し、画像動き情報を得ることができる。もちろんフレーム使用するは現フレームと前フレームとの 2 枚に限定することはなくさらに多くのフレーム枚数を使用した処理を行う際にも拡張できる。

【 0 0 3 2 】

図 8 には、この発明の他の実施の形態を示している。この実施の形態では、入力回路 1 2 の前段に、入力制御部 1 0 0 を設けた例である。この入力制御部 1 0 0 は、画像の回転処理、傾き処理、左右或いは上下反転処理、縮小、拡大などの処理をより行いやすくした例である。画像データが予めフレームメモリ 1 1 0 に蓄積される。この場合、読出しアドレス、或いは書き込みアドレスを制御し、画像の回転処理、傾き処理、左右或いは上下反転処理、縮小、拡大などの処理を行うのである。その後、R A M 部品群に形成された複数のラインメモリと、演算部 1 1 3 を用いて、フィルタリングなどを行なう回路として実現されている。

10

【 0 0 3 3 】

図 9 (A) は、図 8 のフレームメモリ 1 1 0 から画素データを読み出すときの読出し方向を矢印で示している。この例では、1 行毎に画素データが読み出される。そして、8 行の画素データが読み出されたときに、図 8 に示す R A M 部品 M B 1 - M B n が確定する。このような読出しを行なう画素マクロブロックであると、垂直方向のフィルタ処理、あるいは、ライン補間を行う場合に有効である。

20

【 0 0 3 4 】

この発明は上記のような画素マクロブロックの形成に限定されるものではない。例えば図 9 (B) に示す矢印の方向で、画素データをフレームメモリ 1 1 0 から読出してよい。このように画素データが読み出されて、ラインメモリ L M 1 - L M 8 上に展開された場合、以下のような処理に好適となる。即ち、このときの画素マクロブロックは、水平方向のフィルタリング処理、あるいは水平方向の補間画素を生成する場合に有効である。

【 0 0 3 5 】

この発明は上記の実施形態に限定されるものではない。R A M 部品の縦横の画素数は、 8×8 、 16×16 、 4×4 だけでなく、縦横の画素数が異なってもよいことは勿論である。

30

【 0 0 3 6 】

図 1 0 にはこの発明が適用されたテレビジョン受信装置を示している。チューナ部 9 0 1 で受信された信号は、復調部 9 0 2 に入力される。復調部 9 0 2 では、ベースバンドのデジタル映像信号が得られる。この映像信号は、画像処理をおこなう信号処理部 9 0 3 に入力される。信号処理部 9 0 3 では表示に適合するように信号処理が行われる。フィルタリング処理、輝度信号、色信号のそれぞれの調整処理、解像度の変換処理が行われる。また記録再生装置 9 0 4 に記録される信号は、圧縮・復号処理部 9 3 4 で圧縮される。記録再生装置 9 0 4 の信号の再生時には復号処理が行われる。制御部 9 1 1 は、信号処理部 9 0 3 の動作を統括して制御することができる。信号処理部 9 0 3 から出力された表示用信号は、表示部 9 0 5 に入力される。

40

【 0 0 3 7 】

信号処理部 9 0 3 には、Y / C 分離部 9 3 1、水平・垂直フィルタ部 9 3 2、解像度変換部 9 3 3、圧縮・復号処理部 9 3 4、またアスペクト比の変換、ライン数の変換及び動特性改善処理のために、補間画素生成部 9 3 5 が設けられている。Y / 分離部 9 3 1 から補間画素生成部 9 3 5 までは必ずしも全てを備える必要はなく、一部のみ実現されていてもよい。これらのブロックではラインメモリ群が用いられる。このラインメモリ群の構成は、図 1 から図 8 で説明した通りである。Y / C 分離部 9 3 1 では、1 ライン前と後の画像データが加算処理される部分と、減算処理される部分を有する。これにより輝度信号と色信号成分を分離している。分離された輝度信号と色信号成分は、復調され、水平及び又は垂直フィルタ部 9 3 2 でフィルタリングされる。また解像度変換部 9 3 3 にて解像度の

50

変換処理が行われる。また圧縮・復号処理部 934 では、記録信号のために画像データの圧縮が行なわれる。また補間画素生成部 935 ではアスペクト比やライン数の変換、および動特性改善のための空間的もしくは時間的隣接画素間の演算を行なう。

【0038】

次に、図 11 を参照して、RAM 部品の使用数と、論理上形成されるラインメモリとの関係を説明する。今、RAM 部品としてタイプ 1 とタイプ 2 があるものとする、

タイプ 1 ... ビット幅 $B = 8$ ビットであり、深さ $W = 64$ 段とする、

タイプ 2 ... ビット幅 $B = 16$ ビットであり、深さ $W = 32$ 段とする、

両者とも面積は、同じである ($(8 \times 64) = (16 \times 32)$)。

【0039】

一方、ラインメモリとしては、ビット深度 $P = 5$ ビット、1 ラインの画素数 $H = 90$ 画素が要求され、かつ 3 ラインの回路が要求されているものとする。

【0040】

図 11 (A) は、上記のタイプ 1 の RAM 部品を用いて、ラインメモリ LM1, LM2, LM3 を形成した例である。この例であると、6 個の RAM 部品 121 - 126 を用いて構成しなければならない。この構成であると、RAM 部品 121 - 126 の斜線の領域のように無駄な領域が多い。これに対して、図 11 (B) は、上記のタイプ 2 の RAM 部品を用いて、ラインメモリ LM1, LM2, LM3 を形成した例である。この例であると、3 個の RAM 部品 131、132、133 で実現することができ、無駄な領域がほとんど無いことになる。

【0041】

図 11 (A), 図 11 (B) を比べるとわかるように、RAM 部品は、そのビット幅ができるだけ大きいほうが、複数行のラインメモリ部分を効率よく割り当てることができる可能性が高い。つまり少ない RAM 部品でできるだけ多くのラインメモリを形成することが可能である。これにより、本方式で実現するラインメモリを用いた装置は、ハードウェアコストの面で有利であり、消費電力が低いという面でも有利である。

【0042】

図 12 は、図 6 に示した回路を実現した他の例であり、この回路は、RAM 部品 RMB1 - RMBn が縦列接続されている。そして、ラインメモリ群 211 が形成されている。図 6 の回路との相違点は、RGB 処理回路として RAM 部品が独立していないことである。すなわち、RAM 部品使用個数は減少している。

【0043】

図 13 は、図 5 (A) に示した回路を実現した他の例であり、この回路は、RAM 部品 YMB1 - YMBn が縦列接続されている。そして、ラインメモリ群 221 が形成されている。図 5 (A) の回路との相違点は、Y 処理回路、Cr 処理回路、Cb 処理回路として、それぞれ RAM 部品が独立していないことである。すなわち、RAM 部品使用個数は減少している。

【0044】

以上の例で明らかなように、目的とするラインメモリ群を形成する際には、より RAM 部品使用個数が減少する組み合わせを見出すことができる。この組み合わせにおいては、必ずしも単一タイプの RAM 部品しか使用してはならないというわけではなく、より柔軟に複数のタイプの RAM 部品を組み合わせることや、縦列接続を基本とした上でさらに並列接続する組み合わせも可能となる。即ち、本発明によって最適の RAM 部品の組み合わせを採れる。

【0045】

なお、この発明は、上記実施形態そのままに限定されるものではなく、実施段階ではその要旨を逸脱しない範囲で構成要素を変形して具体化できる。また、上記実施形態に開示されている複数の構成要素の適宜な組み合わせにより種々の発明を形成できる。例えば、実施形態に示される全構成要素から幾つかの構成要素を削除してもよい。更に、異なる実施形態に亘る構成要素を適宜組み合わせてもよい。

10

20

30

40

50

【図面の簡単な説明】

【 0 0 4 6 】

【図 1】この発明に係る一実施の形態を示す構成説明図である。

【図 2】図 1 の装置で処理される R A M 部品に対応した画素ブロックを示す図である。

【図 3】複数の縦長タイプの R A M 部品に複数のラインメモリを割り当てた例を示している。

【図 4】R A M 部品の一例を示している。

【図 5】本発明の他の実施の形態の回路ブロックと画素ブロックの説明図である。

【図 6】本発明のさらに他の実施の形態を示す回路図である。

【図 7】さらにこの発明の他の実施の形態を示す回路図である。

【図 8】さらにまたこの発明の他の実施の形態を示す回路図である。

【図 9】画素ブロックをラインメモリ群に供給するときの画素データの読出し方法の例を示す説明図である。

【図 10】この発明が適用されたテレビジョン受信装置の構成例を示す図である。

【図 11】この発明の効果を説明するために、設計要求に応じて、R A M 部品の選択例を示す説明図である。

【図 12】さらにこの発明の他の実施の形態を示す回路図である。

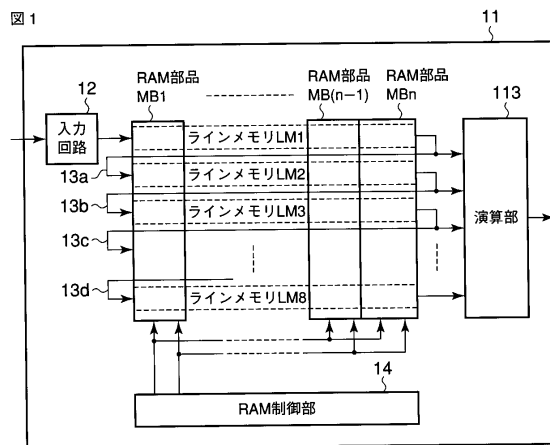
【図 13】さらにまたこの発明の他の実施の形態を示す回路図である。

【符号の説明】

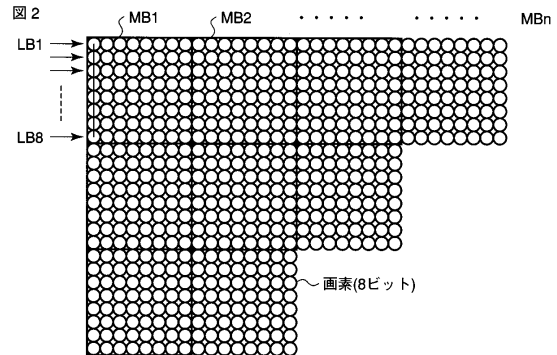
【 0 0 4 7 】

L M 1 - L M 8 ... ラインメモリ、M B 1 - M B n ... R A M 部品、1 2 ... 入力回路、1 4 ... R A M 制御部、1 1 3 ... 演算部。

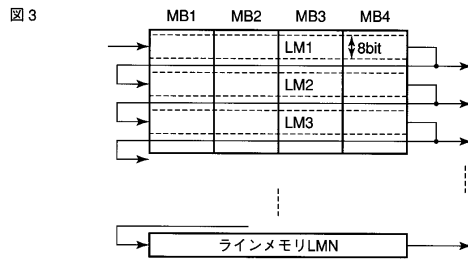
【図 1】



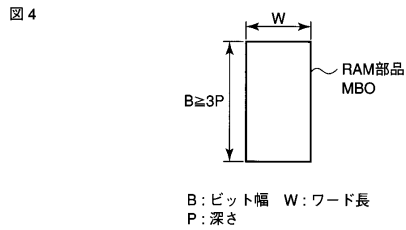
【図 2】



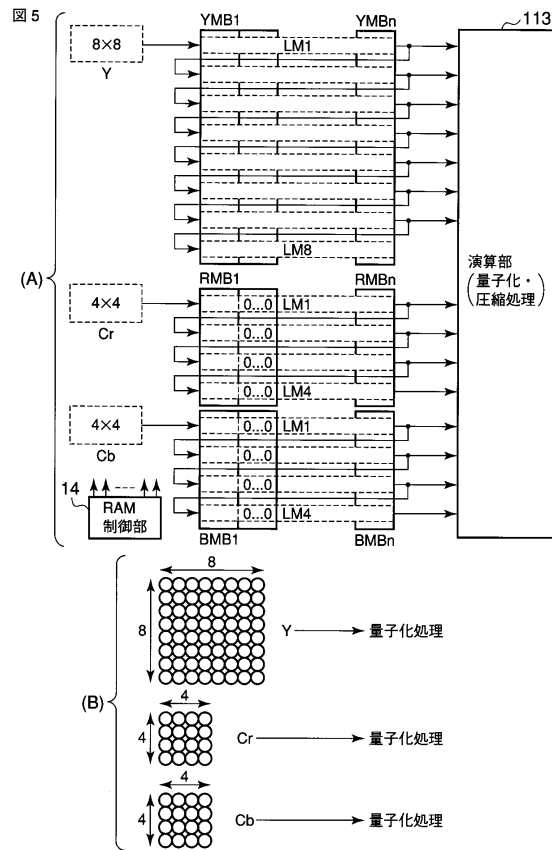
【図 3】



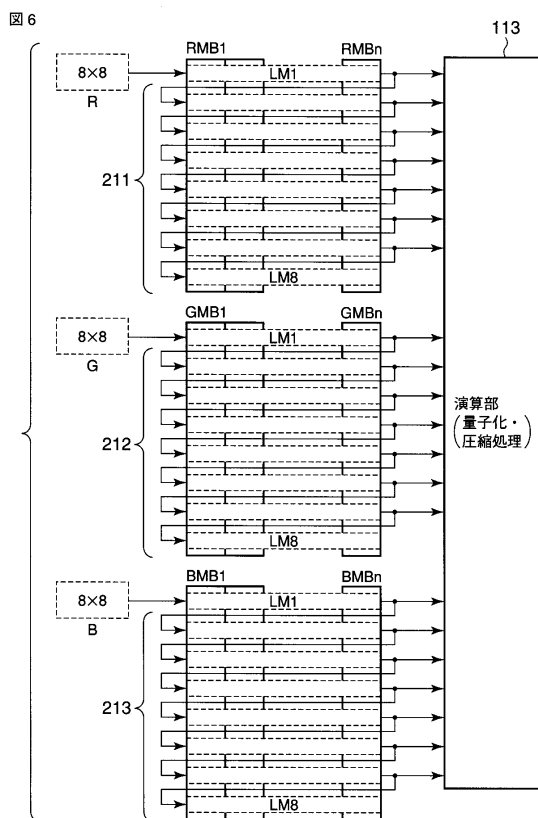
【図 4】



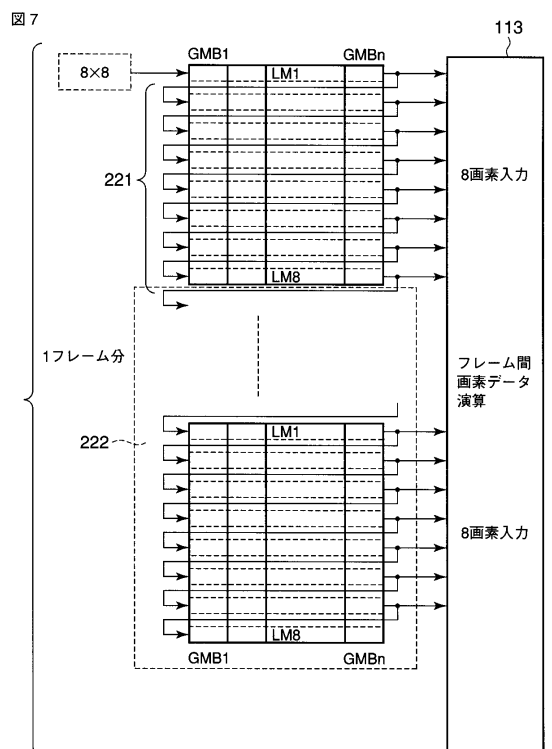
【図 5】



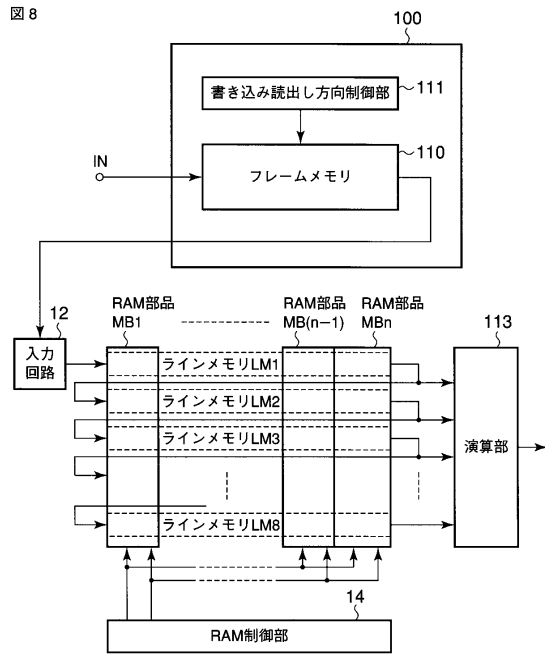
【図 6】



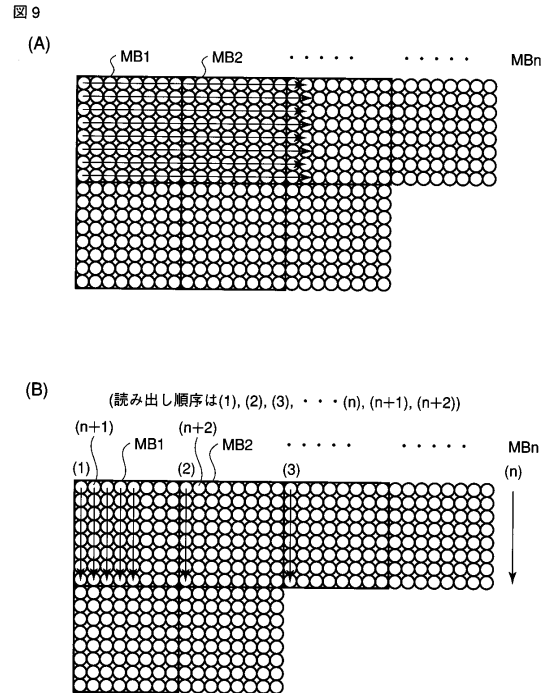
【図 7】



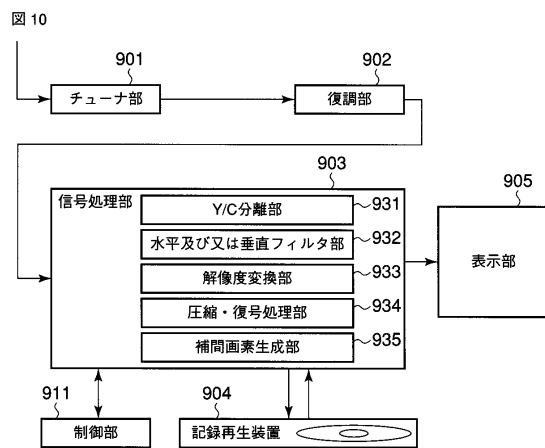
【図 8】



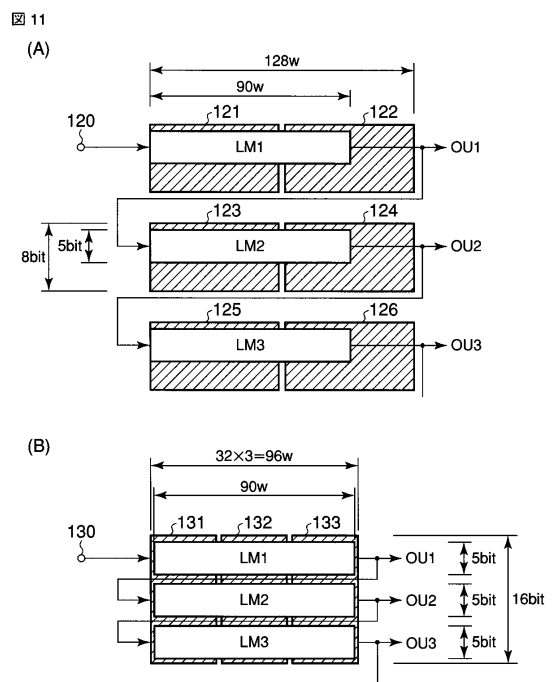
【図 9】



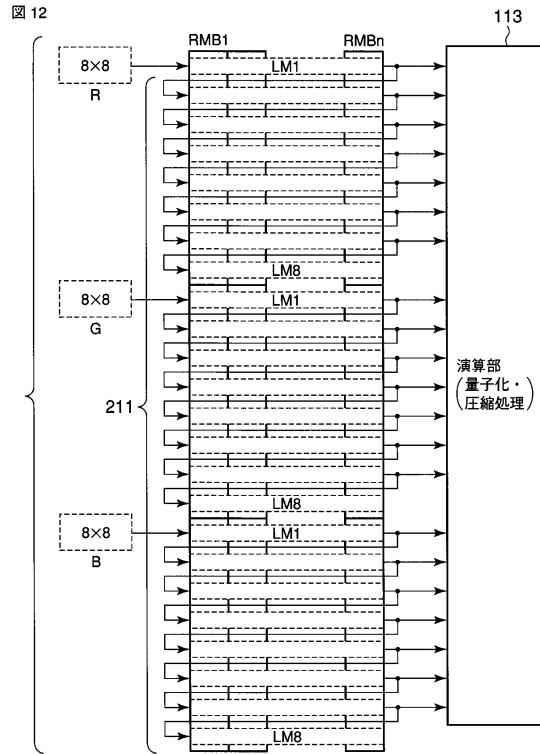
【図 10】



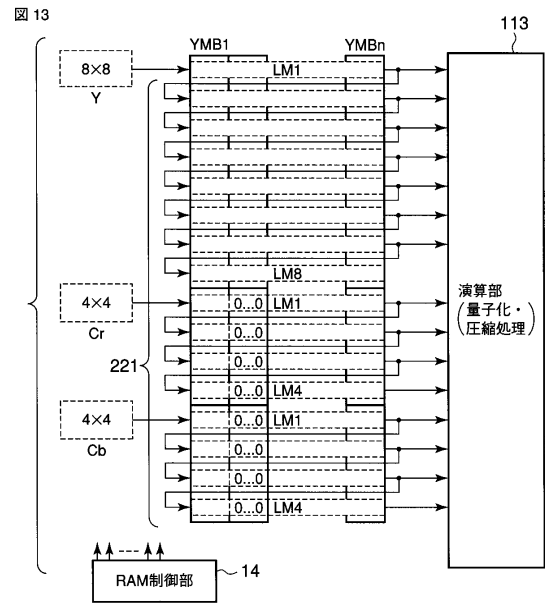
【図 11】



【図 12】



【図 13】



フロントページの続き

(74)代理人 100092196

弁理士 橋本 良郎

(72)発明者 山崎 雅也

東京都青梅市末広町2丁目9番地 株式会社東芝青梅事業所内

(72)発明者 小川 佳彦

東京都青梅市末広町2丁目9番地 株式会社東芝青梅事業所内

審査官 月野 洋一郎

(56)参考文献 特開2000-242549(JP,A)

特開2005-123689(JP,A)

特開2005-268886(JP,A)

特開平08-125818(JP,A)

(58)調査した分野(Int.Cl., DB名)

H04N 5/44、7/173

G06T 1/00、1/60

G11C 11/401