

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2007-208774

(P2007-208774A)

(43) 公開日 平成19年8月16日(2007.8.16)

(51) Int. Cl.	F I			テーマコード (参考)		
H03K 5/26 (2006.01)	H03K	5/26	P	5J001		
H03L 7/00 (2006.01)	H03L	7/00	D	5J039		
H03K 5/135 (2006.01)	H03K	5/135		5J106		

審査請求 未請求 請求項の数 6 O L (全 12 頁)

(21) 出願番号 特願2006-26667 (P2006-26667)
 (22) 出願日 平成18年2月3日(2006.2.3)

(71) 出願人 000006507
 横河電機株式会社
 東京都武蔵野市中町2丁目9番32号
 (72) 発明者 内田 賢治
 東京都武蔵野市中町2丁目9番32号 横河電機株式会社内
 (72) 発明者 三浦 明
 東京都武蔵野市中町2丁目9番32号 横河電機株式会社内
 (72) 発明者 小高 洋寿
 東京都武蔵野市中町2丁目9番32号 横河電機株式会社内
 (72) 発明者 八木原 剛
 東京都武蔵野市中町2丁目9番32号 横河電機株式会社内

最終頁に続く

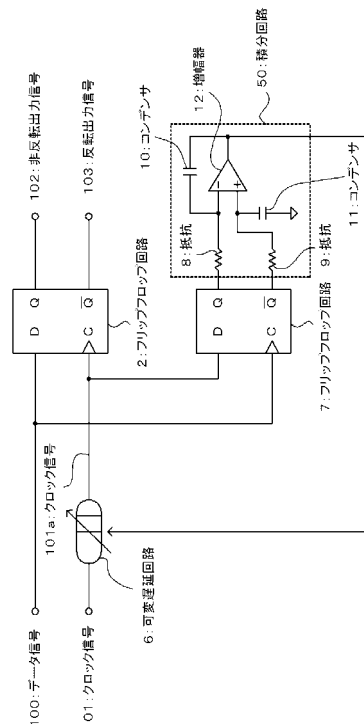
(54) 【発明の名称】 位相制御回路

(57) 【要約】

【課題】 経時変化や温度変化に拘らず、常に最適なタイミングの調整をすることが可能な位相制御回路を実現する。

【解決手段】 位相を制御する位相制御回路において、クロック信号を遅延する可変遅延回路と、遅延されたクロック信号がクロック入力端子に入力され、データ信号がデータ入力端子に入力される第1のフリップフロップ回路と、データ信号がクロック入力端子に入力され、遅延されたクロック信号がデータ入力端子に入力される第2のフリップフロップ回路と、第2のフリップフロップ回路の出力信号に基づいて可変遅延回路の遅延量を制御する積分回路とを備える。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

位相を制御する位相制御回路において、
 クロック信号を遅延する可変遅延回路と、
 前記遅延されたクロック信号がクロック入力端子に入力され、データ信号がデータ入力端子に入力される第 1 のフリップフロップ回路と、
 前記データ信号がクロック入力端子に入力され、前記遅延されたクロック信号がデータ入力端子に入力される第 2 のフリップフロップ回路と、
 この第 2 のフリップフロップ回路の出力信号に基づいて前記可変遅延回路の遅延量を制御する積分回路と
 を備えたことを特徴とする位相制御回路。

10

【請求項 2】

前記可変遅延回路が、
 前記積分回路の出力に応じて遅延量を変化させることを特徴とする
 請求項 1 記載の位相制御回路。

【請求項 3】

前記積分回路が、
 一端が前記第 2 のフリップフロップ回路の非反転出力端子に接続される第 1 の抵抗と、
 一端が前記第 1 の抵抗の他端に接続される第 1 のコンデンサと、
 一端が前記第 2 のフリップフロップ回路の反転出力端子に接続される第 2 の抵抗と、
 一端が前記第 2 の抵抗の他端に接続され、他端が接地される第 2 のコンデンサと、
 反転入力端子が前記第 1 の抵抗の他端及び前記第 1 のコンデンサの一端にそれぞれ接続され、非反転入力端子が前記第 2 の抵抗の他端及び前記第 2 のコンデンサの一端にそれぞれ接続され、出力端子が前記第 1 のコンデンサの他端に接続される増幅器とから構成されることを特徴とする
 請求項 1 若しくは請求項 2 記載の位相制御回路。

20

【請求項 4】

位相を制御する位相制御回路において、
 クロック信号を遅延する可変遅延回路と、
 前記遅延されたクロック信号がクロック入力端子に入力され、データ信号がデータ入力端子に入力される第 1 のフリップフロップ回路と、
 前記データ信号がクロック入力端子に入力され、前記遅延されたクロック信号がデータ入力端子に入力される第 2 のフリップフロップ回路と、
 この第 2 のフリップフロップ回路の出力信号に基づいて前記可変遅延回路の遅延量を機械的な駆動力により制御する積分回路と
 を備えたことを特徴とする位相制御回路。

30

【請求項 5】

前記可変遅延回路が、
 前記積分回路からの機械的駆動力に応じて遅延量を変化させることを特徴とする
 請求項 4 記載の位相制御回路。

40

【請求項 6】

前記積分回路が、
 モータと、
 前記第 2 のフリップフロップ回路の出力信号の論理レベルに応じて前記モータの回転方向を制御して駆動するモータ駆動回路とから構成されることを特徴とする
 請求項 4 若しくは請求項 5 記載の位相制御回路。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、位相制御回路に関し、特に経時変化や温度変化に拘らず、常に最適なタイミ

50

ングの調整をすることが可能な位相制御回路に関する。

【背景技術】

【0002】

従来の位相制御回路に関連する先行技術文献としては次のようなものがある。

【0003】

【特許文献1】特開平2 - 202115号公報

【特許文献2】特開平5 - 199088号公報

【特許文献3】特開2001 - 111393号公報

【0004】

図6はこのような従来の位相制御回路の一例を示す構成ブロック図である。図6において、1は遅延回路、2はフリップフロップ回路である。100はデータ信号、101はクロック信号、101aは遅延回路1により遅延されたクロック信号、102は非反転出力信号、103は反転出力信号である。

10

【0005】

データ信号100はフリップフロップ回路2のデータ入力端子に接続され。クロック信号101は遅延回路1の入力端子に接続され、遅延回路1の出力端子はフリップフロップ回路2のクロック入力端子に接続される。フリップフロップ回路2の非反転出力端子からは非反転出力信号102が出力され、フリップフロップ回路2の反転出力端子からは反転出力信号103が出力される。

【0006】

ここで、図6に示す従来例の動作を説明する。データ信号100はNRZ(Non Return to Zero)とし、フリップフロップ回路2はクロック入力の立ち上がりエッジで動作することとする。

20

【0007】

図6において遅延回路1が無く、クロック信号101がフリップフロップ回路2のクロック入力端子に直接接続されていると仮定する。この場合、例えば、フリップフロップ回路2においてデータ入力端子に入力されるデータ信号100が変化するタイミングとクロック入力端子に入力されるクロック信号101の立ち上がりエッジのタイミングが一致すると出力が不確定になる。

【0008】

具体的には、クロック信号101の立ち上がりエッジに対するデータ信号100のセットアップ時間、若しくは、ホールド時間を満たさない場合、フリップフロップ回路2の出力は不確定になる。このため、データ信号100とクロック信号101が同期していたとしてもタイミングの調整が必要になる。

30

【0009】

データ信号100、若しくは、クロック信号101のどちらかに遅延回路を使用すればタイミングを調整することができる。ただし、クロック信号の帯域に比べてデータ信号の方の帯域が広い場合が多いので、一般にクロック信号の方に遅延回路を使用する。図6はクロック信号101に遅延回路1を使用した場合を示している。

【0010】

この結果、フリップフロップ回路2のクロック入力端子に入力されるクロック信号101に遅延回路1を入れることにより、フリップフロップ回路2のデータ入力端子に入力されるデータ信号100の変化のタイミングとクロック入力端子に入力されるクロック信号101aの立ち上がりエッジのタイミングが最適化されるので、安定した出力信号を出力することが可能になる。

40

【0011】

図7はこのような従来の位相制御回路の他の一例を示す構成ブロック図である。図7において、3は位相検出器、4はループフィルタ、5は発振器、104はリファレンス信号、105は出力信号である。

【0012】

50

位相検出器 3 の一方の入力端子にはリファレンス信号が入力され、位相検出器 3 の出力端子はループフィルタ 4 の入力端子に接続される。ループフィルタ 4 の出力端子は発振器 5 の入力端子に接続され、発振器 5 の出力端子からは出力信号 105 が出力されると共に位相検出器 3 の他方の入力端子に接続される。

【0013】

ここで、図 7 に示す従来例の動作を説明する。図 7 に示す回路は、一般に PLL (Phase Locked Loop) と呼ばれ、リファレンス信号 104 に正確に同期した周波数の信号を出力信号 105 として出力する。

【0014】

具体的には、外部から入力されるリファレンス信号 104 と発振器 5 の出力である出力信号 105 の位相差を位相検出器 3 で検出し、検出結果をループフィルタ 4 において発振器 5 の制御電圧に変換して位相差が一定になるように自動制御する。

10

【0015】

この結果、リファレンス信号 104 と発振器 5 の出力信号 105 の位相差を位相検出器 3 で検出し、検出結果をループフィルタ 4 において発振器 5 の制御電圧に変換して位相差が一定になるように自動制御することにより、リファレンス信号 104 に正確に同期した周波数の信号を出力信号 105 として出力することが可能になる。

【発明の開示】

【発明が解決しようとする課題】

【0016】

しかし、図 6 に示す従来例では、製造出荷時等の特定の時点の周囲環境条件でデータ信号 100 とクロック信号 101 のタイミングが調整できたとしても、データ信号 100 の経路とクロック信号 101 の経路が異なることや遅延回路 1 自体の特性により、使用温度環境の変化や経時変化からタイミングが次第に合わなくなってくるという問題点があった。

20

【0017】

また、図 7 に示す従来例では、リファレンス信号 104 と発振器 5 の出力信号 105 の位相差を一定になるように制御はできるものの、この PLL の技術を流用してフリップフロップ回路におけるデータ信号とクロック信号のタイミングを合わせる簡単な回路構成は無かった。

30

【0018】

従って本発明が解決しようとする課題は、経時変化や温度変化に拘らず、常に最適なタイミングの調整をすることが可能な位相制御回路を実現することにある。

【課題を解決するための手段】

【0019】

このような課題を達成するために、本発明のうち請求項 1 記載の発明は、位相を制御する位相制御回路において、

クロック信号を遅延する可変遅延回路と、前記遅延されたクロック信号がクロック入力端子に入力され、データ信号がデータ入力端子に入力される第 1 のフリップフロップ回路と、前記データ信号がクロック入力端子に入力され、前記遅延されたクロック信号がデータ入力端子に入力される第 2 のフリップフロップ回路と、この第 2 のフリップフロップ回路の出力信号に基づいて前記可変遅延回路の遅延量を制御する積分回路とを備えたことにより、経時変化や温度変化に拘らず、常に最適なタイミングの調整をすることが可能になる。

40

【0020】

請求項 2 記載の発明は、

請求項 1 記載の発明である位相制御回路において、

前記可変遅延回路が、

前記積分回路の出力に応じて遅延量を変化させることにより、経時変化や温度変化に拘らず、常に最適なタイミングの調整をすることが可能になる。

50

【0021】

請求項3記載の発明は、

請求項1若しくは請求項2記載の発明である位相制御回路において、

前記積分回路が、

一端が前記第2のフリップフロップ回路の非反転出力端子に接続される第1の抵抗と、一端が前記第1の抵抗の他端に接続される第1のコンデンサと、一端が前記第2のフリップフロップ回路の反転出力端子に接続される第2の抵抗と、一端が前記第2の抵抗の他端に接続され、他端が接地される第2のコンデンサと、反転入力端子が前記第1の抵抗の他端及び前記第1のコンデンサの一端にそれぞれ接続され、非反転入力端子が前記第2の抵抗の他端及び前記第2のコンデンサの一端にそれぞれ接続され、出力端子が前記第1のコンデンサの他端に接続される増幅器とから構成されることにより、経時変化や温度変化に拘らず、常に最適なタイミングの調整をすることが可能になる。

10

【0022】

請求項4記載の発明は、

位相を制御する位相制御回路において、

クロック信号を遅延する可変遅延回路と、前記遅延されたクロック信号がクロック入力端子に入力され、データ信号がデータ入力端子に入力される第1のフリップフロップ回路と、前記データ信号がクロック入力端子に入力され、前記遅延されたクロック信号がデータ入力端子に入力される第2のフリップフロップ回路と、この第2のフリップフロップ回路の出力信号に基づいて前記可変遅延回路の遅延量を機械的な駆動力により制御する積分回路とを備えたことにより、経時変化や温度変化に拘らず、常に最適なタイミングの調整をすることが可能になる。

20

【0023】

請求項5記載の発明は、

請求項4記載の発明である位相制御回路において、

前記可変遅延回路が、

前記積分回路からの機械的駆動力に応じて遅延量を変化させることにより、経時変化や温度変化に拘らず、常に最適なタイミングの調整をすることが可能になる。

【0024】

請求項6記載の発明は、

請求項4若しくは請求項5記載の発明である位相制御回路において、

前記積分回路が、

モータと、前記第2のフリップフロップ回路の出力信号の論理レベルに応じて前記モータの回転方向を制御して駆動するモータ駆動回路とから構成されることにより、経時変化や温度変化に拘らず、常に最適なタイミングの調整をすることが可能になる。

30

【発明の効果】

【0025】

本発明によれば次のような効果がある。

請求項1, 2及び請求項3の発明によれば、データ信号がクロック入力端子に入力され、クロック信号がデータ入力端子に入力された第2のフリップフロップ回路の出力を積分回路により積分し、この積分された出力に基づいて可変遅延回路を制御することにより、クロック信号のタイミングが最適化されるので、経時変化や温度変化に拘らず、常に最適なタイミングの調整をすることが可能な位相制御回路の実現が可能になる。

40

【0026】

請求項4, 5及び請求項6の発明によれば、データ信号がクロック入力端子に入力され、クロック信号がデータ入力端子に入力された第2のフリップフロップ回路の出力を積分回路により機械的な駆動力に変換し、この駆動力に基づいて可変遅延回路を制御することにより、クロック信号のタイミングが最適化されるので、経時変化や温度変化に拘らず、常に最適なタイミングの調整をすることが可能の実現が可能になる。

【発明を実施するための最良の形態】

50

【0027】

以下本発明を図面を用いて詳細に説明する。図1は本発明に係る位相制御回路の一実施例を示す構成ブロック図である。図1において100, 101, 101a, 102及び103は図6と同一符号を付してあり、6は可変遅延回路、7はフリップフロップ回路、8及び9は抵抗、10及び11はコンデンサ、12は増幅器である。

【0028】

また、抵抗8、抵抗9、コンデンサ10、コンデンサ11及び増幅器12は積分回路50を構成している。

【0029】

データ信号100はフリップフロップ回路2のデータ入力端子及びフリップフロップ回路7のクロック入力端子にそれぞれ接続される。クロック信号101は可変遅延回路6の入力端子に接続され、可変遅延回路6の出力端子はフリップフロップ回路2のクロック入力端子及びフリップフロップ回路7のデータ入力端子にそれぞれ接続される。

【0030】

フリップフロップ回路7の非反転出力端子は抵抗8の一端に接続され、抵抗8の他端はコンデンサ10の一端及び増幅器12の反転入力端子にそれぞれ接続される。フリップフロップ回路7の反転出力端子は抵抗9の一端に接続され、抵抗9の他端はコンデンサ11の一端及び増幅器12の非反転入力端子にそれぞれ接続される。

【0031】

コンデンサ11の他端は接地され、増幅器12の出力端子は可変遅延回路6の制御端子及びコンデンサ10の他端にそれぞれ接続される。フリップフロップ回路2の非反転出力端子からは非反転出力信号102が出力され、反転出力端子からは反転出力信号103が出力される。

【0032】

ここで、図1に示す実施例の動作を図2、図3及び図4を用いて説明する。図2はフリップフロップ回路2の動作タイミングを示すタイミングチャート、図3及び図4はフリップフロップ回路2及びフリップフロップ回路7の動作タイミングを示すタイミングチャートである。

【0033】

基本的な動作は図6の従来例とほぼ同一であり、異なる点はフリップフロップ回路7及び積分回路50を追加したことである。図2はフリップフロップ回路2のデータ入力とクロック入力のタイミングが最適の場合のタイミングチャートを示している。すなわち、データ信号100の変化時ではなく、安定している時にクロック信号101aの立ち上がりエッジのタイミングが来ている。

【0034】

図3はフリップフロップ回路2のデータ入力のタイミングが最適なタイミングより早い場合のタイミングチャートを示している。図3に示すように、フリップフロップ回路7の非反転出力信号は最初の不定期間を除いて常にローレベルとなり、反転出力信号は最初の不定期間を除いて常にハイレベルとなる。

【0035】

そして、このフリップフロップ回路7の非反転出力信号及び反転出力信号が積分回路50に入力されると、積分回路50の出力信号は徐々に大きくなる。

【0036】

ここで、可変遅延回路6の特性が制御端子に入力される制御信号の大きさに応じて遅延量が変わると仮定する。すなわち、制御信号が大きい場合は遅延量が大きくなり、制御信号が小さい場合は遅延量が小さくなる。

【0037】

積分回路50の出力信号が徐々に大きくなると、それに応じて可変遅延回路6の遅延量が徐々に大きくなり、最適なタイミングより早く入力されていたクロック信号101aは最適なタイミングに近づくことになる。

10

20

30

40

50

【0038】

また、図6はフリップフロップ回路2のデータ入力のタイミングが最適なタイミングより遅い場合のタイミングチャートを示している。図6に示すように、フリップフロップ回路7の非反転出力信号は最初の不定期間を除いて常にハイレベルとなり、反転出力信号は最初の不定期間を除いて常にローレベルとなる。

【0039】

そして、このフリップフロップ回路7の非反転出力信号及び反転出力信号が積分回路50に入力されると、積分回路50の出力信号は徐々に小さくなる。

【0040】

積分回路50の出力信号が徐々に小さくなると、それに応じて可変遅延回路6の遅延量が徐々に小さくなり、最適なタイミングより遅く入力されていたクロック信号101aは最適なタイミングに近づくことになる。

【0041】

この結果、データ信号100がクロック入力端子に入力され、クロック信号101aがデータ入力端子に入力されたフリップフロップ回路7の出力を積分回路50により積分し、この積分された出力に基づいて可変遅延回路6を制御することにより、クロック信号101のタイミングが最適化されるので、経時変化や温度変化に拘らず、常に最適なタイミングの調整をすることが可能になる。

【0042】

なお、図1に示す実施例においては積分回路50を差動入力構成としているが、必ずしも差動入力構成とする必要は無く、シングル入力でもよい。

【0043】

また、図1に示す実施例においては積分回路50が電気部品で構成されているが、必ずしもそうする必要は無く、モータ等の機械部品を用いて機械的に積分を行ってもよい。

【0044】

この場合の動作を図5を用いて説明する。図5は本発明に係る位相制御回路の他の実施例を示す構成ブロック図である。図5において2, 7, 100, 101, 101a, 102, 103は図1と同一符号を付してあり、6aは可変遅延回路、13はモータ駆動回路、14はモータである。また、モータ駆動回路13及びモータ14は積分回路51を構成している。

【0045】

フリップフロップ回路7の非反転出力端子はモータ駆動回路13の一方の入力端子に接続され、フリップフロップ回路7の反転出力端子はモータ駆動回路13の他方の入力端子に接続される。モータ駆動回路13の一方の出力端子はモータ14の一方の入力端子に接続され、モータ駆動回路13の他方の出力端子はモータ14の他方の入力端子に接続される。

【0046】

また、モータ14の回転部分が可変遅延回路6aの遅延制御用ロータリースイッチに接続される。その他の接続に関しては図1と同じため、説明を省略する。

【0047】

基本的な動作は図1の実施例とほぼ同一であり、異なる点は積分回路51がモータ駆動回路13及びモータ14で構成され、可変遅延回路6aが機械的駆動力により制御されるようになった点である。

【0048】

図1に示す実施例と同様に、フリップフロップ回路2のデータ入力のタイミングが最適なタイミングより早い場合、フリップフロップ回路7の非反転出力信号は最初の不定期間を除いて常にローレベルとなり、反転出力信号は最初の不定期間を除いて常にハイレベルとなる。

【0049】

フリップフロップ回路7の非反転出力がローレベルで、反転出力がハイレベルの間、モ

10

20

30

40

50

ータ駆動回路 13 はモータ 14 を一定速度で一方向に回転させる。これにより可変遅延回路 6 a の遅延制御用ロータリースイッチが回され、遅延量が徐々に大きくなり、最適なタイミングより早く入力されていたクロック信号 101 a は最適なタイミングに近づくことになる。

【0050】

同様に、フリップフロップ回路 2 のデータ入力のタイミングが最適なタイミングより遅い場合、フリップフロップ回路 7 の非反転出力信号は最初の不定期間を除いて常にハイレベルとなり、反転出力信号は最初の不定期間を除いて常にローレベルとなる。

【0051】

フリップフロップ回路 7 の非反転出力がハイレベルで、反転出力がローレベルの間、モータ駆動回路 13 はモータ 14 を一定速度で逆方向に回転させる。これにより可変遅延回路 6 a の遅延制御用ロータリースイッチが回され、遅延量が徐々に小さくなり、最適なタイミングより遅く入力されていたクロック信号 101 a は最適なタイミングに近づくことになる。

10

【0052】

この結果、データ信号 100 がクロック入力端子に入力され、クロック信号 101 a がデータ入力端子に入力されたフリップフロップ回路 7 の出力を積分回路 51 により機械的な回転動作に変換し、この回転に基づいて可変遅延回路 6 a を制御することにより、クロック信号 101 のタイミングが最適化されるので、経時変化や温度変化に拘らず、常に最適なタイミングの調整をすることが可能になる。

20

【0053】

また、図 5 に示す実施例においては積分回路 51 からの回転動作により可変遅延回路 6 a を制御していたが、必ずしも回転動作である必要は無く、機械的な駆動力により可変遅延回路 6 a を制御すればよい。

【0054】

例えば、積分回路 51 からの回転動作を左右にスライドする動作に変換し、可変遅延回路 6 a をスライドスイッチにより遅延量を切り替えるものにしてもよい。

【図面の簡単な説明】

【0055】

【図 1】本発明に係る位相制御回路の一実施例を示す構成ブロック図である。

30

【図 2】フリップフロップ回路の動作タイミングを示すタイミングチャートである。

【図 3】フリップフロップ回路の動作タイミングを示すタイミングチャートである。

【図 4】フリップフロップ回路の動作タイミングを示すタイミングチャートである。

【図 5】本発明に係る位相制御回路の他の実施例を示す構成ブロック図である。

【図 6】従来有位相制御回路の一例を示す構成ブロック図である。

【図 7】従来有位相制御回路の他の一例を示す構成ブロック図である。

【符号の説明】

【0056】

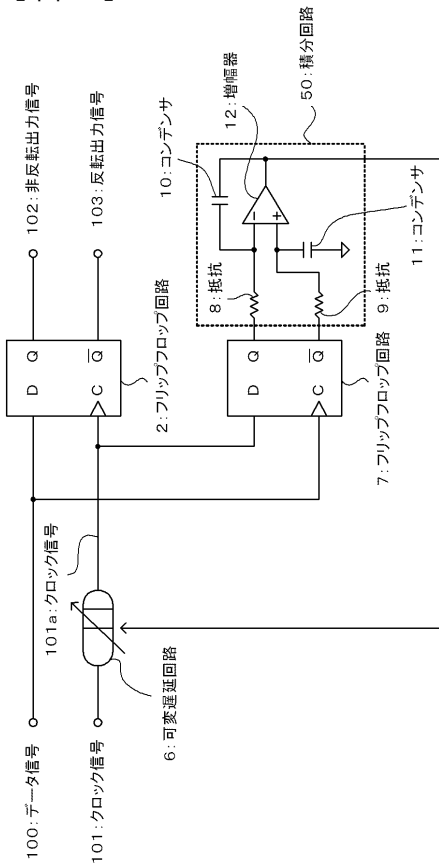
- 1 遅延回路
- 2, 7 フリップフロップ回路
- 3 位相検出器
- 4 ループフィルタ
- 5 発振器
- 6, 6 a 可変遅延回路
- 8, 9 抵抗
- 10, 11 コンデンサ
- 12 増幅器
- 13 モータ駆動回路
- 14 モータ
- 50, 51 積分回路

40

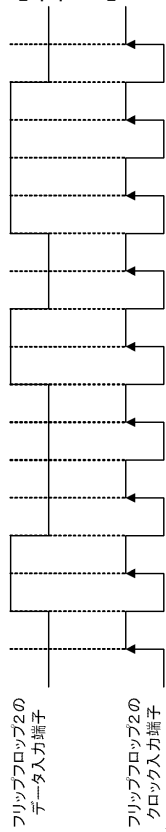
50

- 1 0 0 データ信号
- 1 0 1 , 1 0 1 a クロック信号
- 1 0 2 非反転出力信号
- 1 0 3 反転出力信号
- 1 0 4 リファレンス信号
- 1 0 5 出力信号

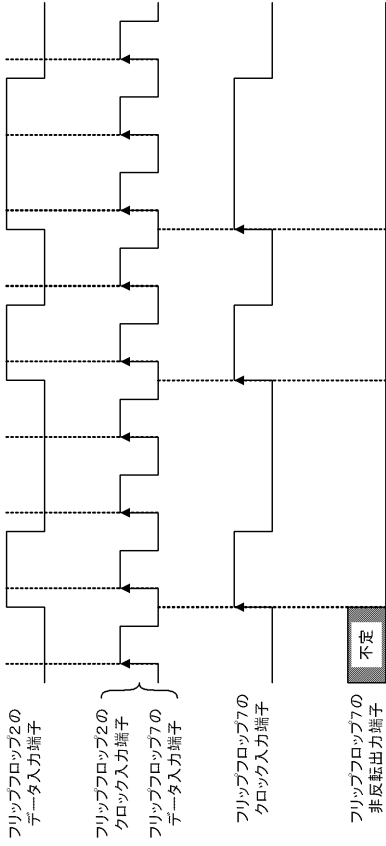
【 図 1 】



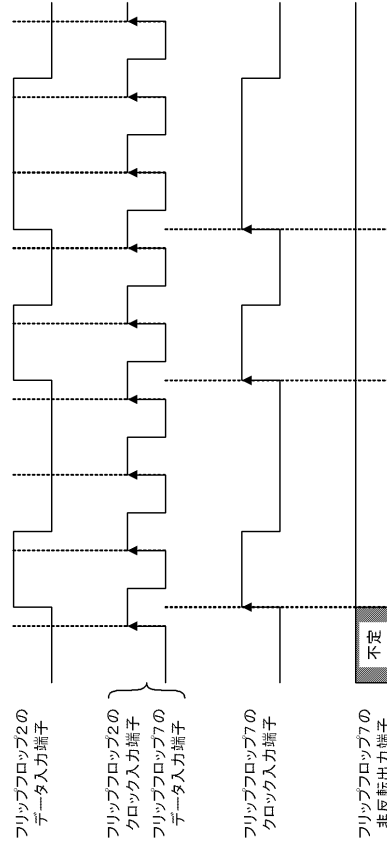
【 図 2 】



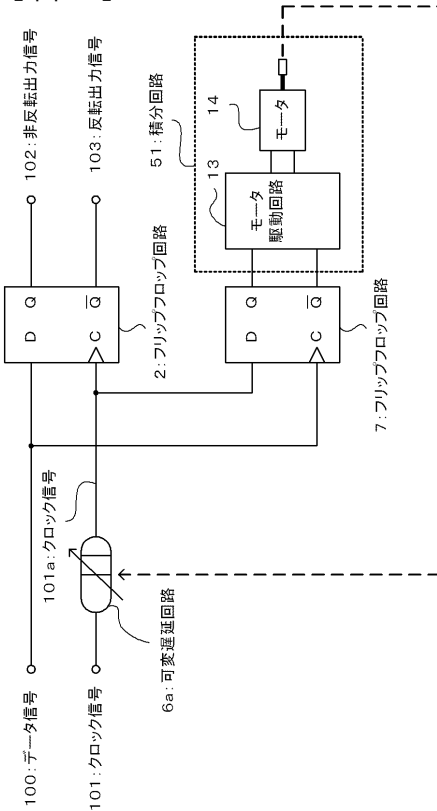
【図 3】



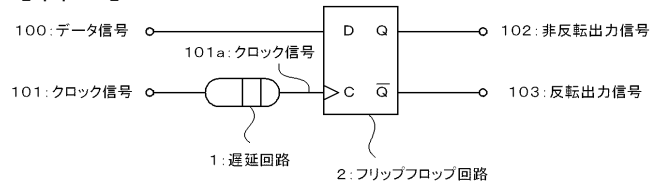
【図 4】



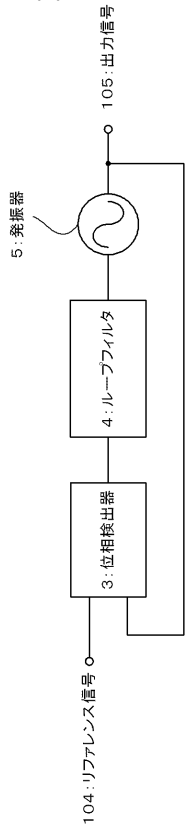
【図 5】



【図 6】



【 図 7 】



フロントページの続き

- (72)発明者 谷村 大輔
東京都武蔵野市中町2丁目9番32号 横河電機株式会社内
- (72)発明者 手塚 賢太郎
東京都武蔵野市中町2丁目9番32号 横河電機株式会社内
- (72)発明者 武立 健太郎
東京都武蔵野市中町2丁目9番32号 横河電機株式会社内
- Fターム(参考) 5J001 AA11 BB05 BB17 CC03 DD02 DD06
5J039 JJ07 JJ13 KK09 KK13 KK14 MM02 MM16
5J106 BB02 CC21 CC45 CC59 DD24 DD48 FF02 GG10 HH02 KK13
KK31