

發明專利說明書 200301908

(填寫本書件時請先行詳閱申請書後之申請須知，作※記號部分請勿填寫)

※ 申請案號：P2100519 ※IPC分類：H01G4/00

※ 申請日期：92-1-10

壹、發明名稱

(中文) 製造電容器之方法

(英文) METHOD FOR PRODUCING A CAPACITOR

貳、發明人 (共 3 人)

發明人 1 (如發明人超過一人，請填說明書發明人續頁)

姓名：(中文) 克勞斯 戴爾

(英文) CLAUS DAHL

住居所地址：(中文) 德國德瑞斯登市布萊格爾街 2 號

(英文) BREUGHELSTR. 2, 01109 DRESDEN, GERMANY

國籍：(中文) 德國 (英文) GERMANY

參、申請人 (共 1 人)

申請人 1 (如申請人超過一人，請填說明書申請人續頁)

姓名或名稱：(中文) 德商億恒科技公司

(英文) INFINEON TECHNOLOGIES AG

住居所或營業所地址：(中文) 德國慕尼黑市馬汀街 53 號

(英文) ST.-MARTIN-STR. 53 D-81669 MUENCHEN,
GERMANY

國籍：(中文) 德國 (英文) GERMANY

代表人：(中文) 彼得 季里茲 赫斯特 雪伊爾

(英文) PETER ZEDLITZ HURST SCHAEFER

發明人 2

姓名：(中文) 納特 史戴潤伯格

(英文) KNUT STAHERNBERG

住居所地址：(中文) 德國德瑞斯登市勞伯爾街2號

(英文) LOEBAUER STR. 2, 01099 DRESDEN, GERMANY

國籍：(中文) 德國 (英文) GERMANY

發明人 3

姓名：(中文) 克里斯多夫 威爾伯茲

(英文) CHRISTOPH WILBERTZ

住居所地址：(中文) 德國伯爾德翰市羅辛尼街18號

(英文) ROSSINISTRASSE 18, 85598 BALDHAM, GERMANY

國籍：(中文) 德國 (英文) GERMANY

捌、聲明事項

本案係符合專利法第二十條第一項 第一款但書或 第二款但書規定之期間，其日期為：_____

本案已向下列國家（地區）申請專利，申請日期及案號資料如下：

【格式請依：申請國家（地區）；申請日期；申請案號 順序註記】

1. 德國；2002年01月11日；10200838.8

2. _____

3. _____

主張專利法第二十四條第一項優先權：

【格式請依：受理國家（地區）；日期；案號 順序註記】

1. 德國；2002年01月11日；10200838.8

2. _____

3. _____

主張專利法第二十五條之一第一項優先權：

【格式請依：申請日；申請案號 順序註記】

1. _____

2. _____

3. _____

主張專利法第二十六條微生物：

國內微生物 【格式請依：寄存機構；日期；號碼 順序註記】

1. _____

2. _____

3. _____

國外微生物 【格式請依：寄存國名；機構；日期；號碼 順序註記】

1. _____

2. _____

3. _____

熟習該項技術者易於獲得，不須寄存。

(1)

玖、發明說明

(發明說明應敘明：發明所屬之技術領域、先前技術、內容、實施方式及圖式簡單說明)

技術領域

本發明關係電容器並特別地關係分別具有矽及多晶矽的積體電容器。

背景技術

如今，積體電路用於許多應用及裝置，如無線通信。為了滿足今日對裝置性能需求的高需求，本文包括的裝置必須具有高品質。

互調因素及諧波失真因素(klirr因素)為無線通信裝置使用類比電路的重要參數。一積體電容器，例如用於無線通信裝置的類比電路，必須具有非常低的容量對施加電壓 U 的關係以達到上述高品質類比電路的條件。

電容路徑 $C(U)$ 主要由兩電容器電極的電荷載體濃度決定，其中電荷載體濃度必須儘可能高。例如，如果一上電極由高 n 摻雜半導體層形成，施加正電壓於此電極會導致其中電荷載體強力衰竭。因為所形成的衰竭區的擴大關係所施加的電壓，該容量產生的電壓關係，導致一對施加電壓關係不對稱的電容路徑 $C(U)$ 。

這些反效果使用高摻雜半導體材料或較理想使用金屬製成的電極便可避免。

另外，電容器必須具有一高面積容量以維持低晶片面積消耗，其中電容器生產中發生的面積容量變化必須降低。

一般而言，在一晶片形成的積體電容器同時具有主動及被動裝置。在一較理想的生產方法中，其中積體電容器可

(2)

用現有綜合方法及儘可能少的額外步驟積合而成。所以，處理步驟的數目成為特別重要，因為額外的步驟在大量生產中必然增加額外潛在資源以產生額外廢料。所以，需要任何整合的綜合方法用於生產不同的裝置，如一電容器及一主動裝置，儘可能有許多共同生產步驟。隨晶片上裝置迷你化增加，光學技術步驟的數量變為特別重要，因為在光學技術方法中一微小失準便造成所生產的裝置故障。特別而言，任何額外光學技術導致生產成本大幅上升。

已知由於上述要求小量額外步驟，積體電容器的電極由多晶矽層製成，多晶矽層用於製造晶片其他區域的其他裝置的結構，其中製造其他裝置結構需要的光學技術用來製造電容器電極的結構。例如，在一已知方法中，一積體電容器的上電極由一沉積多晶矽層的結構製成，其中多晶矽層進一步用來形成CMOS電晶體的閘極。

不過，上述電極的產生具有缺點，即是綜合方法預定多晶矽層的摻雜劑濃度。一般主動裝置使用的沉積層的摻雜劑濃度不足以獲得電容器特性曲線C(U)的電壓關係，該關係對於高品質的電容器至為重要。

圖1顯示一已知積體電容器的斷面圖，其中電容器電極的摻雜由CMOS (NMOS)電晶體的源極/汲極的摻雜決定。根據圖1，在矽基板110上形成一強導電區112作為電容器的第一電極。強導電區112係摻雜磷作為摻雜劑達一摻雜劑濃度為 $6 \times 10^{15} \text{ cm}^{-2}$ 及藉由STI溝渠114(STI=淺溝渠絕緣)與基板的其他區域電絕緣。一 SiO_2 的第一介電層116及一 Si_3N_4 介

(3)

電層 118 在強導電區 112 上面形成。根據圖 1， SiO_2 第一介電層具有厚度為 4.6 nm，而 Si_3N_4 第二介電層具有厚度為 12 nm。導電多晶矽層 120 配置在第二介電層 118 上作為一第二電極，並進一步用於圖 1 未顯示的一區域，以形成一主動裝置。多晶矽層 120 具有厚度為 250 nm 及利用砷摻雜至一摻雜濃度達 $5 \times 10^{15} \text{ cm}^{-2}$ 。另外用來接觸第二電極的層 122 及 124 係施加在多晶矽層 120 上面。

因為圖 1 所示電容器電極的摻雜量由 CMOS 電晶體方法的摻雜步驟預定，其摻雜量不能獨立選擇致使以現有摻雜劑濃度橫跨施加電壓的電容曲線因多晶矽中的電荷載體衰弱成為一不佳的曲線，如以下說明。

圖 2 顯示圖 1 電容器的測量曲線具有一明確電容 $C = 3 \text{ fF}/\mu\text{m}^2$ 。在圖 2 中，x 軸代表一施加電壓 V，同樣 y 軸代表電容 nF。

如圖式，圖 1 電容器的電容曲線在 +5V 至 +3V 電壓的區域幾乎為常數，該電壓係施加在第二多晶矽電極及第一電極之間，其中電容值約為 2.54 nF。由於第二多晶矽電極的電壓減少，+3V 至 -1V 的區域電容器曲線顯示電容非直線減少，由於遞增施加負電壓 -1V 電容變為直線減少，其中電容值從 -1V 的 2.51 nF 減少至 -5V 的 2.43 nF。在此區域中，如果多晶矽的上電極對下電極為正，則在多晶矽生成一強空間-電荷區，其尺寸隨漸增施加負電壓而增加。

所以圖 2 所示電容路徑的特性曲線為極端不對稱及只有一小區域成為常數，這便是為何圖 1 電容器不適合用於製造

(4)

需要低電容電壓關係的高品質電容器。一種已知的改善由多晶矽內強力電荷載體耗竭所造成的電壓關係的可能性為以後增加多晶矽層120的多晶矽摻雜劑濃度。

已知增加多晶矽層120內的活性電荷載體可由修改溫度預算而達成，因而可以達成電容曲線的小改善。不過，溫度預算的改變只能在很緊密區域完成因為那種改變對與電容器平行產生的CMOS電晶體的功能性具有反效果。

因為上述積體電容器中的多晶矽層120的摻雜並非獨立於綜合方法，而是更特別由一種同時執行CMOS (NMOS) 電晶體的源極/汲極區摻雜的方法完成，上述電容器中多晶矽層120的摻雜不能選擇太高，因為源極/汲極區的摻雜太高，會導致NMOS電晶體穿透。

已知電壓關係的改善可由多晶矽層配置後摻雜達成。例如，由一後離子移植便可完成，較理想的該方法包括一使用n-導電電極的磷移植。不過，後摻雜具有缺點，即是完成後移植需要額外處理步驟，特別是額外的光學技術步驟。如上述，任何額外光學技術將大幅增加綜合處理成本。

另外，已知須分別配置一儲存電容器及深溝渠電容器成為晶片上積體電容器以獲得一理想的電容路徑 $C(U)$ 。不過，提供一儲存電容器具有製造儲存電容器需要一複雜的方法及額外步驟的缺點，其包括產生深溝渠及後續充填的步驟。這種複雜的方法又再具有大量生產廢料的反效果。另外，比較先前技術的平面電容器，儲存電容器的明確面積容量很難重改，因為溝渠內配置複雜。

(5)

另外已知的方法用於產生一具有理想電容路徑的積體電容器以形成金屬層的電容器電極。在該種具有金屬電極電容器，稱為MIM電容器，因高的電極導電率造成非常低的電容路徑的電壓關係。不過，MIM電容器具有位於金屬電極之間的介電層必須相容的缺點，即是，介電層沉積只能在達到金屬電極溫度相等後完成。不過，已知符合這種要求的介電層具有一介電常數低於多晶矽層可用的已知介電層之一。結果，MIM電容器的面積容量比其他型式的積體電容器減少。

發明內容

從先前技術開始，本發明的目標為提供一改良方法用於提供一具有優點之積體電容器。

本目標係由根據申請專利範圍第1項的方法達成。

本發明提供一種製造一電容器的方法，包括：

提供一初結構具有一基板及至少一介電層，其中基板的第一區及一第二區由一絕緣結構隔開。

配置一導電層位於第一及第二區上的至少一介電層上面；

配置一遮罩層在該導電層上及形成用於產生一第一遮罩在第一區上面之結構；

利用遮罩蝕刻該導電層及至少一第二區的一介電層；及
完成一主動元件於第二區內。

本發明根據一種知識，即如果電容器的上電極包括一導電層便可獲得一種改良的電容器生產方法，導電層係在一電容器區內幾乎形成結構後形成，其中使用本發明的方法

(6)

形成一遮罩結構，而該遮罩接著也用來形成電容器的介電層的結構。本發明的方法，其中由本發明結構方法中，生產上電極與電容器區外的其他區的主動元件的生產脫離，如此可配置具有理想導電率的導電層而不會干擾主動元件的生產，不過，其中，不需要額外的光學技術，因為用於構造導電層的遮罩也用於構造介電層。

本發明具有優點，即藉由產生具有強導電率的導電層便可在晶片上產生積體電容器，該電容器具有低的容量對施加電壓的關係，而不影響沉積在晶片的其他主動元件。

特別而言，在一具體實施例中，因為形成一金屬導電層，便可獲得一非常好的電容器特性具有低的電容電壓關係。

另外，本發明具有優點，即為藉由拆除電容器區以外區域的導電層因而避免電容器區內結構增加。

拆除電容器區以外區域的導電層進一步使本方法得以整合一現有生產方法用來平行產生一積體電容器及積體主動元件而不需要額外的光學技術步驟。

在一具體實施例中，導電層進一步包括一高摻雜多晶矽層，因而可以選擇具有高介電常數的介電材料用於介電層，致使所產生的電容器同時具有高面積電容及良好性質。

實施方法

參考圖3至23，討論本發明的不同具體實施例如下。圖中相同參考符號表示相似元件及區域。

在下列圖中，顯示斷面圖，包括基板210的一斷面。在所

(7)

發明說明書

顯示的斷面中，顯示一電容器區，其中的電容器由本發明方法形成。另外，所顯示的部份區域係鄰接電容器區。雖然圖中未顯示，基板進一步包括其他部份或區域其中形成其他裝置，如MOS電晶體或雙極電晶體。

以下，參考圖3至17說明第一具體實施例。圖3顯示執行生產步驟後的一半導體結構，其中，首先，在矽半導體基板210的表面210a上形成3個STI絕緣區(STI=淺溝渠絕緣)。矽基板210上未形成STI絕緣區212、214、216的區域具有高摻雜劑濃度，其中第一未摻雜基板210的摻雜係在STI絕緣區產生後由移植磷作為摻雜劑橫過表面210a而完成。具有低導電率的低擴散區218、220及222由摻雜劑在移植中橫向擴散而於STI絕緣區212、214及216下面形成。STI絕緣區212及214定義電容器區域其中一積體電容器由本發明方法形成。電容器區包括STI絕緣區212及214之間的區域。電容器區由絕緣區212、214而與基板的相鄰區域電絕緣。

雖然，在上述具體實施例中，基板的電絕緣區只顯示STI絕緣區，在其他具體實施例中可具有另外的基板電絕緣區。另外，基板摻雜不限於上述在電絕緣產生後的離子移植。例如，基板利用任何已知摻雜技術全面摻雜，其中獲得一電絕緣基板區，例如，由深溝渠絕緣。

圖4顯示第一 Si_3N_4 介電層224全部配置後圖3的結構，其中該介電層係配置在基板210表面210a的上面具有厚度約4至6 nm。

參考圖5，從圖4的結構開始，在第一介電層224上配置一

(8)

第二介電層226整個在覆蓋第一介電層224。在上述具體實施例中，第二介電層226包括SiO₂由再氧化產生。結構的總厚度包括第一及第二介電層約為5至7 nm。或者，在另外的具體實施例中取代上述兩介電層只配置一介電層在基板210的表面210a上面作為電容器介電層，其中該層並不限於上述介電材料Si₃N₄及SiO₂，及可以包括任何已知的介電材料。同樣，取代介電層224及226，可以配置一層結構具有二層以上的介電層及板，其中該層結構可包括任何已知介電材料的可能組合。

參考圖6，配置一導電層228整個在圖5所示結構的第二介電層226上面。在一較佳具體實施例中，導電層228包括多晶矽，較理想地為大量摻雜磷。標準摻雜劑濃度包括 1×10^{20} cm⁻³至 4×10^{20} cm⁻³的面積。可利用任何已知方法，如低壓化學蒸汽沉積(LPCVD)完成導電層228的配置。較理想地，導電層具有厚度約100 nm及如上述具體實施例使用磷作為摻雜劑完成n-摻雜。摻雜可在層沉積期間使用現場方法完成摻雜，利用氣相摻雜，利用綜合移植或任何已知摻雜方法。

在另外的具體實施例中，可配置導電層228作為金屬層，其中使用的材料較理想地為耐高溫，以避免在後續處理步驟中熔化。可使用任何已知方法配置金屬層，如噴灑法或蒸汽沉積。

導電層228可分別具有任何需要的摻雜量及導電率。在另外具體實施例中，導電層228進一步可包括數層具有不同材

(9)

料及摻雜量。

如以下說明，配置導電層228並不影響預定的其他裝置在電容器以外區域形成，如MOS電晶體及雙極電晶體，因為電容器以外區域的導電層在裝置完成前已在後續步驟中被拆除。

圖7顯示執行用於產生蝕刻導電層228用的遮罩230的微影蝕刻步驟之後的圖6的結構。較理想地，厚度為30 nm的TEOS(四乙基正矽酸鹽)材料的遮罩230係沉積在導電層上面，然後根據遮罩230利用已知的印刷技術，如微影蝕刻技術及已知的蝕刻法，如電漿蝕刻，形成圖案結構。如圖6所示，遮罩230在形成結構後伸入STI絕緣區212、214之間的區域及部份伸入絕緣區212及214以在後續步驟中形成導電層228結構致使成為電容器區內唯一成形的遮罩。

或者，遮罩230可包括其他材料適合完成導電層228及至少配置的第二介電層226的結構。遮罩230也可包括一具有數層包括不同材料的層結構。

在後續步驟中，使用遮罩230拆除未遮蓋遮罩230區域的導電層228，致使產生一結構化的導電層在導電層228之外，為電容器區內唯一成形的導電層。在一具體實施例中，其中導電層228由多晶矽製成，利用已知適合的蝕刻技術，如電漿蝕刻，拆除電容器區域外的導電層228。

較理想地，可使用一種蝕刻方法蝕刻導電層228，其中第二介電層226作為蝕刻阻擋層以防止進一步蝕刻介電層224及226至基板210。為了達成蝕刻選擇，蝕刻方法可配合介

(10)

電層226或另外方式，可選擇相對該蝕刻方法的介電層226。

圖8顯示執行蝕刻步驟後圖7的結構。在蝕刻步驟後只在遮罩230下面形成的結構化導電層228伸展遮蓋電容器區包括絕緣區212至絕緣區214的區域。

在後續步驟中，使用導電層228作為遮罩230完成第二 SiO_2 介電層226的蝕刻。圖9顯示在執行本蝕刻步驟後圖8的結構。相對結構化導電層228，第二介電層226在執行蝕刻步驟後於電容器區內形成，同時拆除電容器區以外區域的第二介電層226。較理地，上述具體實施例中由 SiO_2 形成的第二介電層226，利用一種蝕刻方法完成蝕刻，其中上述具體實施例中形成的 Si_3N_4 第一介電層224作為一蝕刻阻擋層，致使可以避免過蝕刻侵入基板210。在較佳具體實施例中，遮罩230係利用蝕刻第二介電層226而拆除，其中結構化的導電層228並未蝕刻，因為該層也作為該蝕刻方法的蝕刻阻擋層。

參考圖10，在後續步驟中，蝕刻消除結構化導電層228以外區域的第一介電層224。圖10顯示執行蝕刻步驟後圖9的結構。如圖10所示，第一介電層224在蝕刻後形成結構致使第一介電層對第二介電層226延長，只經過電容器區。在上述具體實施例中，使用結構化多晶矽導電層228作為一蝕刻遮罩以形成 Si_3N_4 第一介電層224的結構。同樣地，蝕刻 Si_3N_4 第一介電層，矽基板210作為一蝕刻阻擋層，因而避免過蝕刻侵入基板210。所以，由於適當選擇 Si_3N_4 的介電層224及 Si_2O 的介電層226，在上述具體實施例中便能選擇

(11)

蝕刻方法，其中蝕刻第二介電層226時第一介電層224作為蝕刻阻擋層，及蝕刻第一介電層224時結構化導電層228及基板210作為蝕刻阻擋層。選擇蝕刻能精確拆除介電層224及226而沒有拆除結構化導電層228及基板210的危險。

藉由只配置及蝕刻一遮罩230結構以獲得本發明的導電層228及介電層224及226的結構，本發明不限於上述的結構化方法及蝕刻方法。例如，配置遮罩230包括數層，其中蝕刻導電層228及介電層224及226形成結構的程序為一次蝕刻一層，並利用下面層作為蝕刻阻擋層。

上述蝕刻後，完成清洗以消除任何多餘殘留及污染。在後續步驟中，產生一或數個CMOS電晶體及/或一或數個雙極電晶體的生產步驟係在電容器區外的MOS區及雙極區執行，其中雙極區並未在圖1至23中顯示。如下所述，一些產生主動元件的步驟，如配置層或遮罩、摻雜或結構化，係在電容器區中平行執行以產生電連接結構化導電層228。因而，在不同具體實施例中本方法曲線的不同方法步驟可用於電容器區中產生端子或其他結構。

首先，用於後續產生的源極/汲極區電絕緣的p及n井係利用已知技術在MOS區域內形成，包括微影技術及摻雜技術。然後，RF清潔清洗結構表面及在該結構表面形成一氧化物層232。在MOS區域中，氧化物層232在結構化後，作為一閘極氧化物層及利用已知產生閘極氧化物層技術形成。

圖11顯示在形成氧化物層232後圖10的結構。在由結構化層224、226及228定義的電容器結構234外的區域中，氧

(12)

氧化物層 232 在基板 210 的表面 210a 上伸展。另外，氧化物層 232 在結構化導電層 228 上面及電容器結構 234 的側面 234a 及 234b 的上面伸展。

參考圖 12，在第一具體實施例中，多晶矽層 236 配置在氧化物層 232 上面，其中多晶矽層 236 進一步配置在 MOS 區域內以形成一閘電極。圖 12 顯示在配置多晶矽層 236 後圖 11 所示的結構。多晶矽層 236 的配置可使用任何適合的方法，如 LPCVD 方法來完成。較理想地，在以後的摻雜步驟中，利用離子移植配置未摻雜及摻雜的多晶矽層 236，以決定 MOS 區域中 MOS 電晶體的源極與汲極區的摻雜量。在一後續步驟中，形成多晶矽層 236 的結構。所以，施加一遮蔽層 (未顯示) 及利用已知光學技術及蝕刻方法形成結構。比照基板雙極區的一雙極電晶體的結構化完成結構化，其中雙極電晶體並未在圖 1 至 23 中顯示。

使用電容器區中的結構化遮罩以拆除在結構化導電層 228 上面形成的多晶矽層 236。利用一適合的光學技術，進一步部份拆除 238a 及 238b 區內的多晶矽層 236，即鄰接電容器結構的側面 234a 及 234b。

拆除多晶矽層 236 需要在一後續步驟拆除結構化導電層 228 表面上的氧化物層 232 及造成結構化導電層 228 的電接觸。另外，如果使用氫氟酸蝕刻氧化物層 232，電容器結構 234 的側面 234a 及 234b 上面形成的氧化物層 232 部份在上述蝕刻步驟中被拆除。

圖 13 顯示執行上述步驟後圖 12 的結構。利用包括蝕刻多

(13)

發明說明續頁

晶矽層 236 及氧化物層 238 的方法，形成氧化物層 232a 及 232b，從沉積在表面 210a 上面的氧化物層 232 開始伸展部份沿鄰接電容器結構 234 側面的區域 238a 及 238b。根據圖 13，多晶矽層 236 進一步在電容器外的區域伸展。另外，多晶矽層區 236a 及 236b 在氧化物層區 232a 及 232b 的側面形成。

在一後續步驟中，沉積一第二多晶矽層 240，該層位於雙極區域內，用於形成一多晶矽基極終端層以用於形成一雙極電晶體。圖 14 顯示執行本步驟後圖 13 的結構。如所示，第二多晶矽層 240 整個配置在圖 13 結構的表面上。例如，利用 LPCVD 完成配置，其中第二多晶矽層 240 具有厚度 150 nm。較理想地，配置未摻雜的第二多晶矽層 240，利用離子移植在後續步驟中摻雜。

在一後續步驟中，使用微影蝕刻技術完成第二多晶矽層 240 的蝕刻。

圖 15 顯示執行蝕刻後圖 14 的結構。如所示，蝕刻後，第二多晶矽層 240 保留在導電層 228，氧化物層 232a 及 232b 及多晶矽層區 238a 及 238b 的上面。然後，利用在第二多晶矽層 240 拆除區內之蝕刻氧化物拆除配置在基板上的氧化物層 232。然後，執行清洗以消除微影蝕刻中配置的剩餘光阻及其他可能污染。

在一後續步驟中，完成 MOS 區中的 CMOS 電晶體的結構化及雙極區域中雙極電晶體的結構化。

圖 16 顯示執行 CMOS 結構化步驟後圖 15 的結構。由於電晶體結構化的方法，從圖 15 的結構開始，在電容器區內形成

(14)

發明說明書

間隔層 242 及 244，即沉積在結構化的第二多晶矽層 240 的側面，其中結構化的第二多晶矽層蝕刻至一較低厚度。間隔層 242 及 244 設計成三角形及由 SiO_2 組成。然後，用於產生一良好電接觸，在結構化的第二多晶矽層 240 上面形成一金屬矽化物層 246，及在無 STI 絕緣區的基板 210 區域內形成一金屬矽化物層 248。根據已知形成金屬矽化物層的方法完成金屬矽化物層 246 及 248 的形成。所以，較理想地，金屬包括鈦，沉積在結構化第二多晶矽層 240 及基板 210 的表面 210a 的上面，及在後續的矽化處理中，利用化學反應形成金屬矽化物層。參考圖 16，金屬矽化物層 246 沉積在結構化第二多晶矽層 240 上面，而金屬矽化物層 248 則沉積在鄰接間隔層 242 及 244 的基板 210 的表面 210a 上面。如圖 16 所示，金屬矽化物層 248 不在置有 STI 絕緣區的區域形成以便獲得由 STI 絕緣區提供的電絕緣。在一後續步驟中，沉積一 Si_3N_4 的絕緣層 250，致使配置在金屬矽化物層 248 上面，STI 區 216 及金屬矽化物層 246 上面，及間隔層 242 及 244 的側面上。

圖 17 顯示在執行其他步驟後圖 16 的結構，其中接觸孔 252a、252b、252c 及 252d 在矽化物層 246 中形成。另外，至少一接觸孔 254 在其板上的金屬矽化物層 248 產生以便接觸基板。接觸孔 252a 至 d 及 254 利用微影蝕刻技術及後續蝕刻形成，其中首先拆除由微影蝕刻技術定義區內的絕緣層 250 及在下面的各金屬矽化物層，即金屬矽化物層 246 及 248，蝕刻一或數個凹穴。在圖 17 所示的結構中，接觸孔 252a 至 d 確保以後從結構化導電層 228 插入插塞至上層形成的電路

的電接觸，在後續步驟中第二多晶矽層240的接觸孔具有較輕摻雜及接觸金屬矽化物層246的孔。

結果，利用根據第一具體實施例形成的圖17所示的結構產生一電容器，其中電容器區的摻雜基板210成為電容器的下電極，而在結構化層224及226上面形成結構化導電層228成為電容器的上電極。因為結構化導電層228作為電容器的上電極可具有高摻雜量，而不會影響電容器區外的區域及不需要額外光學技術步驟，利用本發明的方法便可產生高品質電容器。因此，使用遮罩230以形成導電層228及第二介電層226的結構便可省略額外光學技術步驟。

另外，遮罩230也直接用於形成第一介電層224的結構，因為在形成第一介電層224的結構的步驟中，已經由遮罩230形成結構的導電層228作為蝕刻遮罩使用。

在上述第一具體實施例中，由於選擇方法，第二多晶矽層240在結構化導電層228上面及其側面上配置的矽化物層246上面形成。形成第二多晶矽層240具有優點，即保護結構化導電層228無負作用，即在產生矽化物層246及接觸孔時發生蝕刻。如果蝕刻接觸孔252a至252d，配置的第三多晶矽層240提供保護避免可能的過蝕刻，致使發生過蝕刻時只有多晶矽層240被蝕刻，同樣地，對電容器性質具有重要性的導電層228也受到過蝕刻保護。

另外，多晶矽層240一般在製造中提供導電層228蝕刻保護，因而在配置導電層可能因蝕刻削除而發生的厚度變化，在本具體實施例中不必考慮。

以下，將討論第二具體實施例，其中直接在結構化導電層228上面配置一矽化物層用於電接觸，因而達成一低電阻。在第二具體實施例中，參考圖3至11說明的生產步驟與第一具體實施例相同。從圖11所示結構開始，後續在MOS區及雙極區平行產生主動裝置的方法步驟中電容器區不再沉積另外多晶矽層。如果沉積導電層228作為未摻雜半導體層，然後執行退火，較理想地為在導電層228離子移植後，導電層228中摻雜劑材料獲得相等分配。

在第二具體實施例中，從圖11所示結構開始，首先，拆除基板上面及結構化導電層228上面及其側面上的氧化物層232。然後，利用矽化物層產生在結構化導電層228上面形成一矽化物層256，及在基板上面形成一矽化物層258。如第一具體實施例，矽化物層258只形成在沒有STI絕緣區216的區域內，由STI絕緣區216提供的電絕緣而不能連接。因為在本具體實施例中，在執行平行產生沒有配置保護多晶矽層在上面的主動裝置的方法期間存有一結構化導電層228，在本具體實施例中因處理步驟而發生消除結構化導電層228，例如，在產生間隔層260及262位於結構化層224、226、228及256的側面上。這種消除後續處理中造成結構化導電層228厚度減少，致使在配置導電層228時必須考慮導電層228厚度損失。另外如圖18所示， Si_3N_4 絕緣層264沉積在矽化物層256表面上及間隔層260的側面上及基板210的表面210a上。

圖19顯示在一後續步驟後圖18所示的結構，其中接觸孔

(17)

發明說明續頁

266a至266d在矽化物層256蝕刻而成，及一接觸孔268在矽化物層258蝕刻而成。相對第一具體實施例，配置接觸孔的區域由光微影蝕刻技術決定，及在後續蝕刻中，首先拆除定義區內的絕緣層264，及然後在矽化物層256蝕刻凹穴產生接觸孔266a至266d。同樣地，接觸孔268利用由在矽化物層258中蝕刻凹穴而產生。

參考圖20至23，以下說明第三具體實施例，其中結構化導電層228部份蝕刻。在第三具體實施例中，參考圖3至11說明的生產步驟與第一及第二具體實施例相同。從圖11所示曲線開始，蝕刻氧化物層232，但保留電容器結構234側面上的氧化物層232a及232b。然後，配置一 Si_3N_4 絕緣層在基板210的表面210a上面，導電層228上面及其側面上的氧化物層232a及232b的上面形成。在後續步驟中，全面配置一TEOS層272，致使在基板210表面210a及氧化物層232上面形成，該氧化物層配置在結構化導電層228及絕緣層270的側面上，在後續結構化步驟中，用於雙極區域形成一發射極窗，其中拆除部份結構化導電層228，由適合光學技術在電容器區域內定義。首先，TEOS層272及氧化層232藉由在定義窗區域中形成窗而拆除。然後，蝕刻部份結構化導電層228以在窗區域中的導電層228產生凹穴274。

凹穴274由平行執行雙極區的發射極窗蝕刻形成，其中該蝕刻為固定時間蝕刻。因為導電層228在上述第三具體實施例中必須只蝕刻至一定厚度，以避免在固定時間的蝕刻中導電層228被完全蝕刻消除。然後，結構化導電層228蝕刻

(18)

後保留的厚度必須藉由配置導電層228的厚度調整，較理想地其厚度包括170至200 nm。

參考圖21，從圖20的結構開始，形成一摻雜多晶矽層276用於充填凹穴274。另外，多晶矽層276配置在TEOS層272的邊緣超過凹穴274。多晶矽層276以沉積方法形成，其中用於發生發射極的多晶矽層沉積在雙極區。因而，多晶矽層276由一結構形成方法包括光學技術及後續蝕刻，其中所使用的光學技術用在雙極區以形成發射極的結構。如圖21所示，L型TEOS區278及280分別在凹穴274的側面上形成。利用在雙極區產生雙極電晶體的方法產生L型TEOS區278及280。同樣地，由於在雙極區產生雙極電晶體的方法形成一凹穴282於多晶矽層276內。

參考圖22，從圖21所示的結構開始，首先，拆除基板210表面210a上TEOS層272沉積區的TEOS層272。在後續步驟中，在多晶矽層276的表面上形成一金屬矽化物層284，及在基板210上形成一金屬矽化物層286。如前述具體實施例，金屬矽化物層286未在本基板210上STI絕緣區，即形成STI絕緣區216，中形成。在後續步驟中，在矽化物層284中形成一凹穴294。然後，一 Si_3N_4 絕緣層288配置在矽化物層284的表面上，矽化物層286的表面上及STI絕緣區216上面及層284、278、280、282、270及272的側面。在後續步驟中，接觸孔290a至290d在矽化物層284中產生，及至少一接觸孔292在矽化物層286中產生。根據圖23，接觸孔292b及292c位於凹穴294的中間，因而伸長通過矽化物層286進入多晶

矽層 278，由於多晶矽層的高度較大。

如圖 23 所示，在上述第三具體實施例中，沒有間隔層在側面上形成。發生缺少間隔層係因為第三具體實施例從圖 11 所示結構開始產生另外端子元件，及電容器的其他結構所使用的步驟包括產生雙極電晶體的步驟，其中省去形成一間隔層。另外，必須說明，在第三具體實施例中由於在蝕刻窗用於插入多晶矽層 278 後使用的步驟，即平行插入發射極多晶矽層於雙極區，然後進行兩後續移植步驟，即是雙極電晶體的收集極移植及基極移植。因而，必須注意介電層 224 及 226 在執行移植時不會損壞。

雖然在所述具體實施例中導電層 228 具有一摻雜多晶矽材料，本發明並不限於此。反之，本發明提供任何適合的導電層，如配置金屬層。

圖式簡單說明

以下參考附圖詳細說明本發明的較佳具體實施例。其中：

圖 1 為一已知積體電容器的斷面圖；

圖 2 為圖 1 電容器的電容曲線，作為施加電壓的函數；

圖 3 至 17 為斷面示意圖，用於顯示根據本發明第一具體實施例的生產電容器方法的步驟；

圖 18 至 19 為斷面示意圖，用於顯示根據本發明第二具體實施例的生產電容器方法的步驟；及

圖 20 至 23 為斷面示意圖，用於顯示根據本發明第三具體實施例的生產電容器方法的步驟。

圖式代表符號說明

(20)

- 110 基板
- 112 強導電區
- 114 STI溝渠
- 116 第一介電層
- 118 第二介電層
- 120 多晶矽層
- 210 基板
- 210a 表面
- 212 STI絕緣區
- 214 STI絕緣區
- 216 STI絕緣區
- 218 弱導電區
- 220 弱導電區
- 222 弱導電區
- 224 第一介電層
- 226 第二介電層
- 228 導電層
- 230 遮罩
- 232 氧化物層
- 232a 氧化物層區
- 232b 氧化物層區
- 234 電容器結構
- 234a 側面
- 234b 側面

(21)

- 236 多晶矽層
- 238a 區域
- 238b 區域
- 240 第二多晶矽層
- 242 間隔層
- 244 間隔層
- 246 矽化物層
- 248 矽化物層
- 250 絕緣層
- 252a-d 接觸孔
- 254 接觸孔
- 256 矽化物層
- 258 矽化物層
- 260 間隔層
- 262 間隔層
- 264 絕緣層
- 266a-d 接觸孔
- 268 接觸孔
- 270 絕緣層
- 272 TEOS層
- 274 凹穴
- 276 多晶矽層
- 278 TEOS區
- 280 TEOS區

(22)

發明說明書

- 282 凹穴
- 284 矽化物層
- 286 矽化物層
- 288 絕緣層
- 290 接觸孔
- 290 接觸孔
- 294 凹穴

肆、中文發明摘要

本發明揭示一種用於製造電容器的方法，其包括提供一具有一基板(210)及至少一介電層(224、226)之初結構，其中該基板的一第一區及一第二區由一絕緣層(212、214、216)隔開。在該等第一及第二區之上，配置一導電層(228)於至少一介電層上面(224、226)。另外，沉積一遮罩層(230)在該導電層上，其中該導電層形成用於產生一第一遮罩(230)於該第一區上之結構。本方法進一步包括利用該第一遮罩蝕刻該導電層(230)及至少該第二區的該等介電層(226)，並完成一主動裝置於該第二區內。

伍、英文發明摘要

A method for producing a capacitor comprises providing a raw structure having a substrate (210) and at least one dielectric layer (224, 226), wherein a first area and a second area of the substrate are separated by an isolating layer (212, 214, 216). Above the first and second areas, an electrically conductive layer (228) is arranged on the at least one dielectric layer (224, 226). Further, a mask layer (230) is deposited on the electrically conductive layer, wherein it is structured for generating a first mask (230) above the first area. The method further comprises etching away the electrically conductive layer (230) and at least one of the dielectric layers (226) in the second area by means of the first mask and completing an active device in the second area.

拾、申請專利範圍

1. 一種製造電容器之方法，包括：

提供一初結構具有一基板(210)及至少一介電層(224、226)，其中該基板(210)的一第一區及一第二區由一絕緣結構隔開；

配置一導電層(228)位於該第一及第二區上的至少一介電層(224、226)上面；

配置一遮罩層(230)在該導電層(228)上及形成用於產生一第一遮罩(230)在該第一區上面之相同的結構；

利用該遮罩蝕刻該導電層(228)及至少一第二區的至少一介電層(226)；及

完成一主動裝置於該第二區內。

2. 如申請專利範圍第1項之方法，其中配置的該導電層(228)的一厚度為80至120 nm。
3. 如申請專利範圍第1項之方法，其中該導電層(228)包括一片層，其包括數片不同材料。
4. 如申請專利範圍第1項之方法，其中該導電層(228)包括一摻雜多晶矽層或一金屬層。
5. 如申請專利範圍第4項之方法，其中配置該導電層(228)的該步驟包括：配置一未摻雜多晶矽層及摻雜該配置的多晶矽層。
6. 如申請專利範圍第1項之方法，其中該初結構包括一第一(224)及一第二(226)介電層，其中利用該第一遮罩(230)蝕刻至少一第二區的至少一介電層(226)的該步驟

包括利用該第一遮罩(230)及使用該第一介電層(224)作為阻擋該蝕刻以蝕刻該第二區的該第二介電層(226)的步驟。

7. 如申請專利範圍第6項之方法，其在介於蝕刻至少一至少導電層(228)的步驟及完成該主動裝置的步驟之間，包括下列步驟：

移除該第一遮罩(230)；及

使用該導電層(228)蝕刻該第一區的該第一介電層(224)。

8. 如申請專利範圍第6項之方法，其中該第一介電層(224)包括 Si_3N_4 ，且該第二介電層(226)包括 SiO_2 。

9. 如申請專利範圍第1項之方法，進一步在介於蝕刻該導電層(228)的步驟及完成一主動裝置的步驟之間，包括下列步驟：

產生一接觸結構(246、252a-d；256、266a-d；284、290a-d)位於該導電層上面。

10. 如申請專利範圍第9項之方法，其中產生一接觸結構於該導電層上面的該步驟包括下列步驟：

產生一金屬矽化物層(246；256；284)；及

產生接觸孔(252a-d；266a-d；290a-d)位於金屬矽化物層(246；256；284)中。

11. 如申請專利範圍第1項之方法，進一步在介於蝕刻該導電層(228)的步驟及完成該主動裝置步驟之間包括下列步驟，其中該主動裝置為一雙極電晶體：

配置一多晶矽層(240)於該第一及第二區；及

配置一另外遮罩層於多晶矽層(240)上面及形成用於定義一另外在該第一區上面的遮罩及該雙極電晶體的一基極區內的一遮罩之相同結構；

蝕刻該未遮蔽區域。

12. 如申請專利範圍第1項之方法，進一步在介於蝕刻該導電層的步驟及完成該主動裝置步驟之間包括下列步驟，其中該主動裝置為一雙極電晶體：

配置一第二遮罩層及形成相同結構，其用於定義該第一區內的一第一窗，該窗部份伸長超過該導電層(228)，及一第二窗位於該雙極電晶體的一射極區內；

利用該第二遮蔽層部份蝕刻該導電層(228)及該射極區；

配置一多晶矽層(276)；

配置一第三遮罩層及形成大部份用於產生一另外遮罩在該第一區及該射極上面之相同結構；及

蝕刻該未遮蔽多晶矽層(276)。

13. 如申請專利範圍第12項之方法，其中配置的該導電層(228)的一厚度為170至200 nm。

拾壹、圖式

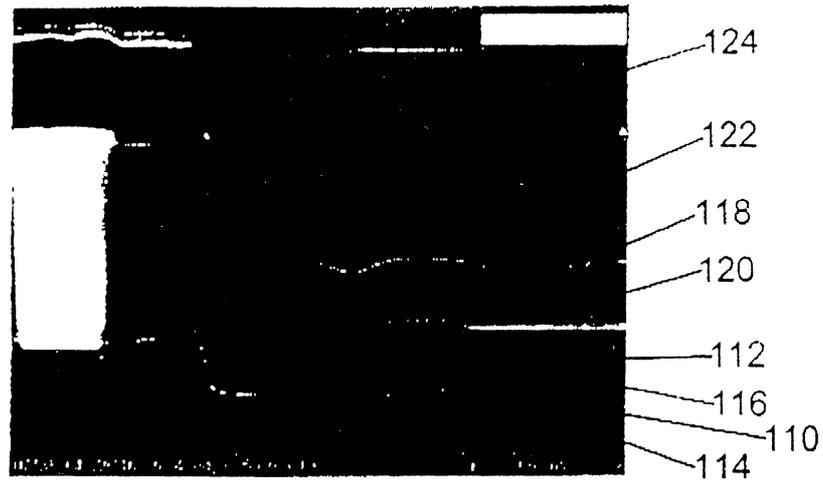


圖 1

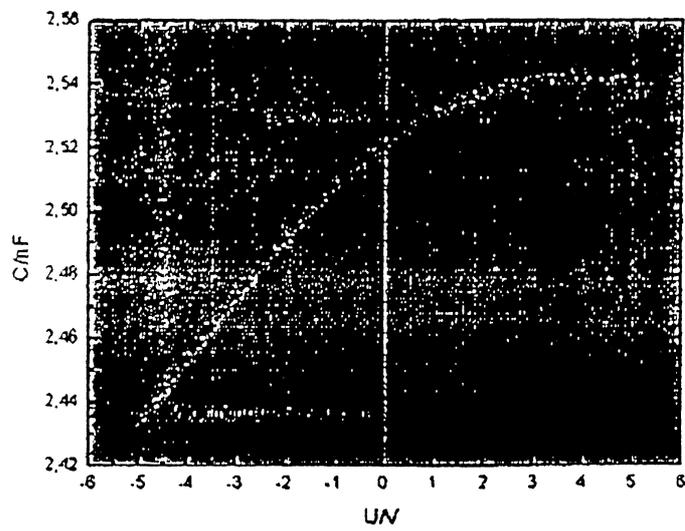


圖 2

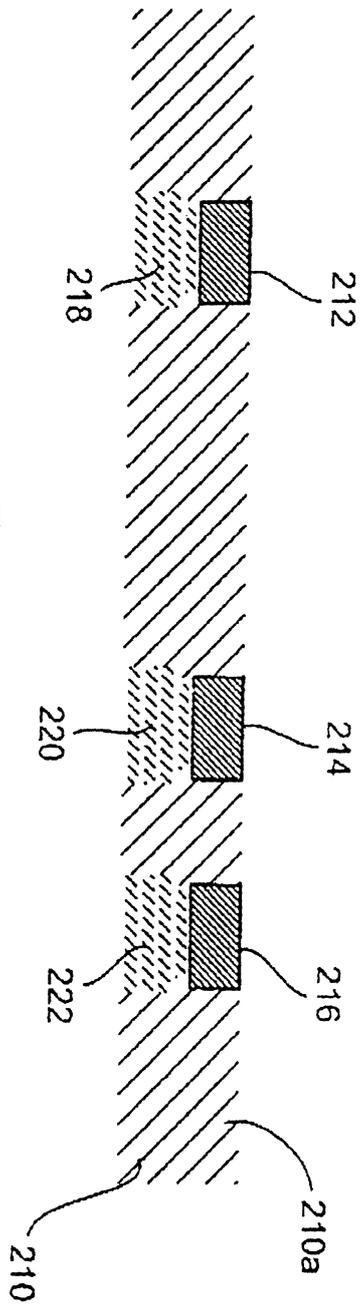


圖 3

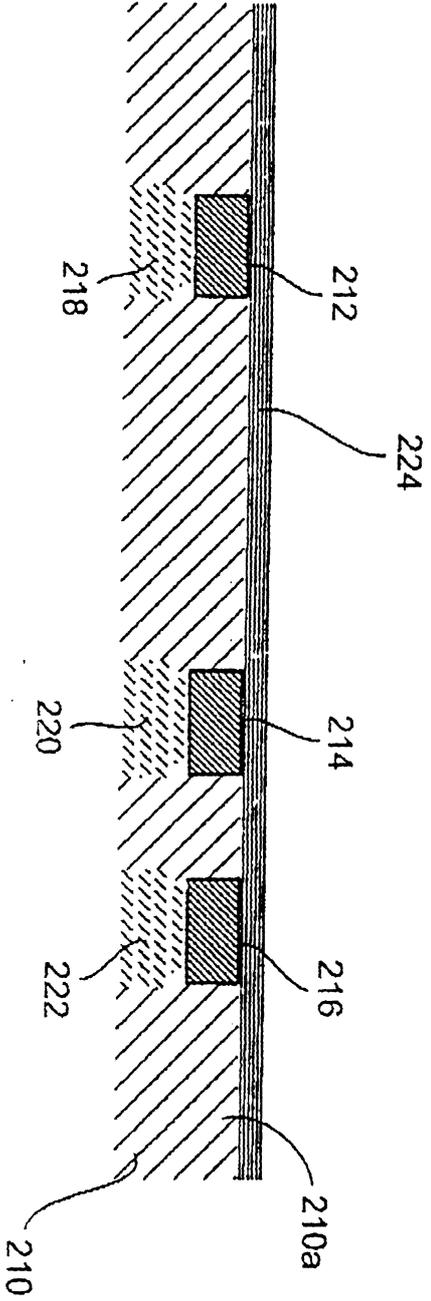


圖 4

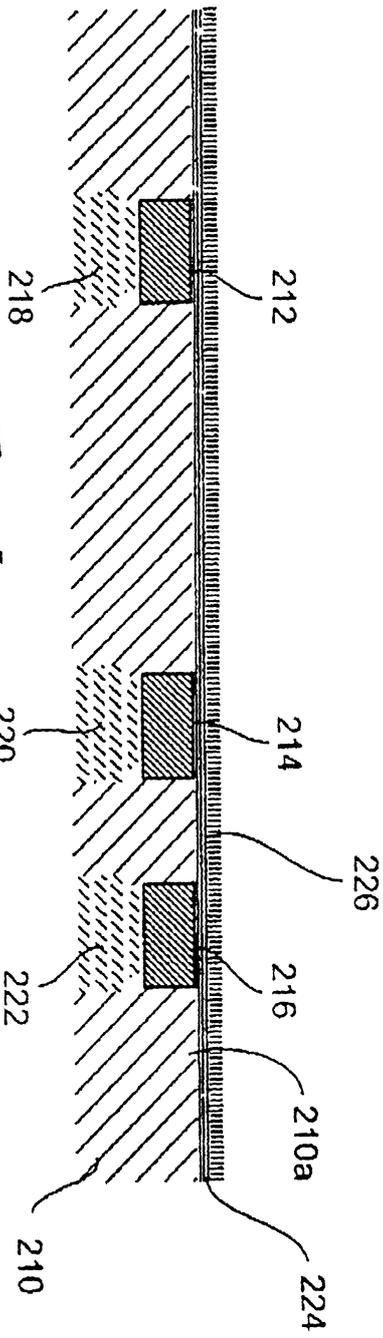


圖 5

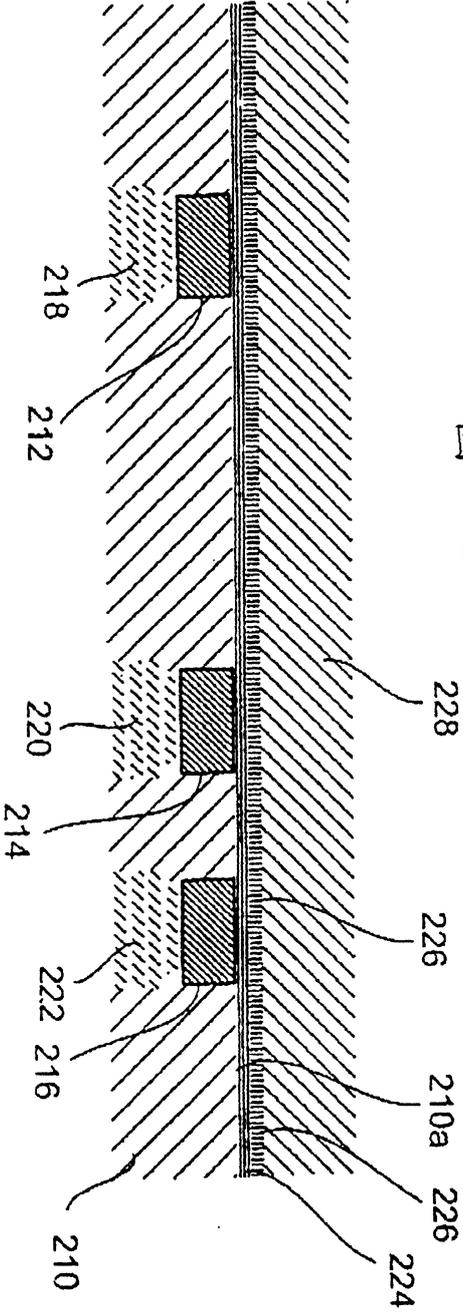


圖 6

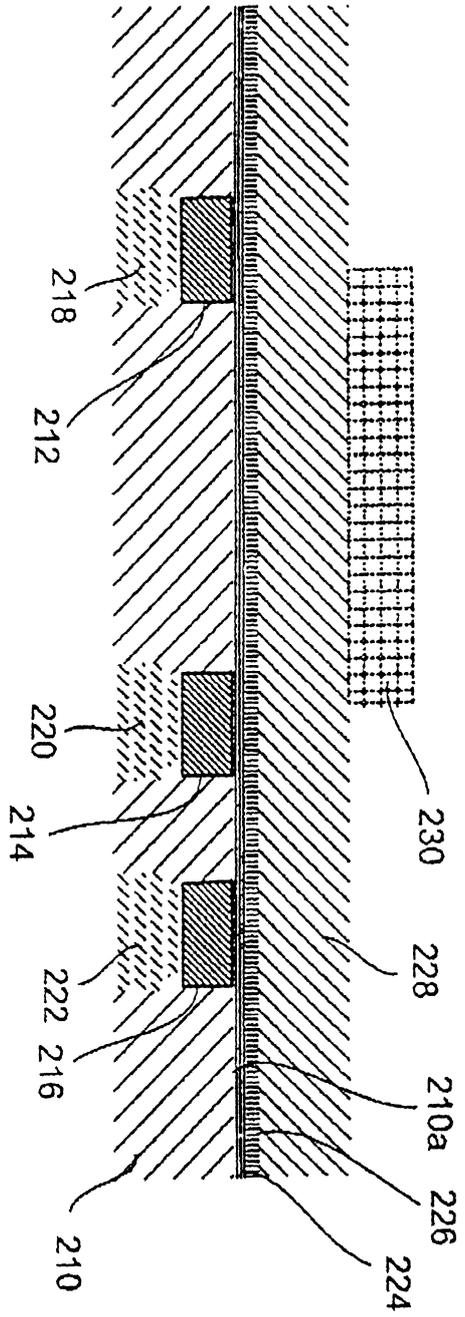


圖 7

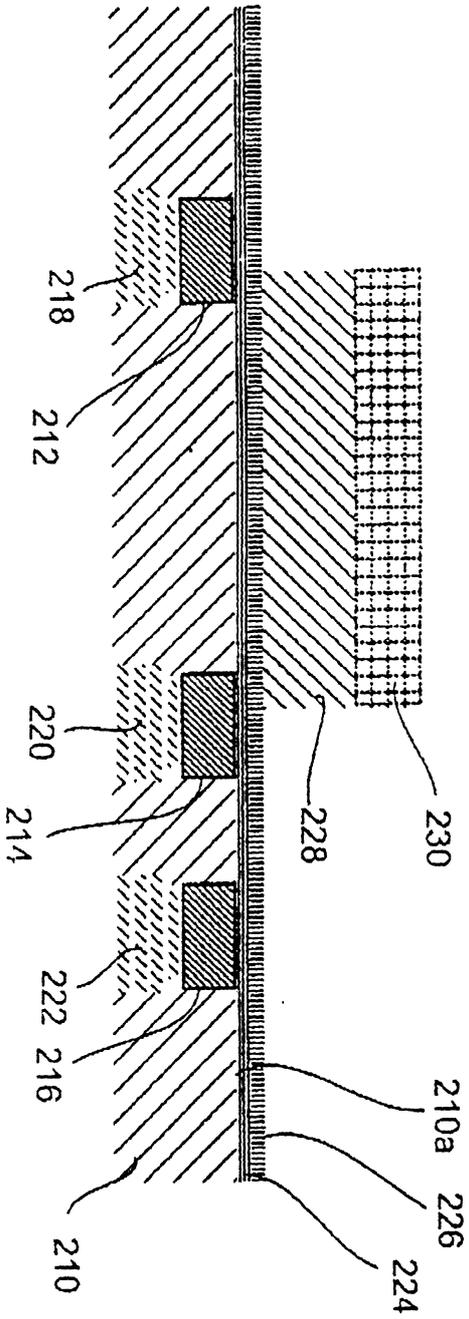


圖 8

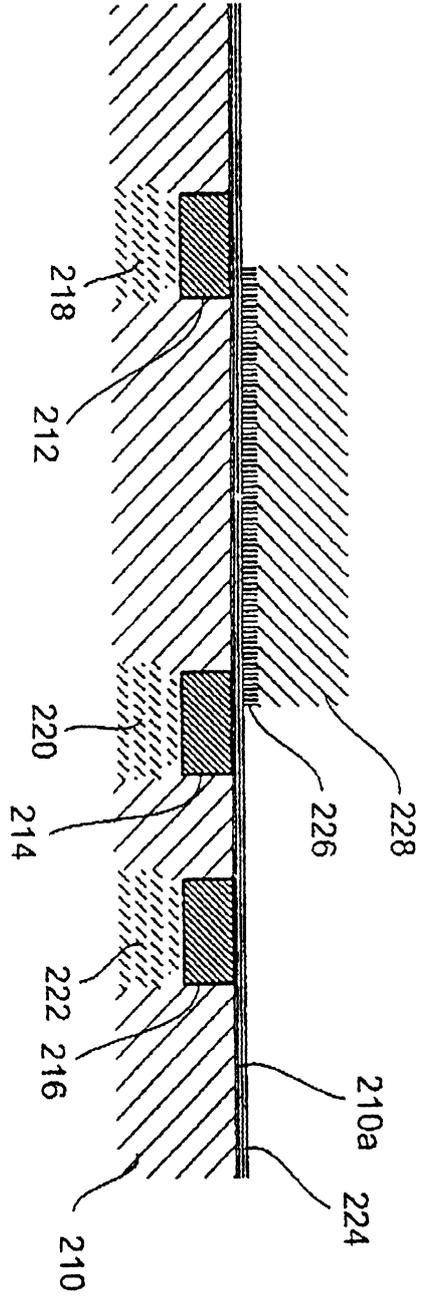


圖 9

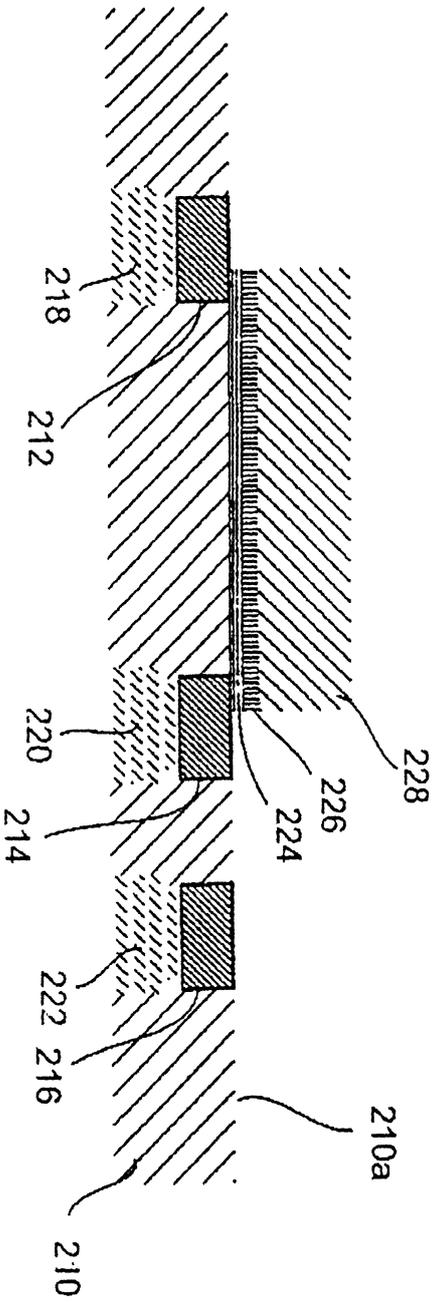


圖 10

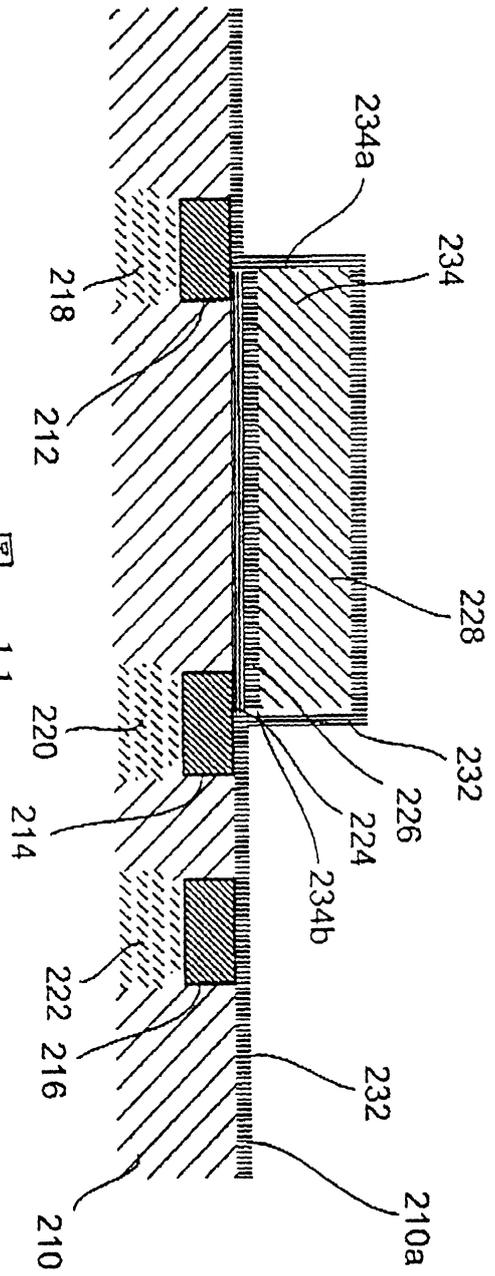


圖 11

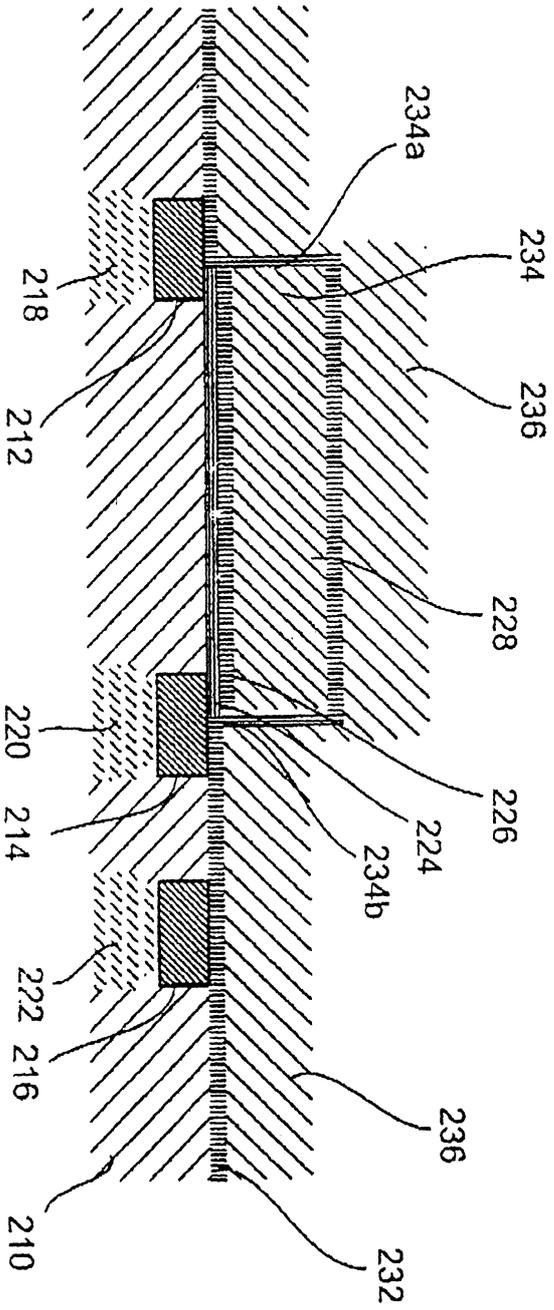


圖 12

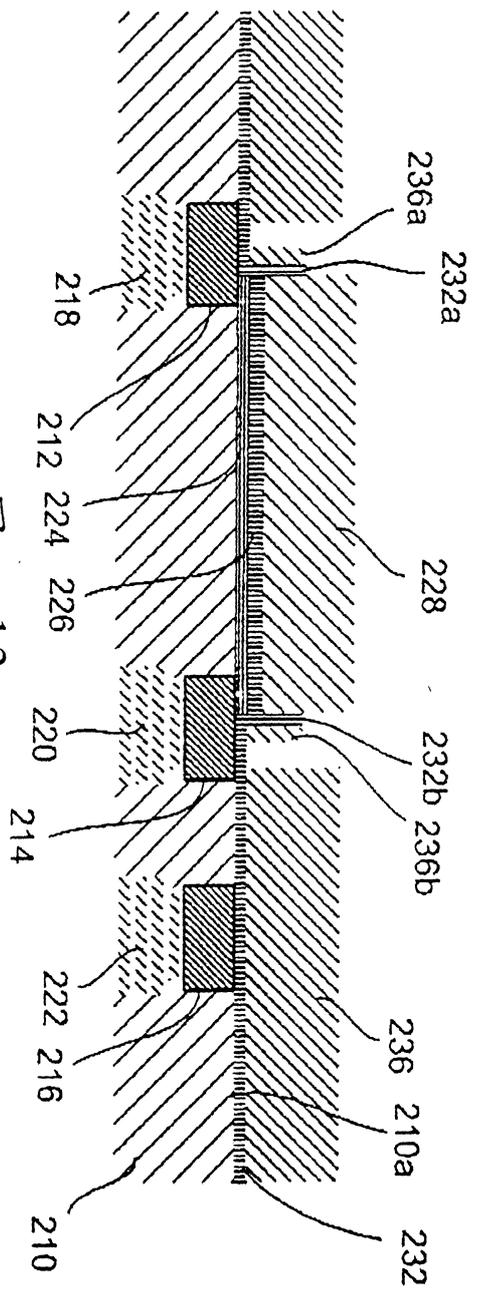


圖 13

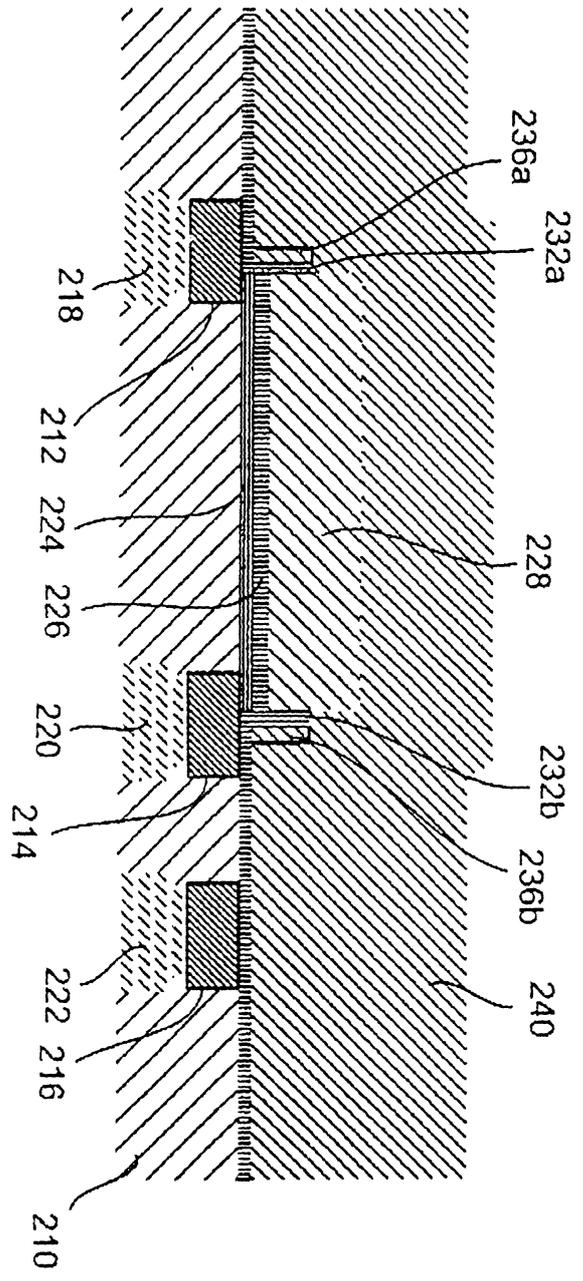
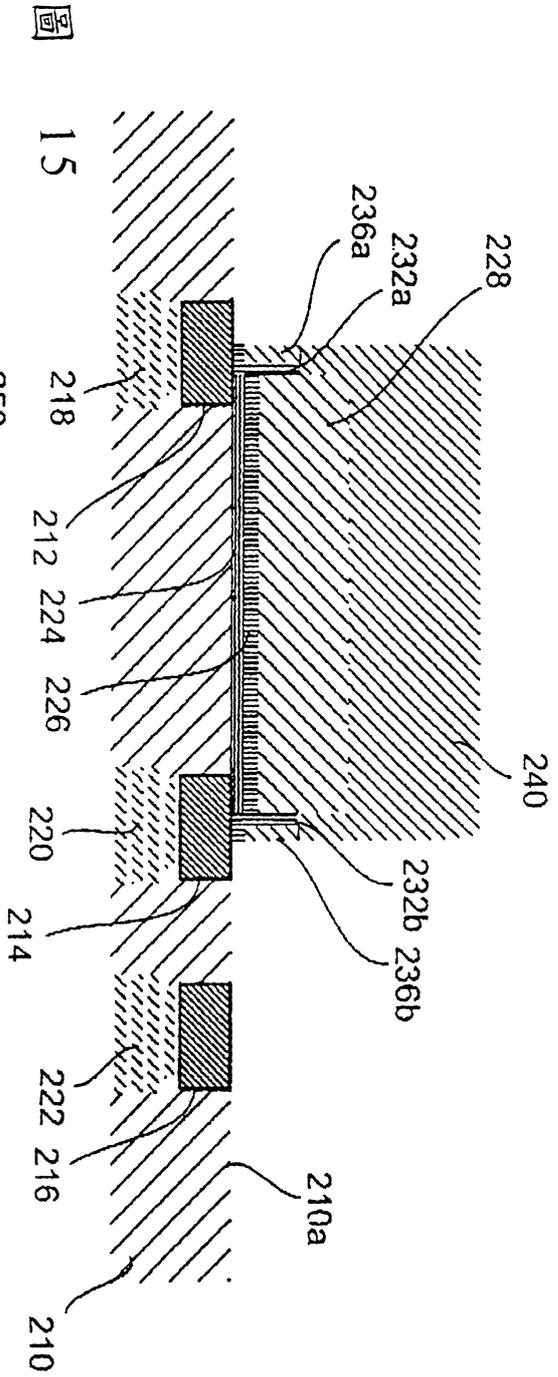
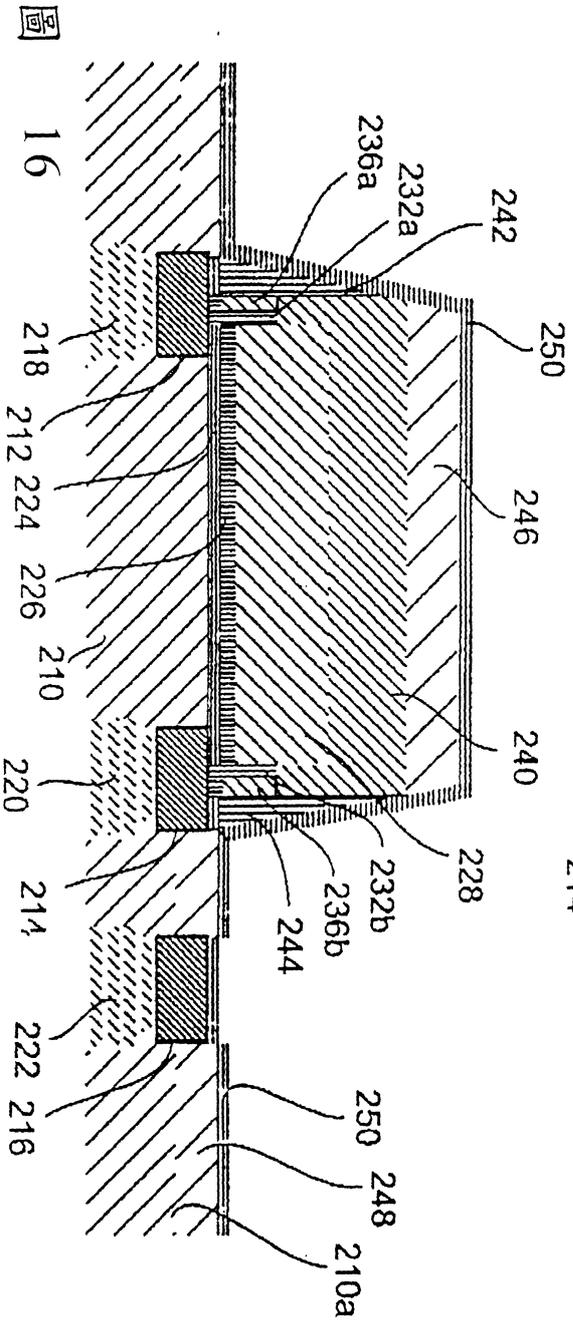


圖 14



圖

15



圖

16

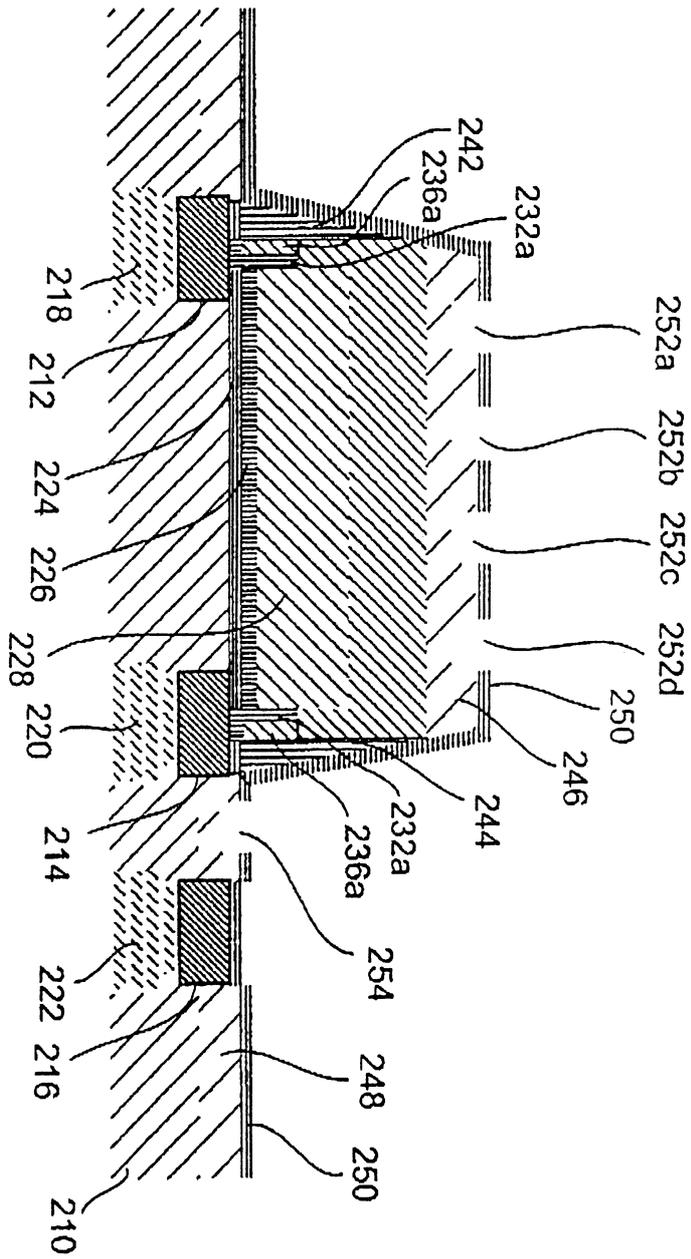


圖 17

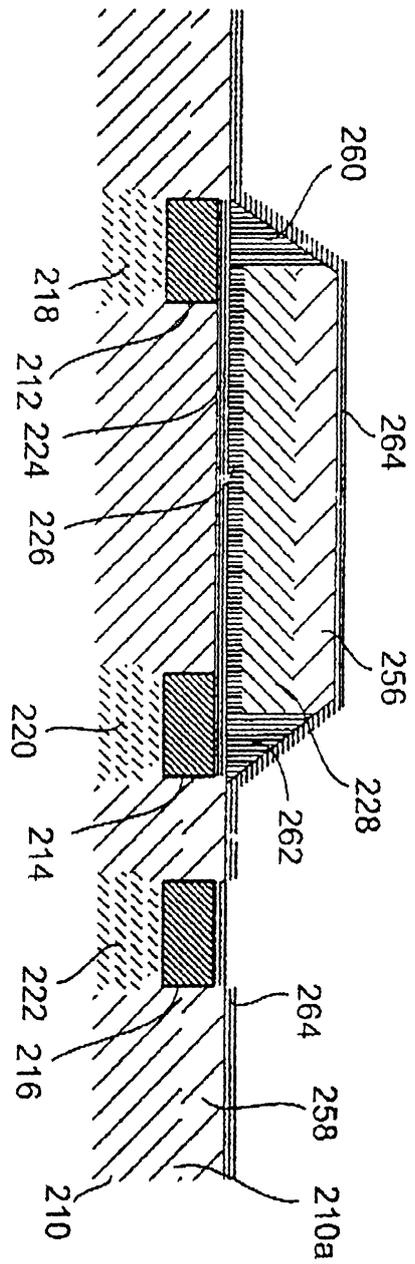


圖 18

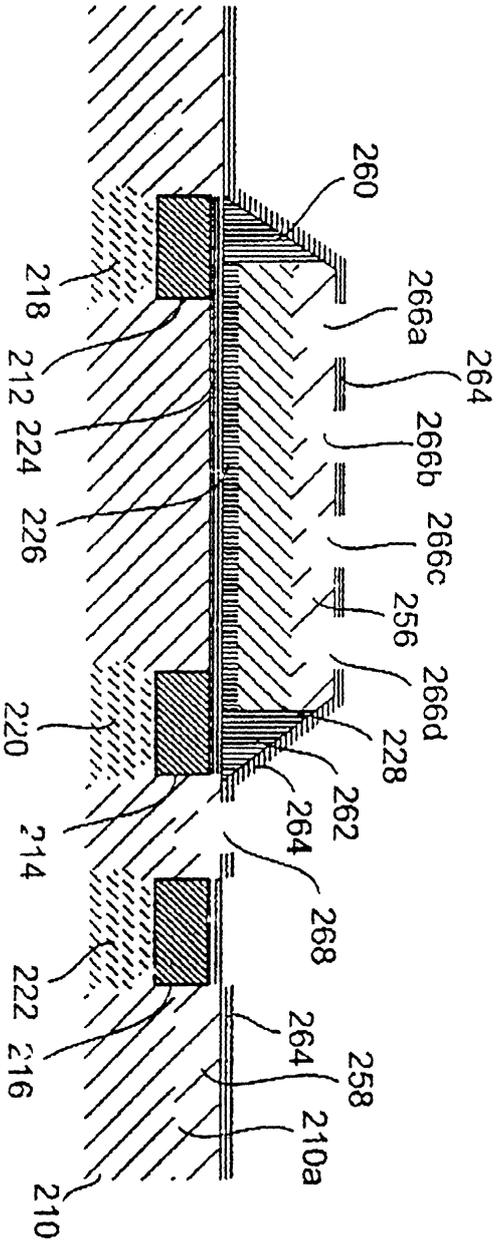


圖 19

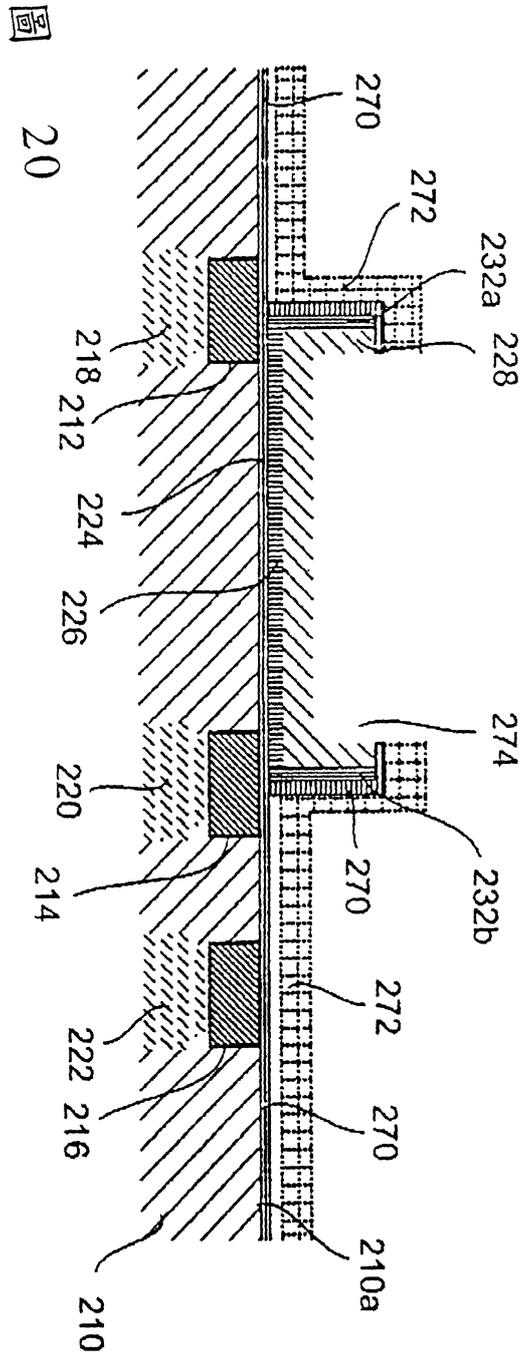


圖 20

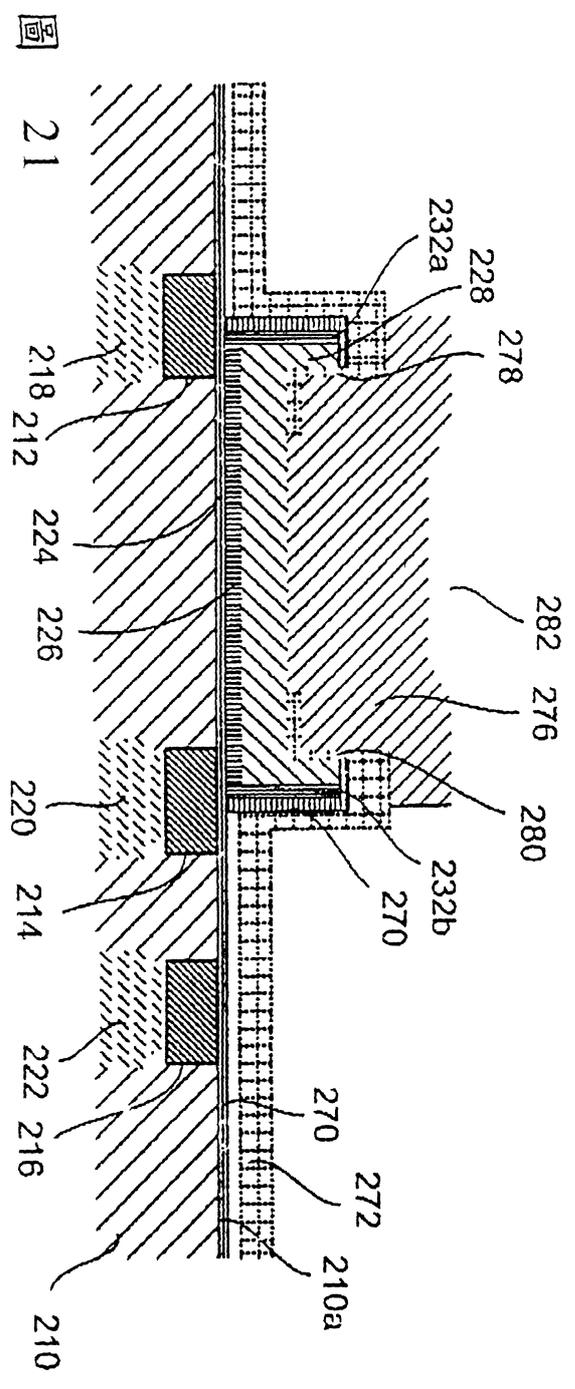


圖 21

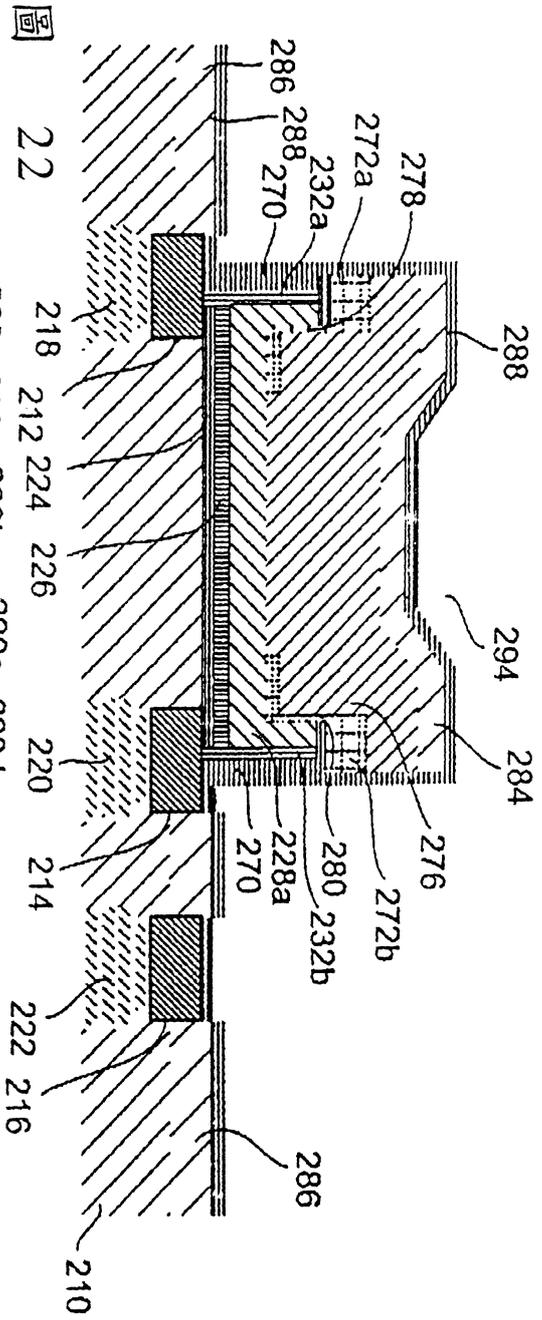


圖 22

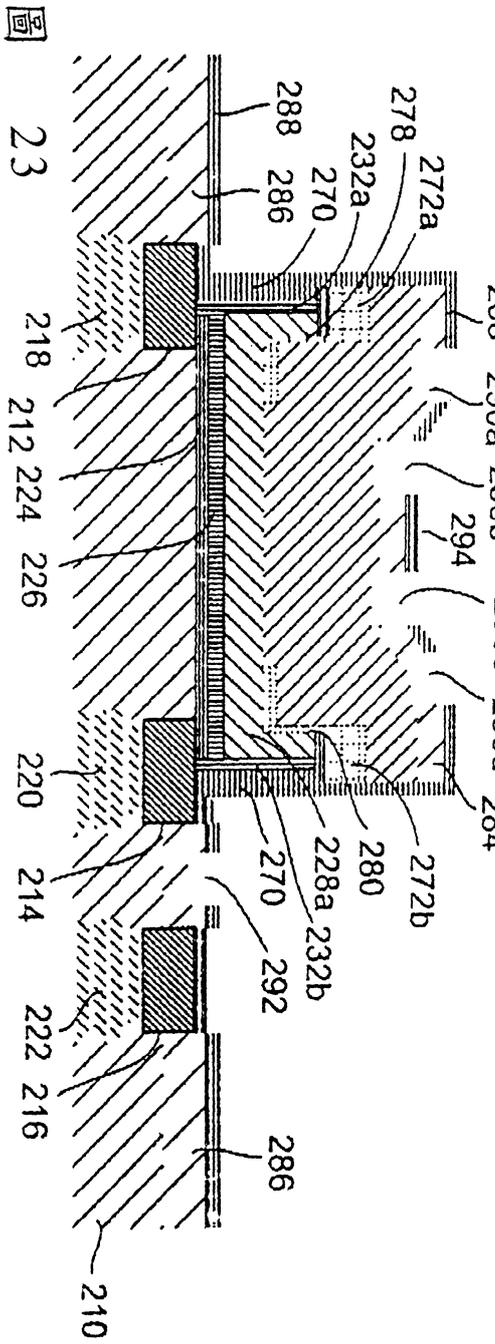


圖 23

陸、(一)、本案指定代表圖為：第8圖

(二)、本代表圖之元件代表符號簡單說明：

210	基板
210a	表面
212	STI絕緣區
214	STI絕緣區
216	STI絕緣區
218	弱導電區
220	弱導電區
222	弱導電區
224	第一介電層
226	第二介電層
228	導電層
230	遮罩

柒、本案若有化學式時，請揭示最能顯示發明特徵的化學式：