

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2011 年 11 月 24 日(24.11.2011)

PCT

(10) 国際公開番号
WO 2011/145682 A1

- (51) 国際特許分類:
G06F 3/041 (2006.01) G06F 3/042 (2006.01)
G02F 1/133 (2006.01) G09F 9/00 (2006.01)
- (21) 国際出願番号: PCT/JP2011/061524
- (22) 国際出願日: 2011 年 5 月 19 日(19.05.2011)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2010-116445 2010 年 5 月 20 日(20.05.2010) JP
- (71) 出願人 (米国を除く全ての指定国について):
シャープ株式会社(SHARP KABUSHIKI KAISHA)
[JP/JP]; 〒5458522 大阪府大阪市阿倍野区長池町
2 2 番 2 2 号 Osaka (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 田中 耕平
(TANAKA Kohei). 杉田 靖博(SUGITA Yasuhiro).
臼倉 奈留(USUKURA Naru). 前田 和宏(MAE-
DA Kazuhiro). 中川 陽介(NAKAGAWA Yousuke).
- (74) 代理人: 川上 桂子, 外(KAWAKAMI Keiko et
al.); 〒5300004 大阪府大阪市北区堂島浜 1 丁目

4 番 1 6 号 アクア堂島西館 インテリクス
国際特許事務所 Osaka (JP).

- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

[続葉有]

(54) Title: DISPLAY DEVICE

(54) 発明の名称: 表示装置

[図6]

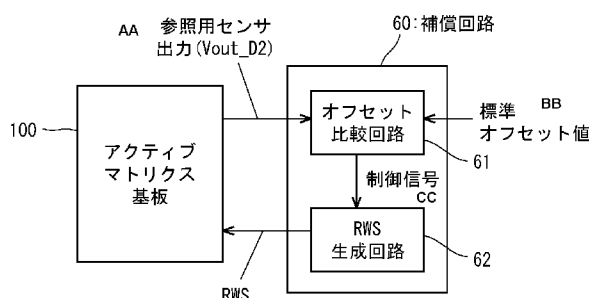


FIG. 6:

60 Compensating circuit
61 Offset comparison circuit
62 RWS generation circuit
100 Active matrix substrate
AA Reference sensor output (Vout_D2)
BB Reference offset value
CC Control signal

(57) Abstract: Provided is a display device that enables a wide dynamic range of an optical sensor to be maintained even when using the output of a reference element to compensate for an offset due to a change in the ambient temperature. The display device, which is equipped with an optical sensor in the pixel region of an active matrix substrate (100), comprises: a light detection sensor that outputs a sensor signal according to the amount of light received by the optical sensor; and a reference sensor that has a feature in which a light-shielding film is added to the light detection sensor, and that outputs a sensor signal according to an offset component. The display device is equipped with: an offset comparison circuit (61) that determines the extent of a deviation between the sensor signal outputted by the reference sensor and a reference offset value; and a drive signal generation circuit (62) that adjusts the potential of a drive signal of the optical sensor according to the extent of the deviation determined by the offset comparison circuit (61).

(57) 要約: 参照用素子の出力を利用して環境温度変化によるオフセットを補償する場合においても、光センサのダイナミックレンジを広く確保できる表示装置

を提供する。アクティブマトリクス基板 (100) の画素領域に光センサを備えた表示装置であって、光センサが、受光量に応じたセンサ信号を出力する光検出用センサと、前記光検出用センサに遮光膜が追加された構成を有しオフセット成分に応じたセンサ信号を出力する参照用センサとを含む。前記表示装置は、参照用センサから出力されたセンサ信号と標準オフセット値との乖離度合いを求めるオフセット比較回路 (61) と、オフセット比較回路 (61) で求められた前記乖離度合いに応じて前記光センサの駆動信号の電位を調整する駆動信号生成回路 (62) とを備える。



添付公開書類:

— 国際調査報告 (条約第 21 条(3))

明 細 書

発明の名称 ： 表示装置

技術分野

[0001] 本発明は、フォトダイオード等の光検出素子を有する光センサ付きの表示装置に関し、特に、画素領域内に光センサを備えた表示装置に関する。

背景技術

[0002] 従来、例えばフォトダイオード等の光検出素子を画素内に備えたことにより、外光の明るさを検出したり、ディスプレイに近接した物体の画像を取り込んだりすることが可能な、光センサ付き表示装置が提案されている。このような光センサ付き表示装置は、双方向通信用表示装置や、タッチパネル機能付き表示装置としての利用が想定されている。

[0003] 従来の光センサ付き表示装置では、アクティブマトリクス基板において、信号線および走査線、TFT（Thin Film Transistor）、画素電極等の周知の構成要素を半導体プロセスによって形成する際に、同時に、アクティブマトリクス基板上にフォトダイオード等を作り込む（特開2006-3857号公報参照）。

[0004] なお、光センサ付きの表示装置においては、センサ出力が環境温度に大きく依存することが知られている。すなわち、環境温度が変化すると、それに伴って光検出素子の特性が変動してしまい、光強度の変化を正しく検出できなくなるという問題がある。

[0005] このような光センサの温度依存性は、暗電流（リーク電流とも呼ばれる）に起因している。この暗電流を補償するために、アクティブマトリクス基板上に、入射光の強度を検出する光検出素子（光検出用素子）を有する光センサ以外に、いわゆるダミーセンサとして暗電流のみを検出するための遮光された光検出素子（参照用素子）を設けた構成が知られている（特開2007-18458号公報参照）。この従来の構成においては、参照用素子からの出力は暗電流成分を反映しているので、光センサの後段の回路において、参

照用素子からの出力を光検出素子の出力から差し引くことにより、環境温度変化によるオフセットが補償されたセンサ出力を得ることができる。

[0006] しかしながら、光検出用素子の容量には、入射光に起因して発生する電流と暗電流との両方が充放電される。したがって、高温時に暗電流が増加することを考慮すると、光検出用素子の出力から参照用素子の出力を差し引くことによってセンサ出力を得る構成では、参照用素子の出力値の分だけ光センサのダイナミックレンジが狭められてしまう、という課題がある。

発明の開示

[0007] 本発明は、上記の課題を鑑み、参照用素子の出力を利用して環境温度変化によるオフセットを補償する場合においても、光センサのダイナミックレンジを広く確保できる表示装置を提供することを目的とする。

[0008] ここに開示する表示装置は、アクティブマトリクス基板の画素領域に光センサを備えた表示装置であって、前記光センサが、受光量に応じたセンサ信号を出力する光検出用センサと、前記光検出用センサに遮光膜が追加された構成を有しオフセット成分に応じたセンサ信号を出力する参照用センサとを含み、前記表示装置は、前記参照用センサから出力されたセンサ信号と標準オフセット値との乖離度合いを求めるオフセット比較回路と、前記オフセット比較回路で求められた前記乖離度合いに応じて前記光センサの駆動信号の電位を調整する駆動信号生成回路とを備えた構成である。

[0009] 本発明によれば、参照用素子の出力を利用して環境温度変化によるオフセットを補償する場合においても、光センサのダイナミックレンジを広く確保できる表示装置を提供できる。

図面の簡単な説明

[0010] [図1] 図1は、本発明の一実施形態にかかる表示装置の概略構成を示すブロック図である。

[図2] 図2は、本発明の第1の実施形態にかかる表示装置における一画素の構成を示す等価回路図である。

[図3A] 図3Aは、光検出用センサの等価回路図である。

[図3B] 図3Bは、参照用センサの等価回路図である。

[図4] 図4は、本発明の第1の実施形態にかかる表示装置において、光センサへリセット信号配線RSTから供給されるリセット信号と読み出し信号配線RWSから供給される読み出し信号の波形をそれぞれ示すタイミングチャートである。

[図5] 図5は、第1の実施形態の光センサにおける入力信号（リセット信号、読み出し信号）と V_{INT} との関係を示す波形図である。

[図6] 図6は、第1の実施形態の表示装置が備える補償回路の概略構成を示すブロック図である。

[図7] 図7は、補償回路によって調整された後の読み出し信号の一例を示す波形図である。

[図8] 図8は、読み出し信号のハイレベル $V_{RWS, H}$ の電位が V_{DD} である場合の V_{INT} の電位変化（破線）と、読み出し信号のハイレベル $V_{RWS, H}$ の電位が（ $V_{DD} + \alpha$ ）である場合の V_{INT} の電位変化（実線）とを表す信号波形図である。

[図9] 図9は、補償回路によって調整された後の読み出し信号の他の例を示す波形図である。

[図10] 図10は、第1の実施形態にかかる表示装置におけるセンサ駆動タイミングを示すタイミングチャートである。

[図11] 図11は、センサ画素読み出し回路の内部構成を示す回路図である。

[図12] 図12は、読み出し信号と、センサ出力と、センサ画素読み出し回路の出力との関係を示す波形図である。

[図13] 図13は、センサカラムアンプの構成例を示す回路図である。

[図14] 図14は、第2の実施形態にかかる光検出用センサの等価回路図である。

[図15] 図15は、第2の実施形態にかかる光センサが備える可変容量 C_{INT} のC-V特性図である。

[図16] 図16は、第2の実施形態にかかる光センサにおける入力信号（リセ

ット信号、読み出し信号)と V_{INT} との関係を示す波形図である。

[図17]図17は、積分期間の最後から読み出し期間にかけての蓄積ノードの電位 V_{INT} の変化を示す波形図である。

[図18A]図18Aは、可変容量においてゲート電極の電位が閾値電圧よりも低いときの電荷の移動を示す断面模式図である。

[図18B]図18Bは、可変容量においてゲート電極の電位が閾値電圧よりも高いときの電荷の移動を示す断面模式図である。

[図19]図19は、第2の実施形態にかかる補償回路の概略構成を示すブロック図である。

[図20]図20は、補償回路70による補正前の V_{INT} の電位変化(破線)と、読み出し信号のローレベル $V_{RWS, L}$ の電位が α だけ下げられた場合の V_{INT} の電位変化(実線)とを表す信号波形図である。

[図21]図21は、第3の実施形態にかかる補償回路の概略構成を示すブロック図である。

[図22]図22は、第3の実施形態の補償回路によって調整された後のリセット信号の一例を示す波形図である。

[図23]図23は、リセット信号のハイレベル $V_{RST, H}$ の電位が V_{SS} である場合の V_{INT} の電位変化(破線)と、リセット信号のハイレベル $V_{RST, H}$ の電位が $(V_{SS} + \alpha)$ である場合の V_{INT} の電位変化(実線)とを表す信号波形図である。

[図24]図24は、第3の実施形態の変形例にかかる表示装置における一画素の構成を示す等価回路図である。

[図25]図25は、第3の実施形態の変形例にかかる表示装置において、光センサへリセット信号配線RSTから供給されるリセット信号と読み出し信号配線RWSから供給される読み出し信号の波形をそれぞれ示すタイミングチャートである。

[図26]図26は、第3の実施形態の変形例にかかる表示装置における V_{INT} の変化を示す波形図である。

[図27]図27は、第4の実施形態にかかる表示装置における一画素の構成を示す等価回路図である。

[図28]図28は、第4の実施形態にかかる補償回路の概略構成を示すブロック図である。

[図29]図29は、リセットレベル電位 V_{REF} が調整される前の V_{INT} の電位変化（破線）と、リセットレベル電位 V_{REF} を α だけ高く調整した後の V_{INT} の電位変化（実線）とを表す信号波形図である。

[図30]図30は、第5の実施形態にかかる表示装置における一画素の構成を示す等価回路図である。

[図31]図31は、リセットレベル電位 V_{REF} が調整される前の V_{INT} の電位変化（破線）と、リセットレベル電位 V_{REF} を α だけ高く調整した後の V_{INT} の電位変化（実線）とを表す信号波形図である。

発明を実施するための形態

[0011] 本発明の一実施形態にかかる表示装置は、アクティブマトリクス基板の画素領域に光センサを備えた表示装置であって、前記光センサが、受光量に応じたセンサ信号を出力する光検出用センサと、前記光検出用センサに遮光膜が追加された構成を有しオフセット成分に応じたセンサ信号を出力する参照用センサとを含み、前記表示装置は、前記参照用センサから出力されたセンサ信号と標準オフセット値との乖離度合いを求めるオフセット比較回路と、前記オフセット比較回路で求められた前記乖離度合いに応じて前記光センサの駆動信号の電位を調整する駆動信号生成回路とを備えた構成である（第1の構成）。

[0012] 前記第1の構成のさらに具体的な態様として、例えば、以下の第2～第9の構成が挙げられる。

[0013] 第2の構成は、第1の構成において、前記光センサが、受光素子と、前記受光素子からの出力電流を充放電する容量と、前記受光素子の一端と前記容量の一端との間に接続されたスイッチング素子と、当該受光素子の他端に接続され、リセット信号を供給するリセット信号配線と、当該容量の他端に接

続され、読み出し信号を供給する読み出し信号配線とを備え、前記駆動信号生成回路が、前記読み出し信号のハイレベルおよびローレベルの少なくとも一方の電位を調整する構成である。

[0014] 第3の構成は、第1の構成において、前記光センサが、受光素子と、前記受光素子からの出力電流を充放電する可変容量と、前記受光素子の一端と前記容量の一端との間に接続されたスイッチング素子と、当該受光素子の他端に接続され、リセット信号を供給するリセット信号配線と、当該容量の他端に接続され、読み出し信号を供給する読み出し信号配線とを備え、前記駆動信号生成回路が、前記読み出し信号のローレベルの電位を調整する構成である。

[0015] 第4の構成は、第1の構成において、前記光センサが、受光素子と、前記受光素子からの出力電流を充放電する容量と、前記受光素子の一端と前記容量の一端との間に接続されたスイッチング回路と、当該受光素子の他端に接続され、リセット信号を供給するリセット信号配線と、前記光センサへ読み出し信号を供給する読み出し信号配線とを備え、前記駆動信号生成回路が、前記リセット信号のハイレベルの電位を調整する構成である。

[0016] 第5の構成は、前記第4の構成において、前記スイッチング回路が、1つのトランジスタを備え、前記読み出し信号配線が、前記容量の他端に接続されている構成である。

[0017] 第6の構成は、前記第4の構成において、前記スイッチング回路が、第1のトランジスタおよび第2のトランジスタを備え、前記第1のトランジスタの制御電極が、前記受光素子の一端と前記容量の一端との間に接続され、前記第1のトランジスタにおける前記制御電極以外の2つの電極の一方が、定電圧を供給する配線に接続され、前記第1のトランジスタにおける前記制御電極以外の2つの電極の他方が、第2のトランジスタにおける制御電極以外の2つの電極の一方に接続され、前記第2のトランジスタにおける制御電極以外の2つの電極の他方が、前記センサ信号の出力配線に接続され、前記第2のトランジスタの制御電極に、前記読み出し信号配線が接続され、前記容

量の他端が、定電圧を供給する配線に接続された構成である。

[0018] 第7の構成は、第1の構成において、前記スイッチング回路が、第1のトランジスタ、第2のトランジスタ、および第3のトランジスタを備え、前記第1のトランジスタの制御電極が、前記受光素子の一端と前記容量の一端との間に接続され、前記第1のトランジスタにおける前記制御電極以外の2つの電極の一方が、定電圧を供給する配線に接続され、前記第1のトランジスタにおける前記制御電極以外の2つの電極の他方が、第2のトランジスタにおける制御電極以外の2つの電極の一方に接続され、前記第2のトランジスタにおける制御電極以外の2つの電極の他方が、前記センサ信号の出力配線に接続され、前記容量の他端が定電圧を供給する配線に接続され、前記第2のトランジスタの制御電極に、前記読み出し信号配線が接続され、前記第3のトランジスタの制御電極に、前記リセット信号配線が接続され、前記第3のトランジスタの前記制御電極以外の2つの電極の一方が、前記受光素子の一端に接続され、前記第3のトランジスタの前記制御電極以外の2つの電極の他方が、参照電圧を供給する配線に接続され、前記駆動信号生成回路が、前記第3のトランジスタの前記参照電圧の電位を調整する構成である。

[0019] 第8の構成は、第1の構成において、前記スイッチング回路が、第1のトランジスタおよび第2のトランジスタを備え、前記第1のトランジスタの制御電極が、前記受光素子の一端と前記容量の一端との間に接続され、前記第1のトランジスタにおける前記制御電極以外の2つの電極の一方が、定電圧を供給する配線に接続され、前記第1のトランジスタにおける前記制御電極以外の2つの電極の他方が、前記センサ信号の出力配線に接続され、前記容量の他端が、前記読み出し信号配線に接続され、前記第2のトランジスタの制御電極に、前記リセット信号配線が接続され、前記第2のトランジスタの前記制御電極以外の2つの電極の一方が、前記受光素子の一端に接続され、前記第2のトランジスタの前記制御電極以外の2つの電極の他方が、参照電圧を供給する配線に接続され、前記駆動信号生成回路が、前記読み出し信号のハイレベルおよびローレベルの少なくとも一方の電位を調整する構成であ

る。

[0020] 第9の構成は、第1の構成において、前記スイッチング回路が、第1のトランジスタおよび第2のトランジスタを備え、前記第1のトランジスタの制御電極が、前記受光素子の一端と前記容量の一端との間に接続され、前記第1のトランジスタにおける前記制御電極以外の2つの電極の一方が、定電圧を供給する配線に接続され、前記第1のトランジスタにおける前記制御電極以外の2つの電極の他方が、前記センサ信号の出力配線に接続され、前記容量の他端が、前記読み出し信号配線に接続され、前記第2のトランジスタの制御電極に、前記リセット信号配線が接続され、前記第2のトランジスタの前記制御電極以外の2つの電極の一方が、前記受光素子の一端に接続され、前記第2のトランジスタの前記制御電極以外の2つの電極の他方が、参照電圧を供給する配線に接続され、前記駆動信号生成回路が前記参照電圧の電位を調整する構成である。

[0021] また、本発明の一実施形態にかかる表示装置は、前記第1～第9の構成のいずれかにおいて、前記アクティブマトリクス基板に対向する対向基板と、前記アクティブマトリクス基板と対向基板との間に挟持された液晶とをさらに備えた構成であることが好ましい。

[実施の形態]

[0022] 以下、本発明のより具体的な実施形態について、図面を参照しながら説明する。なお、以下の実施形態は、本発明にかかる表示装置を液晶表示装置として実施する場合の構成例を示したものであるが、本発明にかかる表示装置は液晶表示装置に限定されず、アクティブマトリクス基板を用いる任意の表示装置に適用可能である。なお、本発明にかかる表示装置は、光センサを有することにより、画面に近接する物体を検知して入力操作を行うタッチパネル付き表示装置や、表示機能と撮像機能とを具備した双方向通信用表示装置等としての利用が想定される。

[0023] また、以下で参照する各図は、説明の便宜上、本発明の実施形態の構成部材のうち、本発明を説明するために必要な主要部材のみを簡略化して示した

ものである。従って、本発明にかかる表示装置は、本明細書が参照する各図に示されていない任意の構成部材を備え得る。また、各図中の部材の寸法は、実際の構成部材の寸法および各部材の寸法比率等を忠実に表したものではない。

[0024] [第1の実施形態]

最初に、図1および図2を参照しながら、本発明の第1の実施形態にかかる液晶表示装置が備えるアクティブマトリクス基板の構成について説明する。

[0025] 図1は、本発明の一実施形態にかかる液晶表示装置が備えるアクティブマトリクス基板100の概略構成を示すブロック図である。図1に示すように、アクティブマトリクス基板100は、ガラス基板上に、画素領域1、ディスプレイゲートドライバ2、ディスプレイソースドライバ3、センサカラム（column）ドライバ4、センサロウ（row）ドライバ5、バッファアンプ6、FPCコネクタ7を少なくとも備えている。また、画素領域1内の光検出素子（後述）で取り込まれた画像信号を処理するための信号処理回路8が、前記FPCコネクタ7とFPC9とを介して、アクティブマトリクス基板100に接続されている。

[0026] なお、アクティブマトリクス基板100上の上記の構成部材は、半導体プロセスによってガラス基板上にモノリシックに形成することも可能である。あるいは、上記の構成部材のうちのアンプやドライバ類を、例えばCOG（Chip On Glass）技術等によってガラス基板上に実装した構成としても良い。あるいは、図1においてアクティブマトリクス基板100上に示した上記の構成部材の少なくとも一部が、FPC9上に実装されることも考えられる。アクティブマトリクス基板100は、全面に対向電極が形成された対向基板（図示せず）と貼り合わされ、その間隙に液晶材料が封入される。

[0027] 画素領域1は、画像を表示するために、複数の画素が形成された領域である。本実施形態では、画素領域1における各画素内には、画像を取り込むた

めの光センサが設けられている。図2は、アクティブマトリクス基板100の画素領域1における画素と光センサとの配置を示す等価回路図である。図2の例では、1つの画素が、R（赤）、G（緑）、B（青）の3色の絵素（絵素は、サブ画素とも呼ばれる）によって形成され、この3絵素で構成される1つの画素内に、1つのフォトダイオード（図2の例ではフォトダイオードD1）とコンデンサ C_{INT} と薄膜トランジスタM2とによって構成される1つの光センサが設けられている。画素領域1は、M行×N列のマトリクス状に配置された画素と、同じくM行×N列のマトリクス状に配置された光センサとを有する。なお、上述のとおり、絵素数は、 $M \times 3N$ である。

[0028] このため、図2に示すように、画素領域1は、画素用の配線として、マトリクス状に配置されたゲート線GLおよびソース線COLを有している。ゲート線GLは、ディスプレイゲートドライバ2に接続されている。ソース線COLは、ディスプレイソースドライバ3に接続されている。なお、ゲート線GLは、画素領域1内にM行設けられている。以下、個々のゲート線GLを区別して説明する必要がある場合は、 GL_i （ $i = 1 \sim M$ ）のように表記する。一方、ソース線COLは、上述のとおり、1つの画素内の3絵素にそれぞれ画像データを供給するために、1画素につき3本ずつ設けられている。ソース線COLを個々に区別して説明する必要がある場合は、 COL_{rj} 、 COL_{gj} 、 COL_{bj} （ $j = 1 \sim N$ ）のように表記する。

[0029] ゲート線GLとソース線COLとの交点には、画素用のスイッチング素子として、薄膜トランジスタ（TFT）M1が設けられている。なお、図2では、赤色、緑色、青色のそれぞれの絵素に設けられている薄膜トランジスタM1を、 $M1_r$ 、 $M1_g$ 、 $M1_b$ と表記している。薄膜トランジスタM1のゲート電極はゲート線GLへ、ソース電極はソース線COLへ、ドレイン電極は図示しない画素電極へ、それぞれ接続されている。これにより、図2に示すように、薄膜トランジスタM1のドレイン電極と対向電極（VCOM）との間に液晶容量LCが形成される。また、ドレイン電極とTFTCOMとの間に補助容量CLSが形成されている。

- [0030] 図2において、1本のゲート線 GL_i と1本のソース線 COL_rj との交点に接続された薄膜トランジスタ $M1_r$ によって駆動される絵素は、この絵素に対応するように赤色のカラーフィルタが設けられ、ソース線 COL_rj を介してディスプレイソースドライバ3から赤色の画像データが供給されることにより、赤色の絵素として機能する。また、ゲート線 GL_i とソース線 COL_gj との交点に接続された薄膜トランジスタ $M1_g$ によって駆動される絵素は、この絵素に対応するように緑色のカラーフィルタが設けられ、ソース線 COL_gj を介してディスプレイソースドライバ3から緑色の画像データが供給されることにより、緑色の絵素として機能する。さらに、ゲート線 GL_i とソース線 COL_bj との交点に接続された薄膜トランジスタ $M1_b$ によって駆動される絵素は、この絵素に対応するように青色のカラーフィルタが設けられ、ソース線 COL_bj を介してディスプレイソースドライバ3から青色の画像データが供給されることにより、青色の絵素として機能する。
- [0031] なお、図2の例では、光センサは、画素領域1において、1画素（3絵素）に1つの割合で設けられている。ただし、画素と光センサの配置割合は、この例のみに限定されず、任意である。例えば、1絵素につき1つの光センサが配置されていても良いし、複数画素に対して1つの光センサが配置された構成であっても良い。
- [0032] 光センサは、図2に示すように、フォトダイオード $D1$ と、コンデンサ C_{NT} と、薄膜トランジスタ $M2$ とを備えている。フォトダイオード $D1$ としては、例えば、ラテラル構造または積層構造のPN接合またはPIN接合ダイオードを用いることが可能である。フォトダイオード $D1$ を備えた光センサは、受光量に応じたセンサ信号を出力する光検出用センサとして機能する。
- [0033] また、本実施形態にかかる表示装置は、画素領域の一部の画素内に、前記光検出用センサに遮光膜が追加された構成を有しオフセット成分に応じたセンサ信号を出力する参照用センサを備えている。
- [0034] 図3Aは、フォトダイオード $D1$ を備えた光検出用センサの等価回路図で

ある。図3Bは、フォトダイオードD2を備えた参照用センサの等価回路図である。図3Aおよび図3Bから分かるように、参照用センサは、遮光膜LSを備えている点を除いて、光検出用センサと同じ構成を有する。なお、光検出用センサのフォトダイオードD1と、参照用センサのフォトダイオードD2とは、互いに同じI-V特性を有するように設計されている。また、遮光膜LSは、フォトダイオードD2において、少なくとも光検知部を覆うように設けられていることが必要である。遮光膜LSは、参照用センサの回路全体、または、参照用センサを含む画素全体を覆うように設けられていても良い。

[0035] 画素領域1において、参照用センサを設ける位置および参照用センサの数は、それぞれ任意である。例えば、画素領域1の周縁部の画素に参照用センサを配置しても良い。または、画素領域1の行方向または列方向における一端部または両端部の画素に、参照用センサを配置しても良い。あるいは、画素領域1の全体に、光検出用センサと参照用センサとが規則的に配置された構成としても良い。

[0036] 図2の例では、ソース線COLrが、センサカラムドライバ4から定電圧 V_{DD} を光センサへ供給するための配線VDDを兼ねている。また、ソース線COLgが、センサ出力用の配線OUTを兼ねている。

[0037] フォトダイオードD1のアノードには、リセット信号を供給するためのリセット信号配線RSTが接続されている。フォトダイオードD1のカソードは、薄膜トランジスタM2のゲートと、コンデンサ C_{INT} の電極の一方との間に接続されている。

[0038] 薄膜トランジスタM2のドレインは配線VDDに接続され、ソースは配線OUTに接続されている。リセット信号配線RST及び読み出し信号配線RWSは、センサロウドライバ5に接続されている。これらのリセット信号配線RST及び読み出し信号配線RWSは1行毎に設けられているので、以降、各配線を区別する必要がある場合は、リセット信号配線 RST_i 及び読み出し信号配線 RWS_i ($i = 1 \sim M$) のように表記する。

- [0039] センサロウドライバ5は、所定の時間間隔 (t_{row}) で、図2に示したリセット信号配線 RST_i と読み出し信号配線 RWS_i との組を順次選択していく。これにより、画素領域1において信号電荷を読み出すべき光センサの行 (row) が順次選択される。
- [0040] 図2に示すように、配線 OUT の端部には、絶縁ゲート型電界効果トランジスタである、薄膜トランジスタ $M3$ のドレインが接続されている。薄膜トランジスタ $M3$ のドレインには、出力配線 $SOUT$ が接続され、薄膜トランジスタ $M3$ のドレインの電位 V_{SOUT} が、光センサからの出力信号としてセンサカラムドライバ4へ出力される。薄膜トランジスタ $M3$ のソースは、配線 VSS に接続されている。薄膜トランジスタ $M3$ のゲートは、参照電圧配線 VB を介して、参照電圧電源（図示せず）に接続されている。
- [0041] ここで、図4および図5を参照し、本実施形態にかかる光センサの動作について説明する。なお、フォトダイオード $D1$ を備えた光検出用センサと、フォトダイオード $D2$ を備えた参照用センサとは、フォトダイオード $D2$ が外光を受光しない点においてのみ相違するので、以下の説明においては、主として、フォトダイオード $D1$ を有する光検出用センサの動作例を説明する。
- [0042] 図4は、光センサへリセット信号配線 RST から供給されるリセット信号と読み出し信号配線 RWS から供給される読み出し信号の波形をそれぞれ示すタイミングチャートである。図5は、第1の実施形態の光センサにおける入力信号（リセット信号、読み出し信号）と V_{INT} との関係を示す波形図である。
- [0043] 図4に示す例では、リセット信号 RST のハイレベル $V_{RST, H}$ は定電圧 V_{SS} （例えば0V）、ローレベル $V_{RST, L}$ は定電圧 V_{SSR} （例えば-4V）である。また、読み出し信号 RWS のハイレベル $V_{RWS, H}$ は定電圧 V_{DD} （例えば8V）、ローレベル $V_{RWS, L}$ は定電圧 V_{DDR} （例えば0V）である。なお、図4の例では、リセット信号のハイレベル $V_{RST, H}$ (V_{SSS}) と読み出し信号のローレベル $V_{RWS, L}$ (V_{DDR}) が同電位（0V）であるものとした。ただし、

これらの電圧例はあくまでも一例であり、各レベルの電位は適宜に設定することができる。

[0044] まず、センサロウドライバ5からリセット信号配線RSTへ供給されるリセット信号がローレベル（−4V）から立ち上がってハイレベル（0V）になると、フォトダイオードD1は順方向バイアスとなる。このとき、薄膜トランジスタM2のゲート電極の電位 V_{INT} は薄膜トランジスタM2の閾値電圧より低いので、薄膜トランジスタM2は非導通状態となっている。このリセット時における接続点INTの電位 V_{INT} は、下記の式（1）で表される。

$$[0045] \quad V_{INT} = V_{RST, H} - V_F \quad \dots (1)$$

[0046] 式（1）において、 $V_{RST, H}$ は、リセット信号のハイレベルである0Vであり、 V_F はフォトダイオードD1の順方向電圧である。このときの V_{INT} はトランジスタM2の閾値電圧より低いので、トランジスタM2はリセット期間において非導通状態となっている。

[0047] 次に、リセット信号がローレベル $V_{RST, L}$ に戻るにより、光電流の積分期間（ t_{INT} ）が始まる。積分期間においては、フォトダイオードD1が設けられた光検出用センサでは、入射光によって生じる光電流 I_{PHOTO} と暗電流 I_{DARK} との和がコンデンサ C_{INT} から流れ出し、コンデンサ C_{INT} を放電させる。これにより、フォトダイオードD1が設けられた光検出用センサでは、積分期間の終了時における接続点INTの電位 V_{INT} は、下記の式（2）で表される。 ΔV_{RST} は、リセット信号のパルスの振幅（ $V_{RST, H} - V_{RST, L}$ ）であり、 C_{PD} はフォトダイオードD1の容量である。 C_T は、接続点INTの総容量である。すなわち、 C_T は、コンデンサ C_{INT} の容量 C_{INT} と、フォトダイオードD1の容量 C_{PD} と、トランジスタM2の容量 C_{TFT} との総和に等しい。

$$[0048] \quad V_{INT} = V_{RST, H} - V_F - \Delta V_{RST} \cdot C_{PD} / C_T \\ - (I_{PHOTO} + I_{DARK}) \cdot t_{INT} / C_T \quad \dots (2)$$

[0049] 一方、フォトダイオードD2が設けられた参照用センサにおいては、上記の式（2）において光電流 I_{PHOTO} の成分がゼロであり、暗電流 I_{DARK} のみがコンデンサ C_{INT} を放電させる。なお、積分期間においても、 V_{INT} がトラ

ンジスタM2の閾値電圧より低いので、トランジスタM2は非導通状態となっている。

[0050] 積分期間が終わると、図4に示すように、読み出し信号RWSが立ち上がることにより、読み出し期間が始まる。ここで、コンデンサ C_{INT} に対して電荷注入が起こる。この結果、接続点INTの電位 V_{INT} は、下記の式(3)で表される。

$$[0051] \quad V_{INT} = V_{RST.H} - V_F - (I_{PHOTO} + I_{DARK}) \cdot t_{INT} / C_T \\ + \Delta V_{RWS} \cdot C_{INT} / C_T \quad \dots (3)$$

[0052] ΔV_{RWS} は、読み出し信号のパルスの振幅($V_{RWS.H} - V_{RWS.L}$)である。これにより、接続点INTの電位 V_{INT} がトランジスタM2の閾値電圧よりも高くなる。そのため、トランジスタM2は導通状態となり、各列において配線OUTの端部に設けられているバイアストラジスタM3と共に、ソースフォロアアンプとして機能する。すなわち、フォトダイオードD1を備えた光検出用センサからは、薄膜トランジスタM3のドレインからの出力配線SOUTからの出力信号電圧 V_{out_D1} として、積分期間にフォトダイオードD1へ入射した光による光電流 I_{PHOTO} と暗電流 I_{DARK} との和の積分値を増幅した電圧が得られる。また、フォトダイオードD2を備えた参照用センサからは、薄膜トランジスタM3のドレインからの出力配線SOUTからの出力信号電圧 V_{out_D2} として、積分期間における暗電流 I_{DARK} の積分値を増幅した電圧が得られる。

[0053] なお、図5において、実線で示した波形は、外光が入射した場合の、フォトダイオードD1を有する光検出用センサにおける電位 V_{INT} の変化を表している。波線で示した波形は、フォトダイオードD2を有する参照用センサにおける電位 V_{INT} の変化を表す。破線で示した参照用センサの電位 V_{INT} の変化において、リセットレベル(図5の例では0V)からの電位 V_{INT} の降下分が、暗電流等に伴うオフセット成分に相当する。

[0054] 本実施形態にかかる表示装置は、図6に示す補償回路60を備えている。補償回路60は、図6の例ではアクティブマトリクス基板100の外部(例

例えば信号処理回路 8 内) に設けられているが、センサロウドライバ 5 内に設けることもできる。補償回路 60 は、オフセット比較回路 61 と、RWS 生成回路 62 (駆動信号生成回路) とを備えている。オフセット比較回路 61 は、参照用光センサからの出力信号電圧 V_{out_D2} と、予め定められた標準オフセット値とを比較してその乖離度合いを求め、求めた乖離度合いに応じた制御信号を RWS 生成回路 62 へ出力する。RWS 生成回路 62 は、オフセット比較回路 61 からの制御信号に基づいて、読み出し信号 (RWS) の振幅を制御する。

[0055] より詳しい具体例を説明すると以下のとおりである。オフセット比較回路 61 は、例えば温度や照度などの周囲環境を所定の条件に設定したときに、参照用光センサから得られる出力信号電圧 V_{out_D2} を A/D 変換して得られた値を、標準オフセット値として、例えば工場出荷前等において予めメモリに格納している。なお、この標準オフセット値を得るときの温度や照度については、特に制限はない。ただし、照度については、照度に対するセンサ出力特性が線形を示す (光がまったく入射しない 0ルクスも含む) ことが好ましい。

[0056] オフセット比較回路 61 は、出力信号電圧 V_{out_D2} (参照用センサからの出力) を入力し、これを A/D 変換して得られた値 (階調データ) と、前記の標準オフセット値との乖離度合いを求める。オフセット比較回路 61 には、例えば、前記の階調データと標準オフセット値との乖離度合いを入力とした場合に、読み出し信号の振幅の調整値を制御信号として出力する、関数またはルックアップテーブルが記憶されている。オフセット比較回路 61 は、この関数またはテーブルを用いて、参照用センサの出力信号電圧 V_{out_D2} の階調データと標準オフセット値との乖離度合いに応じた制御信号 (読み出し信号の振幅の調整値) を出力する。

[0057] なお、補償回路 60 による読み出し信号の振幅の調整は、1 フレーム毎に行っても良いし、表示装置の起動時の他、所定の時間間隔で行う等、その実行タイミングに特に制限はない。

- [0058] 図7は、補償回路60によって調整された後の読み出し信号の一例を示す波形図である。図7に示すように、RWS生成回路62は、読み出し信号のハイレベル $V_{RWS, H}$ の電位を、補正前（図4参照）の V_{DD} に対して α だけ高くすることにより、読み出し信号の振幅（ $V_{RWS, H} - V_{RWS, L}$ ）を α だけ大きくする。このオフセット電位 α が、オフセット比較回路61によって、参照用センサの出力信号電圧 V_{out_D2} と標準オフセット値との乖離度合いに応じて決定される値である。
- [0059] 図8は、読み出し信号のハイレベル $V_{RWS, H}$ の電位が V_{DD} である場合の V_{INT} の電位変化（破線）と、読み出し信号のハイレベル $V_{RWS, H}$ の電位が（ $V_{DD} + \alpha$ ）である場合の V_{INT} の電位変化（実線）とを表す信号波形図である。図8に示すように、読み出し信号のハイレベル $V_{RWS, H}$ の電位を（ $V_{DD} + \alpha$ ）に設定することで、 V_{INT} の電位は、オフセット α に相当する電圧 ΔV だけ上昇する。なお、電圧 ΔV の大きさは、上記の式（3）によれば、厳密には（ $\alpha \cdot C_{INT} / C_T$ ）である。
- [0060] 以上のとおり、出力信号電圧 V_{out_D2} の階調データと標準オフセット値との乖離度合いに応じて読み出し信号のハイレベル $V_{RWS, H}$ の電位を（ $V_{DD} + \alpha$ ）に設定することにより、出力信号電圧 V_{out_D1} として、暗電流等に起因するオフセットが解消された信号を得ることができる。
- [0061] また、本実施形態によれば、従来のように光検出用センサの出力から参照用センサの出力を差し引く必要がないので、センサ出力のダイナミックレンジが狭まるという問題は生じない。これにより、環境温度に影響されことなく外光の強度を高精度に検出でき、しかもダイナミックレンジの広い光センサを備えた表示装置を実現することが可能となる。
- [0062] なお、図7の例においては、読み出し信号のハイレベル $V_{RWS, H}$ の電位を V_{DD} から（ $V_{DD} + \alpha$ ）に変更することにより、読み出し信号の振幅を α だけ大きくした。しかし、図9に示すように、読み出し信号のローレベル $V_{RWS, L}$ の電位を V_{SSR} から（ $V_{SSR} - \alpha$ ）に変更することによっても、読み出し信号の振幅を α だけ大きくすることができるので、同じ効果が得られる。

[0063] なお、本実施形態では、前述したように、ソース線 COL_r 、 COL_g を光センサ用の配線 VDD 、 OUT として共用しているので、図10に示すように、ソース線 COL_r 、 COL_g 、 COL_b を介して表示用の画像データ信号を入力するタイミングと、センサ出力を読み出すタイミングとを区別する必要がある。図10の例では、水平走査期間において表示用画像データ信号の入力が終わった後に、水平ブランキング期間等を利用してセンサ出力の読み出しが行われる。すなわち、表示用画像データ信号の入力が終わった後に、ソース線 COL_r には定電圧 V_{DD} が印加される。なお、図10の $HSYNC$ は、水平同期信号を示している。

[0064] センサカラムドライバ4は、図1に示すように、センサ画素読み出し回路41と、センサカラムアンプ42と、センサカラム走査回路43とを含む。センサ画素読み出し回路41には、画素領域1からセンサ出力 V_{SOUT} を出力する出力配線 $SOUT$ （図2参照）が接続されている。図1において、出力配線 $SOUT_j$ （ $j = 1 \sim N$ ）により出力されるセンサ出力を、 V_{SOUT_j} と表記している。センサ画素読み出し回路41は、センサ出力 V_{SOUT_j} のピークホールド電圧 V_{S_j} を、センサカラムアンプ42へ出力する。センサカラムアンプ42は、画素領域1の N 列の光センサにそれぞれ対応する N 個のカラムアンプを内蔵しており、個々のカラムアンプでピークホールド電圧 V_{S_j} （ $j = 1 \sim N$ ）を増幅し、 V_{COUT} としてバッファアンプ6へ出力する。センサカラム走査回路43は、センサカラムアンプ42のカラムアンプをバッファアンプ6への出力へ順次接続するために、カラムセレクト信号 CS_j （ $j = 1 \sim N$ ）を、センサカラムアンプ42へ出力する。

[0065] ここで、図11および図12を参照し、画素領域1からセンサ出力 V_{SOUT} が読み出された後のセンサカラムドライバ4およびバッファアンプ6の動作について説明する。図11は、センサ画素読み出し回路41の内部構成を示す回路図である。図12は、読み出し信号 V_{RWS} と、センサ出力 V_{SOUT} と、センサ画素読み出し回路の出力 V_S との関係を示す波形図である。前述のように、読み出し信号がハイレベル V_{RWS_H} になったとき、薄膜トランジスタ $M2$

が導通することにより、薄膜トランジスタM2, M3によりソースフォロアアンプが形成され、センサ出力 V_{SOUT} がセンサ画素読み出し回路41のサンプルキャパシタ C_{SAM} に蓄積される。これにより、読み出し信号がローレベル V_{RWS_L} になった後も、その行の選択期間(t_{row})中、センサ画素読み出し回路41からセンサカラムアンプ42への出力電圧 V_s は、図12に示すように、センサ出力 V_{SOUT} のピーク値と等しいレベルに保持される。

[0066] 次に、センサカラムアンプ42の動作について、図13を参照しながら説明する。図13に示すように、センサ画素読み出し回路41から、各列の出力電圧 V_{sj} ($j = 1 \sim N$) が、センサカラムアンプ42のN個のカラムアンプへ入力される。図13に示すように、各カラムアンプは、薄膜トランジスタM6, M7を備えている。センサカラム走査回路43によって生成されるカラムセレクト信号 CS_j が、1つの行の選択期間(t_{row})中に、N列のカラムのそれぞれに対して順次ONとなることにより、センサカラムアンプ42中のN個のカラムアンプのうちいずれか1つのみの薄膜トランジスタM6がONとなり、その薄膜トランジスタM6を介して、各列の出力電圧 V_{sj} ($j = 1 \sim N$) のいずれかのみが、センサカラムアンプ42からの出力 V_{COUT} として出力される。バッファアンプ6は、センサカラムアンプ42から出力された V_{COUT} をさらに増幅し、パネル出力(光センサ信号) V_{out} として信号処理回路8へ出力する。

[0067] なお、センサカラム走査回路43は、上述のように光センサの列を1列ずつ走査するようにしても良いが、これに限定されず、光センサの列をインタレース走査する構成としても良い。また、センサカラム走査回路43が、例えば4相等の多相駆動走査回路として形成されていても良い。

[0068] 以上の構成により、本実施形態にかかる表示装置は、画素領域1において画素毎に形成されたフォトダイオードD1の受光量に応じたパネル出力 V_{OUT} を得る。パネル出力 V_{OUT} は、信号処理回路8に送られてA/D変換され、パネル出力データとしてメモリ(図示せず)に蓄積される。つまり、このメモリには、画素領域1の画素数(光センサ数)と同数のパネル出力データが蓄

積されることとなる。信号処理回路8では、メモリに蓄積されたパネル出力データを用いて、画像取り込みやタッチ領域の検出等の各種信号処理を行う。なお、本実施形態では、信号処理回路8のメモリに、画素領域1の画素数（光センサ数）と同数のパネル出力データを蓄積するものとしたが、メモリ容量等の制約により、必ずしも画素数と同数のパネル出力データを蓄積することを要しない。

[0069] 以上のとおり、本実施形態では、出力信号電圧 V_{out_D2} の階調データと標準オフセット値との乖離度合いに応じて、読み出し信号の振幅を調整する。これにより、調整後の読み出し信号に基づいて駆動された光検出用センサからの出力信号電圧 V_{out_D1} として、暗電流等に起因するオフセットが解消された信号を得ることができる。

[0070] また、本実施形態によれば、従来のように光検出用センサの出力から参照用センサの出力を差し引く必要がないので、センサ出力のダイナミックレンジが狭まるという問題は生じない。これにより、環境温度に影響されことなく外光の強度を高精度に検出でき、しかもダイナミックレンジの広い光センサを備えた表示装置を実現できる。

[第2の実施形態]

[0071] 以下、本発明の第2の実施形態について説明する。第1の実施形態と同じ機能を有する構成については、第1の実施形態で用いた参照符号と同じ符号を付記し、その説明を省略する。後述する他の実施形態等においても同様とする。

[0072] 本実施形態にかかる表示装置は、光センサの容量として可変容量を用いる点と、補償回路60が、読み出し信号の振幅ではなく、読み出し信号のローレベルの電位を調整する点とにおいて、第1の実施形態にかかる表示装置と異なっている。

[0073] 図14は、第2の実施形態にかかる光検出用センサの等価回路図である。図14に示すように、本実施形態にかかる光検出用センサは、容量 C_{INT} が可変容量である点において、第1の実施形態にかかる光検出用センサと異なっ

ている。また、図示は省略するが、本実施形態にかかる参照用センサも、容量 C_{INT} として、光検出用センサと同じ可変容量を備えている。可変容量としては、例えば、pチャネルMOSキャパシタまたはnチャネルMOSキャパシタ等を用いることができる。

[0074] 図15は、本実施形態の可変容量 C_{INT} のC-V特性図である。図15において、横軸は可変容量 C_{INT} の電極間電圧 V_{CAP} 、縦軸は静電容量を表す。図15に示すように、可変容量 C_{INT} は、電極間電圧 V_{CAP} が小さい間は一定の静電容量を有するが、電極間電圧 V_{CAP} の閾値の前後で静電容量が急峻に変化する特性を有する。したがって、配線RWSから供給される読み出し信号の電位によって、可変容量 C_{INT} の特性を動的に変化させることができる。このような特性を有する可変容量 C_{INT} を用いることにより、本実施形態にかかる光センサは、図16に示すように、積分期間 t_{INT} における蓄積ノードの電位変化を増幅して読み出すことができる。

[0075] 図16の例は、あくまでも一具体例であるが、リセット信号のローレベル $V_{RST.L}$ が $-1.4V$ であり、リセット信号のハイレベル $V_{RST.H}$ が $0V$ である。また、読み出し信号のローレベル $V_{RWS.L}$ が $-3V$ 、読み出し信号のハイレベル $V_{RWS.H}$ が $12V$ である。図16においても、実線で示した波形は、フォトダイオードD1に光の入射が少ない場合の電位 V_{INT} の変化を表し、破線で示した波形は、フォトダイオードD1に飽和レベルの光が入射した場合の電位 V_{INT} の変化を表し、 ΔV_{SIG} がフォトダイオードD1へ入射した光の量に比例した電位差である。本実施形態にかかる光センサでは、飽和レベルの光が入射した場合の積分期間 t_{INT} における蓄積ノードの電位変化は比較的小さいが、読み出し期間において（読み出し信号の電位がハイレベル $V_{RWS.H}$ である間）、この蓄積ノードの電位 V_{INT} が増幅して読み出される。

[0076] ここで、図17を参照しながら、本実施形態にかかる光センサによる読み出し動作の詳細について説明する。図17は、積分期間の最後から読み出し期間にかけての蓄積ノードの電位 V_{INT} の変化を示す波形図である。図17において、実線で示した波形w1は、フォトダイオードD1に光の入射が少な

い場合の電位 V_{INT} の変化を表し、破線で示した波形 w_2 は、フォトダイオード D_1 に光が入射した場合の電位 V_{INT} の変化を表している。また、時刻 t_0 は、配線 RWS から供給される読み出し信号がローレベル $V_{RWS, L}$ からの立ち上がりを開始する時刻であり、時刻 t_2 は、読み出し信号がハイレベル $V_{RWS, H}$ へ到達する時刻である。時刻 t_s は、トランジスタ M_2 がオンになってセンサ出力のサンプリングが行われる時刻である。時刻 t_1 は、読み出し信号が可変容量 C_{INT} の閾値電圧 V_{off} に到達する時刻である。時刻 t_1' は、フォトダイオード D_1 に光が入射している場合（波形 w_2 の場合）に、読み出し信号が可変容量 C_{INT} の閾値電圧 V_{off} に到達する時刻である。すなわち、可変容量 C_{INT} は、読み出し配線 RWS から供給される電位と閾値電圧 V_{off} との大小関係によって、その動作特性が変わる。

[0077] 図 18A および図 18B は、可変容量 C_{INT} を p チャネル MOS キャパシタで構成した場合の、この可変容量 C_{INT} におけるゲート電極の電位に応じた、電荷の移動の違いを示す断面模式図である。可変容量 C_{INT} は、図 18A および図 18B に示すように、ゲート電極 111 と、シリコン膜に形成された n 領域 107 と、その間に設けられた絶縁膜（図示せず）によって構成される。図 18A および図 18B に示す領域 112 は、n 型シリコン膜に対して例えばボロン等の p 型不純物をドーピングして形成された p+ 領域である。

[0078] 図 17、図 18A、および図 18B に示すように、時刻 t_1 よりも前の時刻においては、可変容量 C_{INT} は常にオン状態であり、時刻 t_1 以降はオフ状態となる。すなわち、配線 RWS の電位が閾値電圧 V_{off} 以下の間は、図 18A に示すようにゲート電極 111 下の電荷 Q_{inj} の移動が生じる。一方、配線 RWS の電位が閾値電圧 V_{off} を超えると、図 18B に示すようにゲート電極 111 下の電荷 Q_{inj} の移動がなくなる。以上より、読み出し配線 RWS から供給される読み出し信号の電位がハイレベル $V_{RWS, H}$ へ到達した後のサンプル時刻 t_s における蓄積ノードの電位 $V_{INT}(t_s)$ は、下記の式に示すとおりとなる。なお、図 16 に示した ΔV_{INT} は、 $V_{INT}(t_0)$ と $V_{INT}(t_s)$ との差分に相当し、 Q_{inj}/C_{INT} に等しい。

[0079] [数1]

$$\begin{aligned}
 V_{INT}(t_S) &= V_{INT}(t_0) + \frac{Q_{inj}}{C_{TOTAL}} \\
 &= V_{INT}(t_0) + \int \frac{C_{INT}}{C_{TOTAL}} \cdot dV \\
 &= V_{INT}(t_0) + \left[\int_{V_{RWS}(L)}^{V_{off}} \frac{C_{INT}}{C_{INT} + C_{TFT} + C_{DIODE}} \cdot dV + \int_{V_{off}}^{V_{RWS}(H)} \frac{C_{INT}'}{C_{INT}' + C_{TFT} + C_{DIODE}} \cdot dV \right]
 \end{aligned}$$

ただし、 $C_{INT} = C_{par} + C_{gate}$

$$C_{INT}' = C_{par} + \frac{C_{gate} \cdot C_j}{C_{gate} + C_j}$$

[0080] 図17に示したように、本実施形態にかかる光センサ（光検出用センサ）によれば、積分期間の終期における $\Delta V_{SIG}(t_0)$ が、 $\Delta V_{SIG}(t_1)$ まで増幅される。これにより、積分期間終了時点における受光面の照度の差による蓄積ノードの電位差よりも、突き上げ後の電位差の方が大きくなる。例えば、暗状態の場合の積分期間終了時点の蓄積ノードの電位と、飽和レベルの光が入射した場合の積分期間終了時点の蓄積ノードの電位との電位差よりも、前記暗状態の場合の読み出し期間における突き上げ後の蓄積ノードの電位と、飽和レベルの光が入射した場合の読み出し期間における突き上げ後の蓄積ノードの電位との電位差の方が大きくなる。したがって、感度が高く、かつS/N比も高い光センサを実現することができる。

[0081] なお、本実施形態における参照用センサにおいては、外光を受光しないよう遮光されているので、温度変化や周囲光（バックライト光等）または経時変化による暗電流成分のみが検出されることとなる。

[0082] 図19は、本実施形態にかかる補償回路70の概略構成を示すブロック図である。補償回路70は、図19の例ではアクティブマトリクス基板100の外部（例えば信号処理回路8内）に設けられているが、センサロウドライバ5内に設けることもできる。補償回路70は、オフセット比較回路61と

、RWS__L生成回路72とを備えている。オフセット比較回路61は、参照用光センサからの出力信号電圧 V_{out_D2} と、予め定められた標準オフセット値とを比較してその乖離度合いを求め、求めた乖離度合いに応じた制御信号をRWS__L生成回路72へ出力する。RWS__L生成回路72は、オフセット比較回路61からの制御信号に基づいて、読み出し信号（RWS）のローレベルの電位（ V_{RWS_L} ）を制御する。具体的には、参照用センサの出力信号 V_{out_D2} と標準オフセット値との乖離度合いに応じて、 V_{RWS_L} の電位を α だけ下げる。すなわち、このオフセット電位 α が、オフセット比較回路61によって、参照用センサの出力信号 V_{out_D2} と標準オフセット値との乖離度合いに応じて決定される値である。

[0083] 図20は、補償回路70による補正前の V_{INT} の電位変化（破線）と、読み出し信号のローレベル V_{RWS_L} の電位が α だけ下げられた場合の V_{INT} の電位変化（実線）とを表す信号波形図である。図20に示すように、読み出し信号のローレベル V_{RWS_L} の電位を α だけ下げることによって、 V_{INT} の電位は、オフセット α に相当する電圧 ΔV だけ上昇する。

[0084] 以上のとおり、本実施形態では、出力信号電圧 V_{out_D2} の階調データと標準オフセット値との乖離度合いに応じて、読み出し信号のローレベルの電位を調整する。これにより、その後の積分期間においては、調整後の読み出し信号に基づいて駆動された光検出用センサからの出力信号電圧 V_{out_D1} として、暗電流等に起因するオフセットが解消された信号を得ることができる。

[0085] また、本実施形態によれば、従来のように光検出用センサの出力から参照用センサの出力を差し引く必要がないので、センサ出力のダイナミックレンジが狭まるという問題は生じない。これにより、環境温度に影響されことなく外光の強度を高精度に検出でき、しかもダイナミックレンジの広い光センサを備えた表示装置を実現できる。

[第3の実施形態]

[0086] 以下、本発明の第3の実施形態について説明する。

[0087] 本実施形態にかかる表示装置において、光センサ（光検出用センサおよび参照用センサ）の構成は、第１の実施形態と同様である。ただし、本実施形態にかかる表示装置は、補償回路の構成が第１の実施形態と異なっている。すなわち、第１の実施形態に開示した、読み出し信号の振幅を調整する補償回路６０の代わりに、本実施形態にかかる表示装置は、リセット信号のハイレベルの電位を調整する補償回路８０を備えている。

[0088] 図２１は、本実施形態の補償回路８０の概略構成を示すブロック図である。補償回路８０は、図２１の例ではアクティブマトリクス基板１００の外部（例えば信号処理回路８内）に設けられているが、センサロウドライバ５内に設けることもできる。補償回路８０は、オフセット比較回路６１と、 RST_H 生成回路８２とを備えている。オフセット比較回路６１は、参照用光センサからの出力信号電圧 V_{out_D2} と、予め定められた標準オフセット値とを比較してその乖離度合いを求め、求めた乖離度合いに応じた制御信号を RST_H 生成回路８２へ出力する。 RST_H 生成回路８２は、オフセット比較回路６１からの制御信号に基づいて、リセット信号のハイレベルの電位（ V_{RST_H} ）を調整する。

[0089] 図２２は、補償回路８０によって調整された後の読み出し信号の一例を示す波形図である。図２２に示すように、 RST_H 生成回路８２は、リセット信号のハイレベルの電位 V_{RST_H} を、補正前（図４参照）の V_{SSS} に対して α だけ高くする。このオフセット電位 α が、オフセット比較回路６１によって、参照用センサの出力信号電圧 V_{out_D2} と標準オフセット値との乖離度合いに応じて決定される値である。

[0090] 図２３は、リセット信号のハイレベル V_{RST_H} の電位が V_{SSS} である場合の V_{INT} の電位変化（破線）と、リセット信号のハイレベル V_{RST_H} の電位が（ $V_{SSS} + \alpha$ ）である場合の V_{INT} の電位変化（実線）とを表す信号波形図である。図２３に示すように、リセット信号のハイレベルの電位 V_{RST_H} を（ $V_{SSS} + \alpha$ ）に設定することで、 V_{INT} の電位は、オフセット α に相当する電圧 ΔV だけ上昇する。

[0091] 以上のとおり、出力信号電圧 V_{out_D2} の階調データと標準オフセット値との乖離度合いに応じてリセット信号のハイレベル V_{RST_H} の電位を($V_{SS} + \alpha$)に設定することにより、出力信号電圧 V_{out_D1} として、暗電流等に起因するオフセットが解消された信号を得ることができる。

[0092] また、本実施形態によれば、従来のように光検出用センサの出力から参照用センサの出力を差し引く必要がないので、センサ出力のダイナミックレンジが狭まるという問題は生じない。これにより、環境温度に影響されことなく外光の強度を高精度に検出でき、しかもダイナミックレンジの広い光センサを備えた表示装置を実現することが可能となる。

[第3の実施形態の変形例1]

[0093] 第3の実施形態として上記に説明した回路構成の変形例として、以下のような構成も可能である。図24は、第3の実施形態の変形例1にかかる表示装置における一画素の構成を示す等価回路図である。図24に示すように、変形例1にかかる表示装置の光センサは、フォトダイオードD1、コンデンサ C_{INT} 、および薄膜トランジスタM2に加えて、薄膜トランジスタM4をさらに備えている。なお、画素領域1の一部の画素において、フォトダイオードD1の代わりに、遮光膜LSを備えたフォトダイオードD2が設けられた参照用センサを有している点は、第3の実施形態と同様である。

[0094] 変形例1にかかる光センサにおいては、コンデンサ C_{INT} の一方の電極が、フォトダイオードD1のカソードと薄膜トランジスタM2のゲート電極との間に接続され、コンデンサ C_{INT} の他方の電極は、配線VDDに接続されている。また、薄膜トランジスタM2のドレインは配線VDDに接続され、ソースは薄膜トランジスタM4のドレインに接続されている。薄膜トランジスタM4のゲートは、読み出し信号配線RWSに接続されている。薄膜トランジスタM4のソースは、配線OUTに接続されている。なお、この例では、コンデンサ C_{INT} の電極の一つと、薄膜トランジスタM2のドレインとが、共通の定電圧配線（配線VDD）に接続されている構成を示したが、これらが互いに異なる定電圧配線に接続された構成であっても構わない。

[0095] ここで、変形例 1 にかかる光センサの動作について、図 2 5 および図 2 6 を参照しながら説明する。

[0096] 図 2 5 は、光センサへリセット信号配線 RST から供給されるリセット信号と読み出し信号配線 RWS から供給される読み出し信号の波形をそれぞれ示すタイミングチャートである。図 2 6 は、変形例 1 の光センサにおける、リセット期間、積分期間、および読み出し期間のそれぞれにおける V_{INT} の変化を示す波形図である。なお、図 2 6 において、破線は、リセット信号のハイレベル電位を補正する前の V_{INT} の変化、実線は補正後の V_{INT} の変化を示す。

[0097] リセット信号のハイレベル $V_{RST, H}$ は、薄膜トランジスタ M2 がオン状態になる電位に設定される。図 2 5 に示す例では、リセット信号のハイレベル $V_{RST, H}$ は V_{DD1} に等しく、ローレベル $V_{RST, L}$ は V_{DDR1} に等しい。また、読み出し信号のハイレベル $V_{RWS, H}$ が V_{DD2} に等しく、ローレベル $V_{RWS, L}$ が V_{DDR2} に等しい。ただし、これらの電圧例はあくまでも一例であり、各レベルの電位は適宜に設定することができる。

[0098] まず、センサロウドライバ 5 からリセット信号配線 RST へ供給されるリセット信号がローレベルから立ち上がってハイレベルになると、フォトダイオード D1 は順方向バイアスとなる。このとき、薄膜トランジスタ M2 はオン状態となるが、読み出し信号がローレベルであり、薄膜トランジスタ M4 がオフ状態なので、配線 OUT への出力はない。

[0099] 次に、リセット信号がローレベル $V_{RST, L}$ (すなわち V_{DDR1}) に戻ることで、光電流の積分期間 (図 2 5 および図 2 6 に示す期間 t_{INT}) が始まる。積分期間においては、フォトダイオードにより電流がコンデンサ C_{INT} から流れ出し、コンデンサ C_{INT} を放電させる。このとき、フォトダイオード D1 を有する画素においては、入射光によって生じる光電流 I_{PHOTO} と暗電流 I_{DARK} との和がコンデンサ C_{INT} から流れ出す。一方、フォトダイオード D2 を有する画素においては、暗電流 I_{DARK} のみコンデンサ C_{INT} から流れ出す。

[0100] 積分期間においても、 V_{INT} は、リセット電位から入射光の強さに応じて降

下していく。しかし、薄膜トランジスタM4がオフ状態のため、配線OUTへのセンサ出力はない。なお、検出したい照度の上限値の光がフォトダイオードD1に照射された場合にセンサ出力が最も小さくなるように、すなわち、この場合に薄膜トランジスタM2のゲート電極の電位 (V_{INT}) が閾値をわずかに超える値となるように、センサ回路を設計することが望ましい。このように設計すれば、検出したい照度の上限値を超える光がフォトダイオードD1へ照射された場合には、 V_{INT} の値が薄膜トランジスタM2の閾値よりも低くなって薄膜トランジスタM2がオフ状態となるので、配線OUTへのセンサ出力はない。

[0101] 積分期間が終わると、図25に示すように、読み出し信号が立ち上がることにより、読み出し期間が始まる。読み出し信号がハイレベルになることにより、薄膜トランジスタM4がオン状態になる。それにより、薄膜トランジスタM2からの出力が薄膜トランジスタM4を通じて配線OUTへ出力される。このとき、薄膜トランジスタM2は、各列において配線OUTの端部に設けられているバイアス用の薄膜トランジスタM3と共に、ソースフォロアアンプとして機能する。すなわち、フォトダイオードD1を備えた光検出用センサからは、薄膜トランジスタM3のドレインからの出力配線SOUTからの出力信号電圧 V_{out_D1} として、積分期間にフォトダイオードD1へ入射した光による光電流 I_{PHOTO} と暗電流 I_{DARK} との和の積分値を増幅した電圧が得られる。また、フォトダイオードD2を備えた参照用センサからは、薄膜トランジスタM3のドレインからの出力配線SOUTからの出力信号電圧 V_{out_D2} として、積分期間における暗電流 I_{DARK} の積分値を増幅した電圧が得られる。

[0102] この変形例1においても、第3の実施形態において説明したとおり、補償回路80において、フォトダイオードD2を備えた参照用センサからの出力信号電圧 V_{out_D2} に基づいてリセット信号のハイレベルの電位を、オフセットに相当する分 (α) だけ高くする調整を行う。すなわち、図26に示すように、リセット信号のハイレベルの電位 V_{RST_H} を ($V_{DD1} + \alpha$) に

設定することで、 V_{INT} の電位は、オフセット α に相当する電圧 ΔV だけ上昇する。

[0103] 以上のとおり、出力信号電圧 V_{out_D2} の階調データと標準オフセット値との乖離度合いに応じてリセット信号のハイレベル V_{RST_H} の電位を($V_{DD1} + \alpha$)に設定することにより、出力信号電圧 V_{out_D1} として、暗電流等に起因するオフセットが解消された信号を得ることができる。

[0104] この結果、変形例1においても、第3の実施形態と同様に、環境温度に影響されることなく外光の強度を高精度に検出でき、かつ、ダイナミックレンジの広い光センサ出力を得ることができる。

[第4の実施形態]

[0105] 第4の実施形態について以下に説明する。図27は、第4の実施形態にかかる表示装置における一画素の構成を示す等価回路図である。図27に示すように、変形例2にかかる表示装置の光センサは、フォトダイオードD1、コンデンサ C_{INT} 、および薄膜トランジスタM2に加えて、薄膜トランジスタM4、M5をさらに備えている。なお、画素領域1の一部の画素において、フォトダイオードD1を備えた光検出用センサの代わりに、遮光膜LSを備えたフォトダイオードD2を有する参照用センサが設けられている点は、第1の実施形態と同様である。

[0106] 第4の実施形態の光センサにおいては、コンデンサ C_{INT} の一方の電極が、フォトダイオードD1のカソードと薄膜トランジスタM2のゲートとの間に接続されている。コンデンサ C_{INT} の他方の電極は、GNDに接続されている。薄膜トランジスタM2のドレインは配線VDDに接続され、ソースは薄膜トランジスタM4のドレインに接続されている。薄膜トランジスタM4のゲートは、読み出し信号配線RWSに接続されている。薄膜トランジスタM4のソースは、配線OUTに接続されている。薄膜トランジスタM5のゲートは、リセット信号配線RSTに接続され、ドレインは配線REFに接続され、ソースはフォトダイオードD1のカソードに接続されている。配線REFは、リセットレベル電位 V_{REF} を供給する。

- [0107] ここで、本実施形態にかかる光センサの動作について説明する。なお、本実施形態の光センサにおいて、リセット信号配線 RST から供給されるリセット信号と読み出し信号配線 RWS から供給される読み出し信号の波形は、第 3 の実施形態の変形例 1 において参照した図 25 と同じである。図 29 は、本実施形態の光センサにおける、リセット期間、積分期間、および読み出し期間のそれぞれにおける V_{INT} の変化を示す波形図である。図 29 において、破線はリセットレベル電位 V_{REF} を補正する前の V_{INT} の変化、実線は補正後の V_{INT} の変化を示す。
- [0108] リセット信号のハイレベル $V_{RST, H}$ は、薄膜トランジスタ M5 がオン状態になる電位に設定される。図 25 に示す例では、リセット信号のハイレベル $V_{RST, H}$ は V_{DD1} に等しく、ローレベル $V_{RST, L}$ は V_{DDR1} に等しい。また、読み出し信号のハイレベル $V_{RWS, H}$ が V_{DD2} に等しく、ローレベル $V_{RWS, L}$ が V_{DDR2} に等しい。ただし、これらの電圧例はあくまでも一例であり、各レベルの電位は適宜に設定することができる。
- [0109] 最初に、センサロウドライバ 5 からリセット信号配線 RST へ供給されるリセット信号がローレベルから立ち上がってハイレベルになると、薄膜トランジスタ M5 がオン状態となる。これにより、電位 V_{INT} が V_{REF} にリセットされる。
- [0110] 次に、リセット信号がローレベル $V_{RST, L}$ (すなわち V_{DDR1}) に戻ることににより、光電流の積分期間が始まる。このとき、リセット信号がローレベルになることにより薄膜トランジスタ M5 がオフ状態となる。ここで、フォトダイオード D1 のアノード電位は GND、カソードの電位は $V_{INT} = V_{REF}$ であるので、フォトダイオード D1 に逆バイアスが印加される。積分期間においては、フォトダイオード D1 により電流がコンデンサ C_{INT} から流れ出し、コンデンサ C_{INT} を放電させる。このとき、フォトダイオード D1 を備えた光検出用センサにおいては、入射光によって生じる光電流 I_{PHOTO} と暗電流 I_{DARK} との和がコンデンサ C_{INT} から流れ出す。一方、フォトダイオード D2 を備えた参照用センサにおいては、暗電流 I_{DARK} がコンデンサ C_{INT} から流れ

出す。フォトダイオードD 1を備えた光検出用センサにおいては、積分期間において、 V_{INT} は、リセット電位（この例では $V_{RST, H} = V_{REF}$ ）から入射光の強さに応じて降下していく。しかし、薄膜トランジスタM 4がオフ状態のため、配線OUTへのセンサ出力はない。なお、検出したい照度の上限値の光がフォトダイオードD 1に照射された場合にセンサ出力が最も小さくなるように、すなわち、この場合に薄膜トランジスタM 2のゲート電極の電位（ V_{INT} ）が閾値をわずかに超える値となるように、センサ回路を設計することが望ましい。このように設計すれば、検出したい照度の上限値を超える光がフォトダイオードD 1へ照射された場合には、 V_{INT} の値が薄膜トランジスタM 2の閾値よりも低くなって薄膜トランジスタM 2がオフ状態となるので、配線OUTへのセンサ出力はない。

[0111] 積分期間が終わると、図25に示すように、読み出し信号が立ち上がることにより、読み出し期間が始まる。読み出し信号がハイレベルになることにより、薄膜トランジスタM 4がオン状態になる。それにより、薄膜トランジスタM 2からの出力が薄膜トランジスタM 4を通じて配線OUTへ出力される。このとき、薄膜トランジスタM 2は、各列において配線OUTの端部に設けられているバイアス用の薄膜トランジスタM 3と共に、ソースフォロアアンプとして機能する。すなわち、フォトダイオードD 1を備えた光検出用センサからは、薄膜トランジスタM 3のドレインからの出力配線SOUTからの出力信号電圧 V_{out_D1} として、積分期間にフォトダイオードD 1へ入射した光による光電流 I_{PHOTO} と暗電流 I_{DARK} との和の積分値を増幅した電圧が得られる。また、フォトダイオードD 2を備えた参照用センサからは、薄膜トランジスタM 3のドレインからの出力配線SOUTからの出力信号電圧 V_{out_D2} として、積分期間における暗電流 I_{DARK} の積分値を増幅した電圧が得られる。

[0112] 図28は、第4の実施形態にかかる表示装置が備える補償回路90の概略構成を示すブロック図である。補償回路90は、図28の例ではアクティブマトリクス基板100の外部（例えば信号処理回路8内）に設けられている

が、センサロウドライバ5内に設けることもできる。補償回路90は、オフセット比較回路61と、REF生成回路92とを備えている。オフセット比較回路61は、参照用光センサからの出力信号電圧 V_{out_D2} と、予め定められた標準オフセット値とを比較してその乖離度合いを求め、求めた乖離度合いに応じた制御信号をREF生成回路92へ出力する。REF生成回路92は、オフセット比較回路61からの制御信号に基づいて、配線REFから供給されるリセットレベル電位 V_{REF} を調整する。すなわち、REF生成回路92は、リセットレベル電位 V_{REF} をオフセットに応じた分(α)だけ高く設定する。

[0113] 図29は、リセットレベル電位 V_{REF} が調整される前の V_{INT} の電位変化（破線）と、リセットレベル電位 V_{REF} を α だけ高く調整した後の V_{INT} の電位変化（実線）とを表す信号波形図である。図29に示すように、リセットレベル電位 V_{REF} を α だけ高く設定することで、 V_{INT} の電位は、オフセット α に相当する電圧 ΔV だけ上昇する。

[0114] 以上のとおり、出力信号電圧 V_{out_D2} の階調データと標準オフセット値との乖離度合いに応じて、リセットレベル電位 V_{REF} を α だけ高く設定することにより、出力信号電圧 V_{out_D1} として、暗電流等に起因するオフセットが解消された信号を得ることができる。

[0115] また、本実施形態によれば、従来のように光検出用センサの出力から参照用センサの出力を差し引く必要がないので、センサ出力のダイナミックレンジが狭まるという問題は生じない。これにより、環境温度に影響されことなく外光の強度を高精度に検出でき、しかもダイナミックレンジの広い光センサを備えた表示装置を実現することが可能となる。

[第5の実施形態]

[0116] 第5の実施形態について以下に説明する。図30は、第5の実施形態にかかる表示装置における一画素の構成を示す等価回路図である。図30に示すように、この実施形態にかかる表示装置の光センサは、フォトダイオードD1、コンデンサ C_{INT} 、および薄膜トランジスタM2に加えて、薄膜トランジ

スタM5をさらに備えている。なお、画素領域1の一部の画素において、フォトダイオードD1を備えた光検出用センサの代わりに、遮光膜LSを備えたフォトダイオードD2を有する参照用センサが設けられている点は、第1の実施形態と同様である。

[0117] 第5の実施形態の光センサにおいては、コンデンサ C_{INT} の一方の電極が、フォトダイオードD1のカソードと薄膜トランジスタM2のゲートとの間に接続されている。コンデンサ C_{INT} の他方の電極は、読み出し信号配線RWSに接続されている。薄膜トランジスタM2のドレインは配線VDDに接続され、ソースは配線OUTに接続されている。薄膜トランジスタM5のゲートは、リセット信号配線RSTに接続され、ドレインは配線REFに接続され、ソースはフォトダイオードD1のカソードに接続されている。配線REFは、リセットレベル電位 V_{REF} を供給する。フォトダイオードD1のアノードは、定電圧を供給するCOMに接続されている。

[0118] 本実施形態の光センサにおいて、リセット信号配線RSTから供給されるリセット信号と読み出し信号配線RWSから供給される読み出し信号の波形は、第1の実施形態において参照した図4と同じである。また、本実施形態にかかる表示装置は、第1の実施形態において参照した図6に示す補償回路60を備えている。第1の実施形態と同様に、補償回路60は、アクティブマトリクス基板100の外部（例えば信号処理回路8内）またはセンサロウドライバ5内に設けることができる。

[0119] 本実施形態においても、補償回路60が、参照用センサからの出力信号電圧 V_{out_D2} をA/D変換して得られた値（階調データ）と、標準オフセット値との乖離度合いに応じて、読み出し信号の振幅を調整する。すなわち、補償回路60のRWS生成回路62は、第1の実施形態において図7を参照しながら説明したように、読み出し信号のハイレベル V_{RWS_H} の電位を、補正前（図4参照）の V_{DD} に対して α だけ高くすることにより、読み出し信号の振幅（ $V_{RWS_H} - V_{RWS_L}$ ）を α だけ大きくする。

[0120] これにより、第1の実施形態において図8を参照しながら説明したように

、読み出し信号のハイレベル $V_{RWS, H}$ の電位を $(V_{DD} + \alpha)$ に設定することで、 V_{INT} の電位は、オフセット α に相当する電圧 ΔV だけ上昇する。

[0121] 以上のとおり、出力信号電圧 V_{out_D2} の階調データと標準オフセット値との乖離度合いに応じて読み出し信号のハイレベル $V_{RWS, H}$ の電位を $(V_{DD} + \alpha)$ に設定することにより、出力信号電圧 V_{out_D1} として、暗電流等に起因するオフセットが解消された信号を得ることができる。

[0122] 本実施形態によっても、従来のように光検出用センサの出力から参照用センサの出力を差し引く必要がないので、センサ出力のダイナミックレンジが狭まるという問題は生じない。これにより、環境温度に影響されることなく外光の強度を高精度に検出でき、しかもダイナミックレンジの広い光センサを備えた表示装置を実現することが可能となる。

[0123] なお、ここでは、読み出し信号のハイレベル $V_{RWS, H}$ の電位を V_{DD} から $(V_{DD} + \alpha)$ に変更することにより、読み出し信号の振幅を α だけ大きくした。しかし、第1の実施形態において参照した図9に示すように、読み出し信号のローレベル $V_{RWS, L}$ の電位を V_{SSR} から $(V_{SSR} - \alpha)$ に変更することによっても、読み出し信号の振幅を α だけ大きくすることができるので、同じ効果が得られる。

[0124] あるいは、第4の実施形態と同様に、出力信号電圧 V_{out_D2} の階調データと標準オフセット値との乖離度合いに応じて、読み出し信号の振幅の代わりに、リセットレベル電位 V_{REF} を調整する構成としても良い。この場合、補償回路60の代わりに、第4の実施形態で参照した図28に示す補償回路90が設けられる。補償回路90を設けることにより、リセットレベル電位 V_{REF} を α だけ高く設定すれば、図31に示すように、リセット時の V_{INT} の電位は、オフセット α に相当する電圧だけ上昇する。これにより、読み出し時に、オフセットがキャンセルされた値が出力される。なお、図31において、実線はリセットレベル電位 V_{REF} の補正前の V_{INT} の電位変化を表し、破線は補正後の V_{INT} の電位変化を表す。

[第1～第5の実施形態についての変形例]

[0125] 以上、本発明についての第１～第５の実施形態を説明したが、本発明は上述の各実施形態にのみ限定されず、発明の範囲内で種々の変更が可能である。

[0126] 例えば、第１～第５の実施形態では、光センサに接続された配線ＶＤＤおよびＯＵＴが、ソース配線ＣＯＬと共用されている構成を例示した。この構成によれば、画素開口率が高いという利点がある。しかしながら、光センサ用の配線ＶＤＤおよびＯＵＴをソース配線ＣＯＬとは別個に設けた構成によっても、上記の各実施形態と同様の効果を得ることができる。

産業上の利用可能性

[0127] 本発明は、光センサ機能を有する表示装置として、産業上利用可能である。

請求の範囲

[請求項1] アクティブマトリクス基板の画素領域に光センサを備えた表示装置であって、

 前記光センサが、受光量に応じたセンサ信号を出力する光検出用センサと、前記光検出用センサに遮光膜が追加された構成を有しオフセット成分に応じたセンサ信号を出力する参照用センサとを含み、

 前記表示装置は、

 前記参照用センサから出力されたセンサ信号と標準オフセット値との乖離度合いを求めるオフセット比較回路と、

 前記オフセット比較回路で求められた前記乖離度合いに応じて前記光センサの駆動信号の電位を調整する駆動信号生成回路とを備えた、表示装置。

[請求項2]

 前記光センサが、

 受光素子と、

 前記受光素子からの出力電流を充放電する容量と、

 前記受光素子の一端と前記容量の一端との間に接続されたスイッチング素子と、

 当該受光素子の他端に接続され、リセット信号を供給するリセット信号配線と、

 当該容量の他端に接続され、読み出し信号を供給する読み出し信号配線とを備え、

 前記駆動信号生成回路が、前記読み出し信号のハイレベルおよびローレベルの少なくとも一方の電位を調整する、請求項1に記載の表示装置。

[請求項3]

 前記光センサが、

 受光素子と、

 前記受光素子からの出力電流を充放電する可変容量と、

 前記受光素子の一端と前記容量の一端との間に接続されたスイッチ

ング素子と、

当該受光素子の他端に接続され、リセット信号を供給するリセット信号配線と、

当該容量の他端に接続され、読み出し信号を供給する読み出し信号配線とを備え、

前記駆動信号生成回路が、前記読み出し信号のローレベルの電位を調整する、請求項 1 に記載の表示装置。

[請求項4]

前記光センサが、

受光素子と、

前記受光素子からの出力電流を充放電する容量と、

前記受光素子の一端と前記容量の一端との間に接続されたスイッチング回路と、

当該受光素子の他端に接続され、リセット信号を供給するリセット信号配線と、

前記光センサへ読み出し信号を供給する読み出し信号配線とを備え、

前記駆動信号生成回路が、前記リセット信号のハイレベルの電位を調整する、請求項 1 に記載の表示装置。

[請求項5]

前記スイッチング回路が、1つのトランジスタを備え、

前記読み出し信号配線が、前記容量の他端に接続されている、請求項 4 に記載の表示装置。

[請求項6]

前記スイッチング回路が、第 1 のトランジスタおよび第 2 のトランジスタを備え、

前記第 1 のトランジスタの制御電極が、前記受光素子の一端と前記容量の一端との間に接続され、

前記第 1 のトランジスタにおける前記制御電極以外の 2 つの電極の一方が、定電圧を供給する配線に接続され、

前記第 1 のトランジスタにおける前記制御電極以外の 2 つの電極の

他方が、第2のトランジスタにおける制御電極以外の2つの電極の一方に接続され、

前記第2のトランジスタにおける制御電極以外の2つの電極の他方が、前記センサ信号の出力配線に接続され、

前記第2のトランジスタの制御電極に、前記読み出し信号配線が接続され、

前記容量の他端が、定電圧を供給する配線に接続された、請求項4に記載の表示装置。

[請求項7]

前記スイッチング回路が、第1のトランジスタ、第2のトランジスタ、および第3のトランジスタを備え、

前記第1のトランジスタの制御電極が、前記受光素子の一端と前記容量の一端との間に接続され、

前記第1のトランジスタにおける前記制御電極以外の2つの電極の一方が、定電圧を供給する配線に接続され、

前記第1のトランジスタにおける前記制御電極以外の2つの電極の他方が、第2のトランジスタにおける制御電極以外の2つの電極の一方に接続され、

前記第2のトランジスタにおける制御電極以外の2つの電極の他方が、前記センサ信号の出力配線に接続され、

前記容量の他端が定電圧を供給する配線に接続され、

前記第2のトランジスタの制御電極に、前記読み出し信号配線が接続され、

前記第3のトランジスタの制御電極に、前記リセット信号配線が接続され、

前記第3のトランジスタの前記制御電極以外の2つの電極の一方が、前記受光素子の一端に接続され、

前記第3のトランジスタの前記制御電極以外の2つの電極の他方が、参照電圧を供給する配線に接続され、

前記駆動信号生成回路が、前記第3のトランジスタの前記参照電圧の電位を調整する、請求項1に記載の表示装置。

[請求項8]

前記スイッチング回路が、第1のトランジスタおよび第2のトランジスタを備え、

前記第1のトランジスタの制御電極が、前記受光素子の一端と前記容量の一端との間に接続され、

前記第1のトランジスタにおける前記制御電極以外の2つの電極の一方が、定電圧を供給する配線に接続され、

前記第1のトランジスタにおける前記制御電極以外の2つの電極の他方が、前記センサ信号の出力配線に接続され、

前記容量の他端が、前記読み出し信号配線に接続され、

前記第2のトランジスタの制御電極に、前記リセット信号配線が接続され、

前記第2のトランジスタの前記制御電極以外の2つの電極の一方が、前記受光素子の一端に接続され、

前記第2のトランジスタの前記制御電極以外の2つの電極の他方が、参照電圧を供給する配線に接続され、

前記駆動信号生成回路が、前記読み出し信号のハイレベルおよびローレベルの少なくとも一方の電位を調整する、請求項1に記載の表示装置。

[請求項9]

前記スイッチング回路が、第1のトランジスタおよび第2のトランジスタを備え、

前記第1のトランジスタの制御電極が、前記受光素子の一端と前記容量の一端との間に接続され、

前記第1のトランジスタにおける前記制御電極以外の2つの電極の一方が、定電圧を供給する配線に接続され、

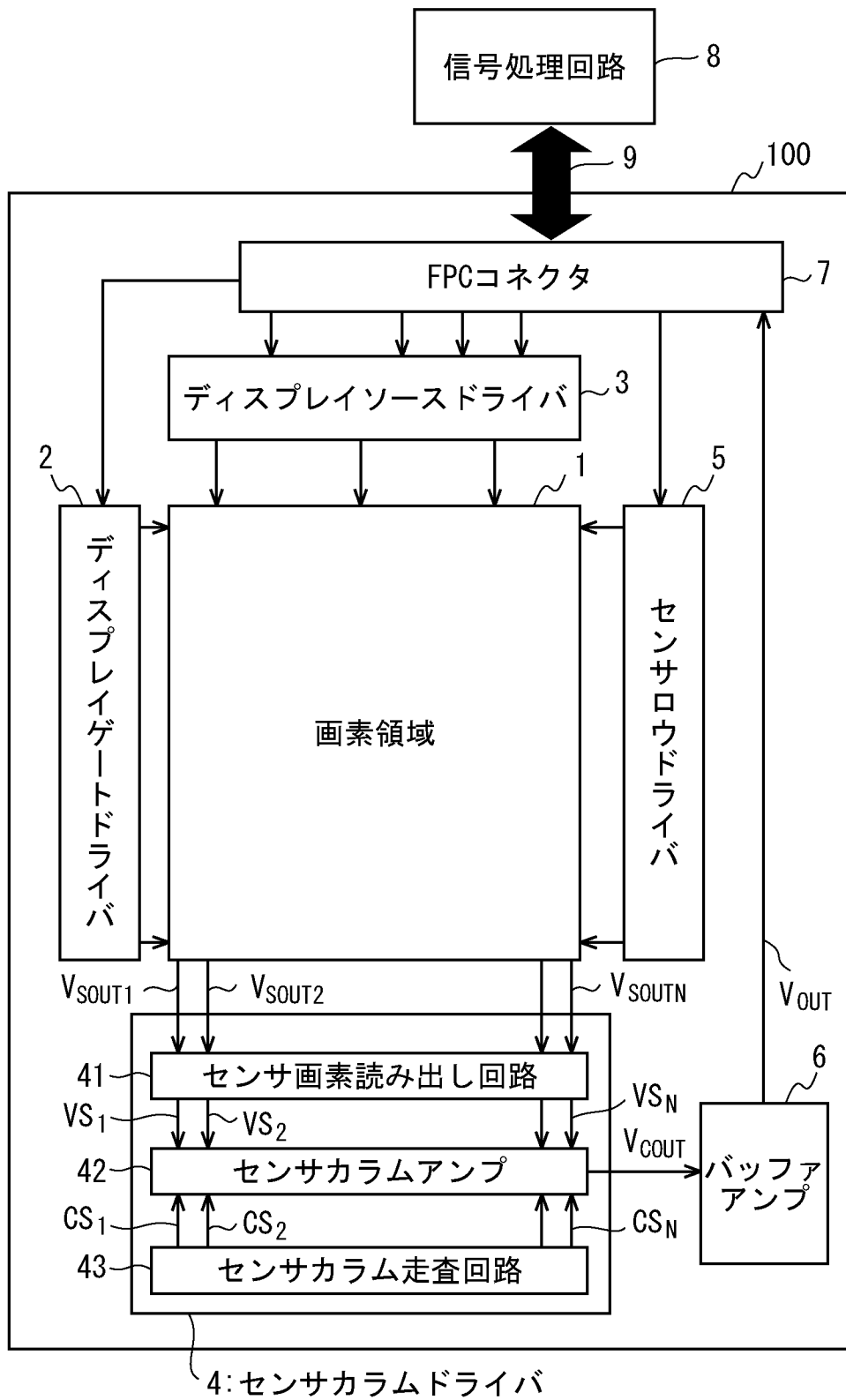
前記第1のトランジスタにおける前記制御電極以外の2つの電極の他方が、前記センサ信号の出力配線に接続され、

前記容量の他端が、前記読み出し信号配線に接続され、
前記第 2 のトランジスタの制御電極に、前記リセット信号配線が接続され、
前記第 2 のトランジスタの前記制御電極以外の 2 つの電極の一方が、前記受光素子の一端に接続され、
前記第 2 のトランジスタの前記制御電極以外の 2 つの電極の他方が、参照電圧を供給する配線に接続され、
前記駆動信号生成回路が前記参照電圧の電位を調整する、請求項 1 に記載の表示装置。

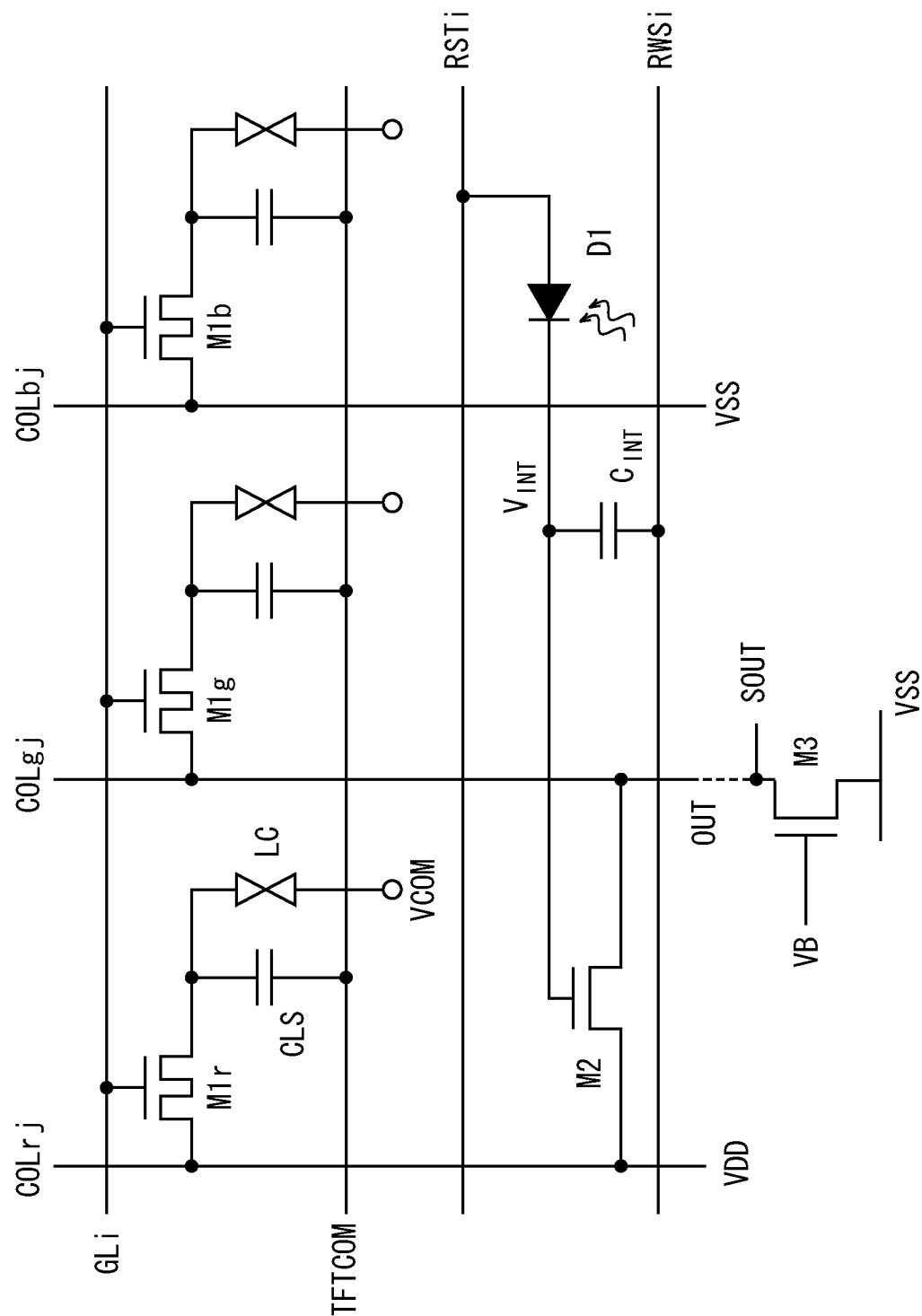
[請求項10]

前記アクティブマトリクス基板に対向する対向基板と、
前記アクティブマトリクス基板と対向基板との間に挟持された液晶とをさらに備えた、請求項 1 ～ 9 のいずれか一項に記載の表示装置。

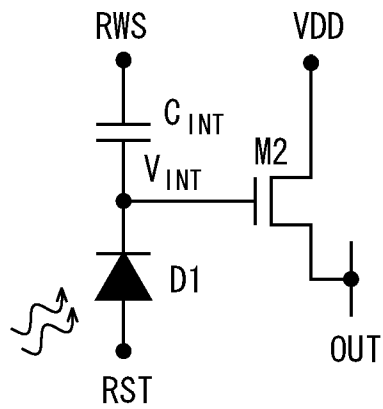
[図1]



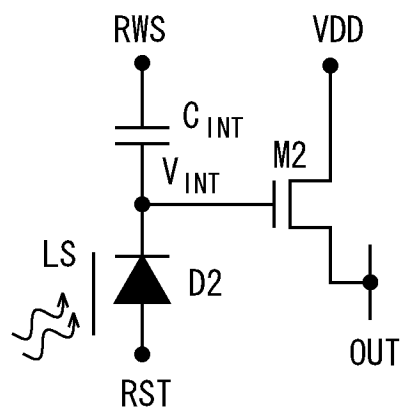
[図2]



[図3A]

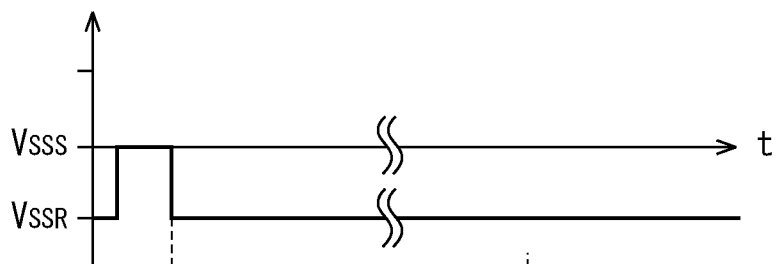


[図3B]

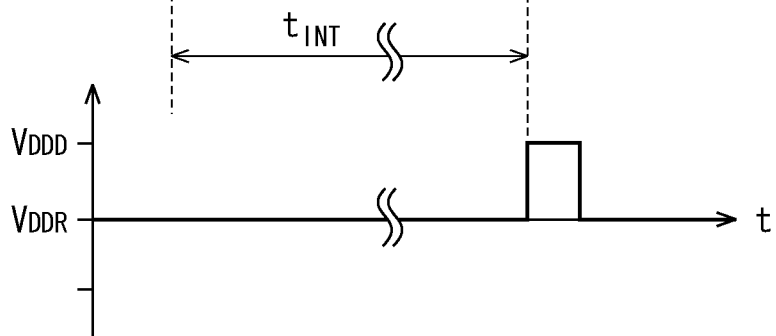


[図4]

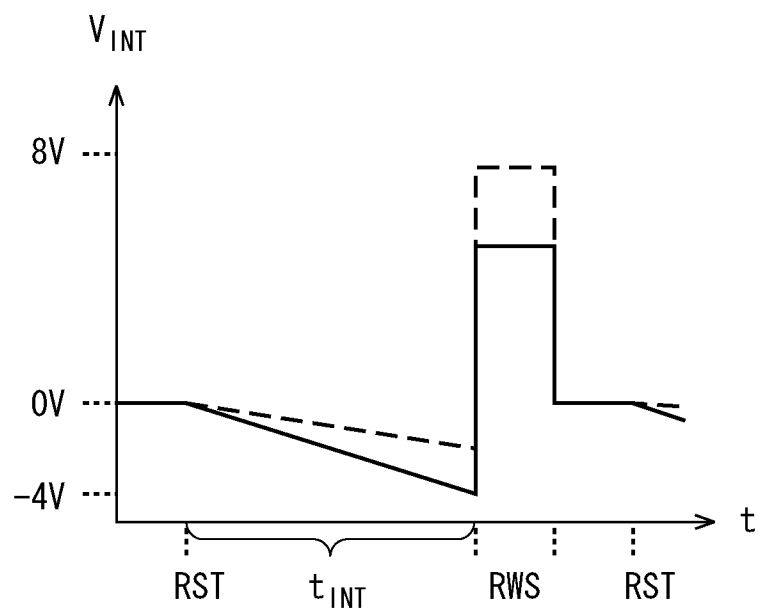
RST:



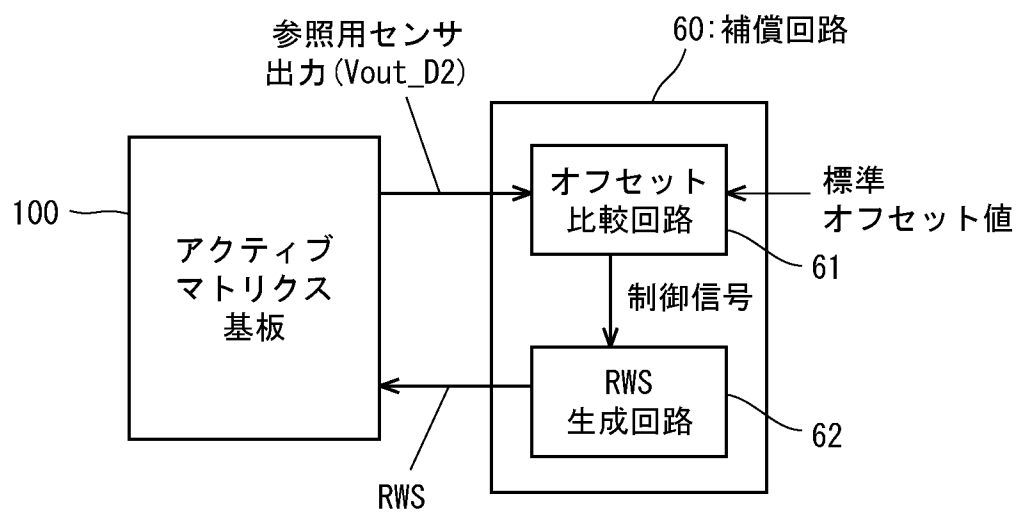
RWS:



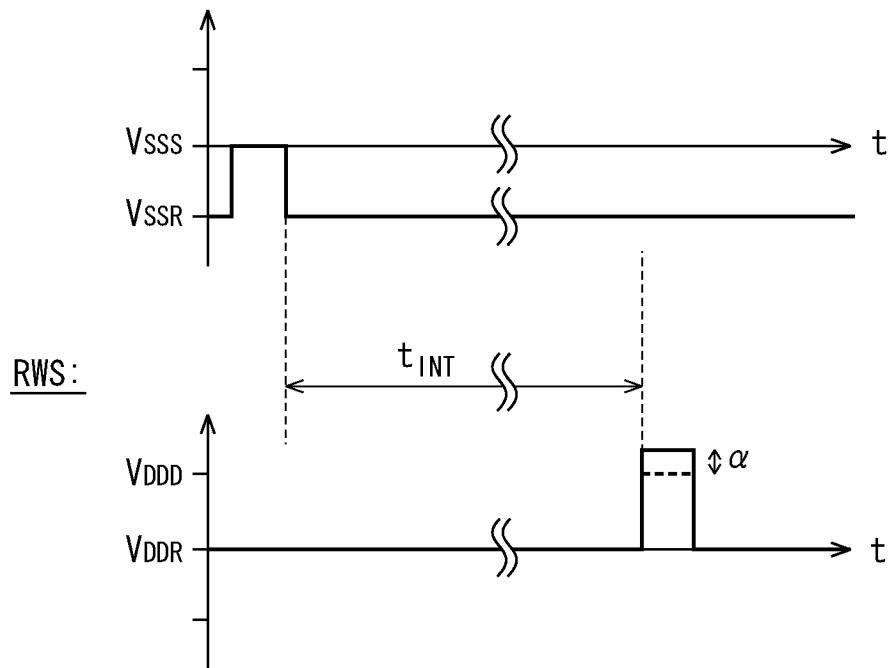
[図5]



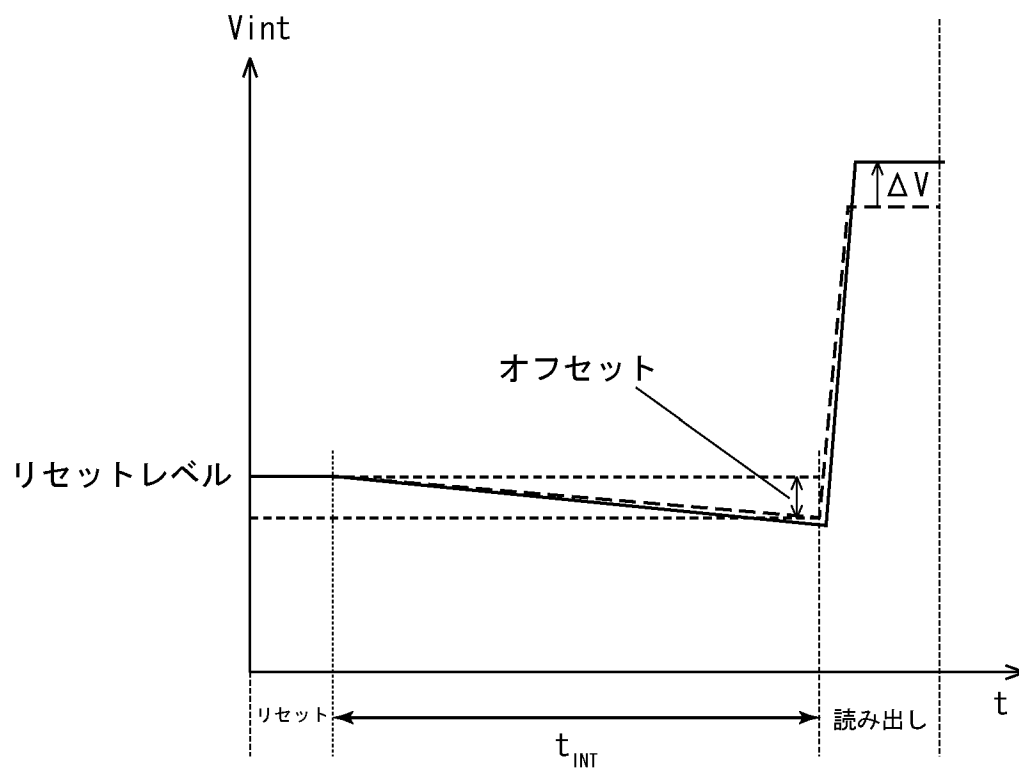
[図6]



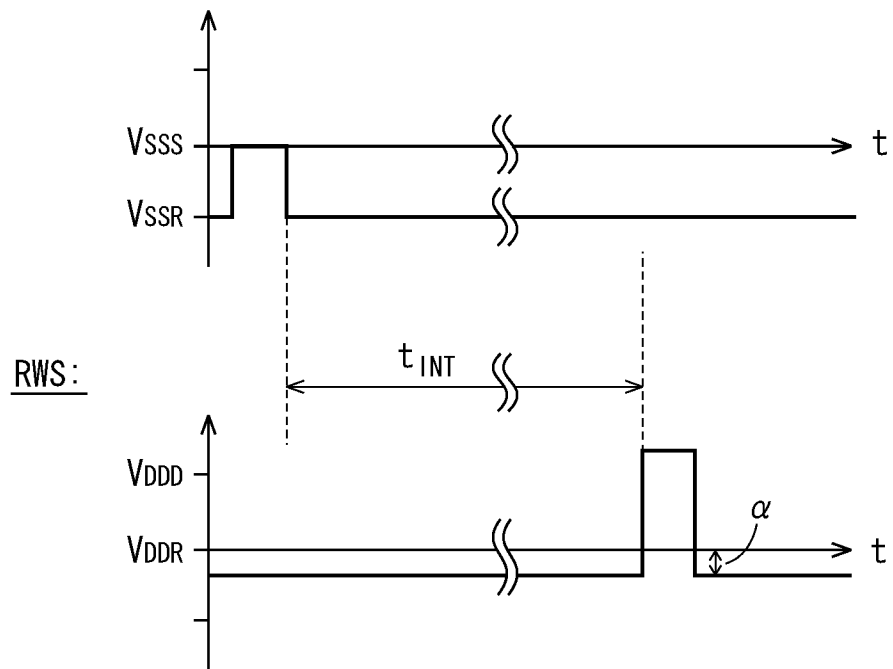
[図7]

RST:

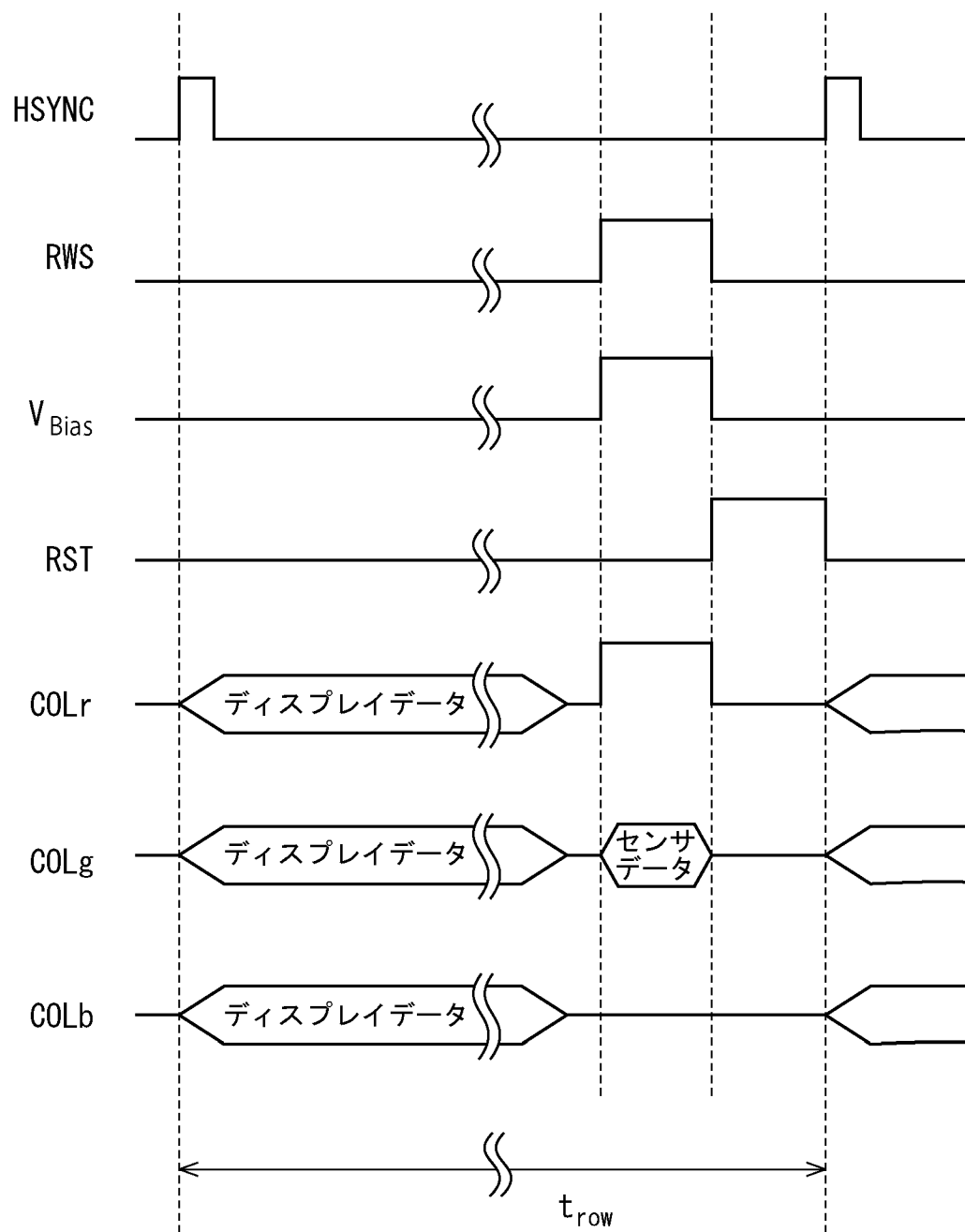
[図8]



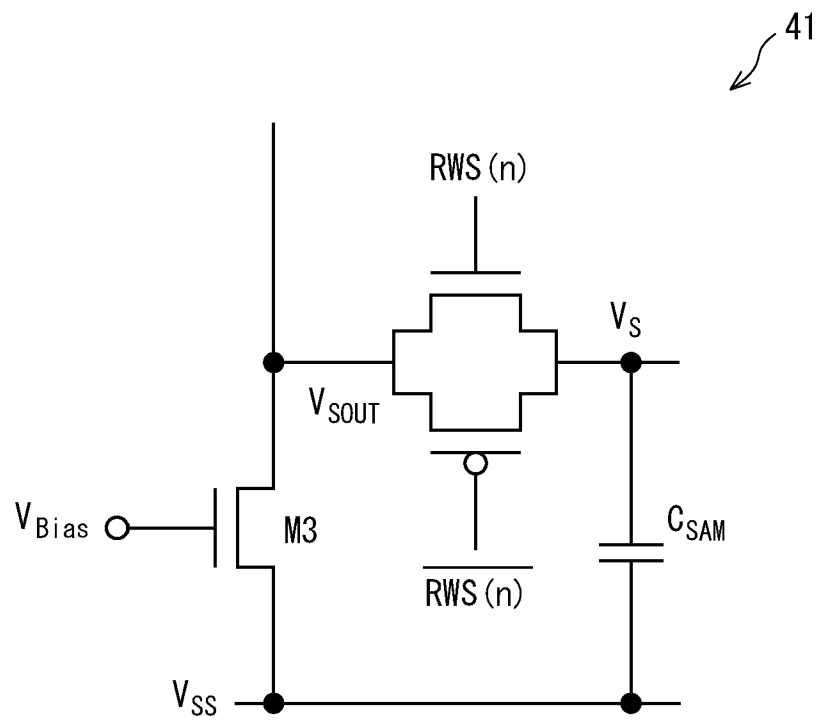
[図9]

RST:

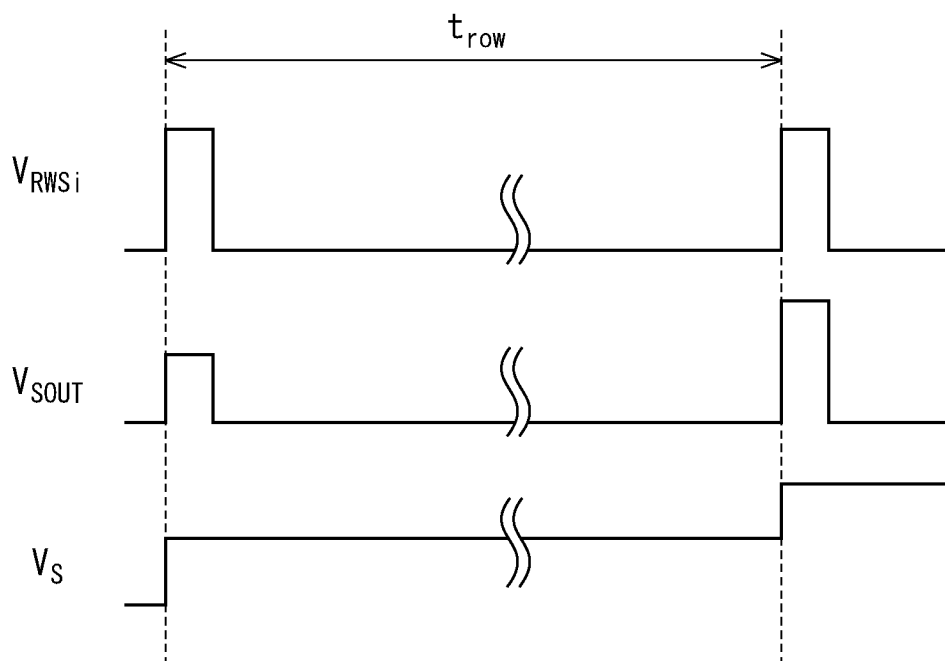
[図10]



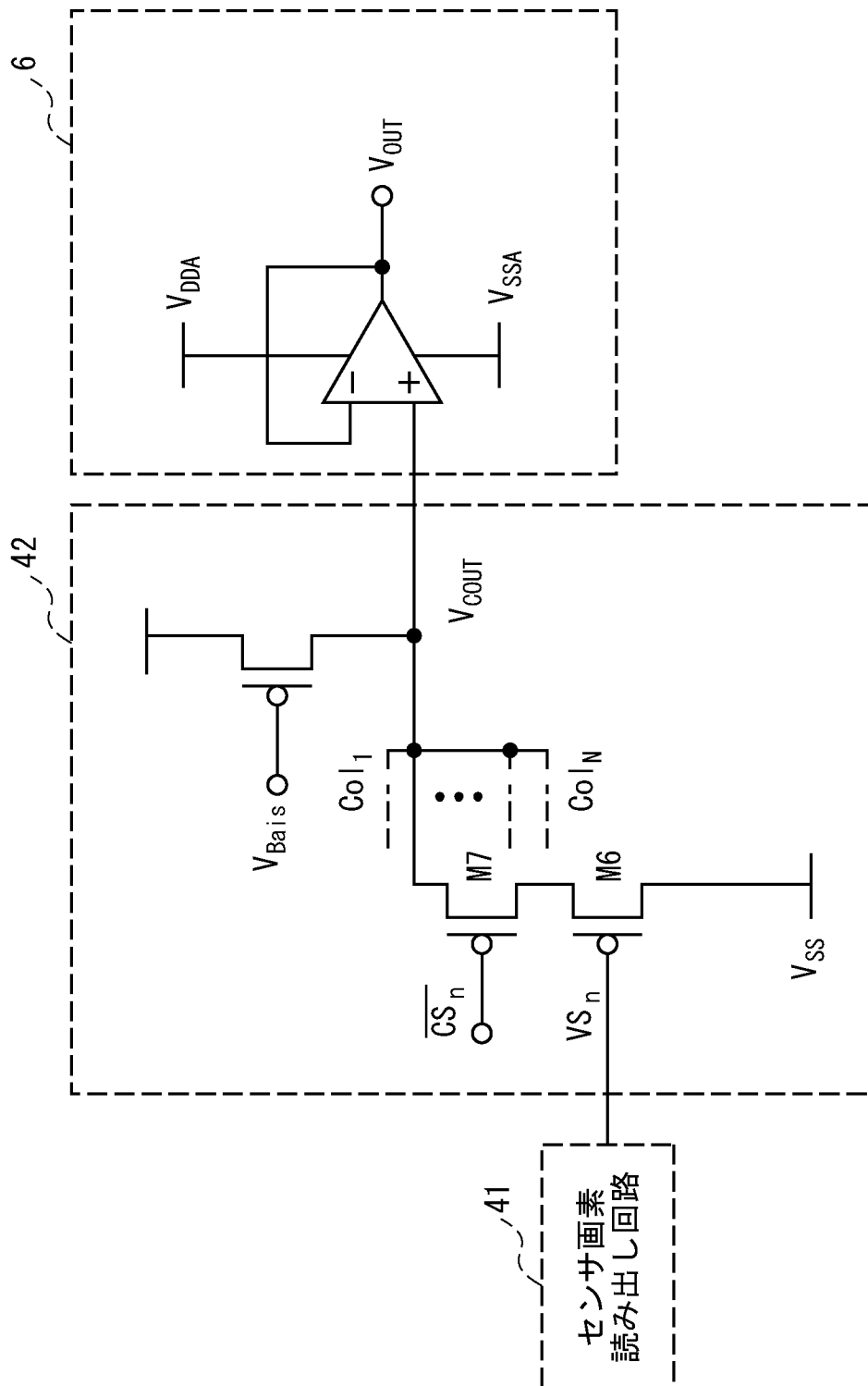
[図11]



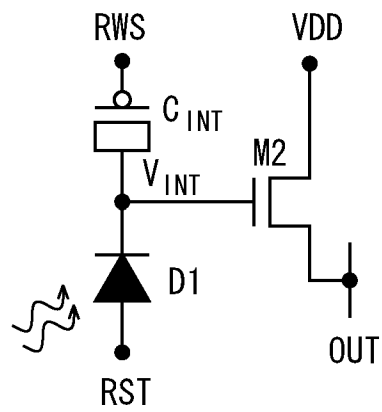
[図12]



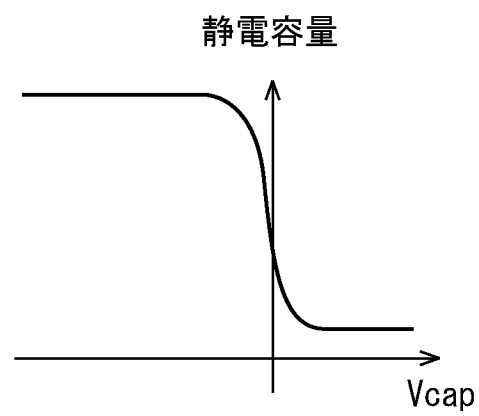
[図13]



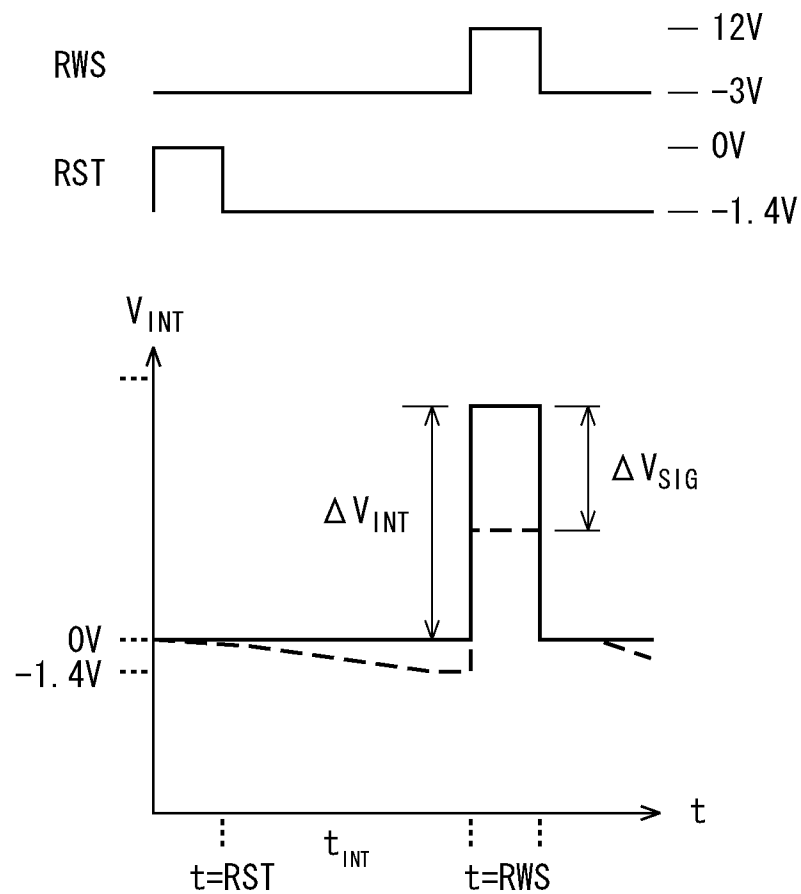
[図14]



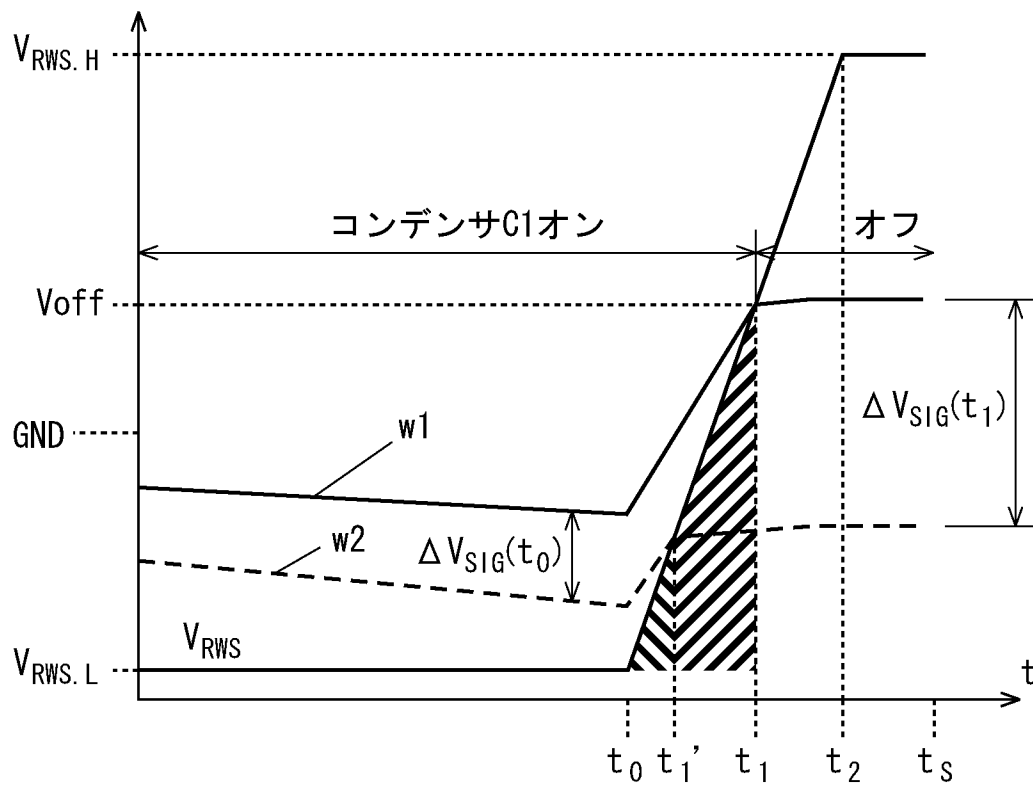
[図15]



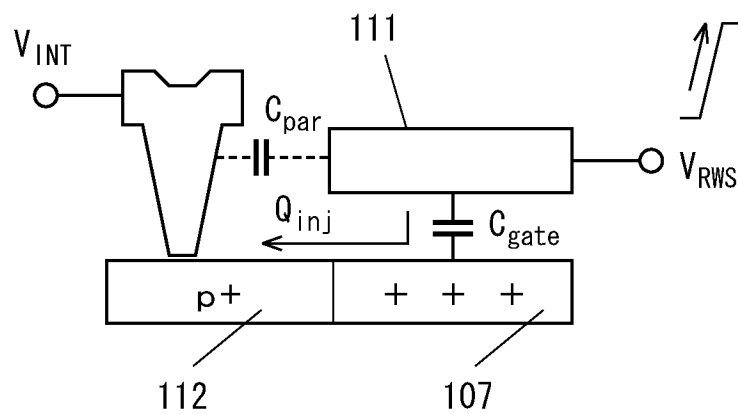
[図16]



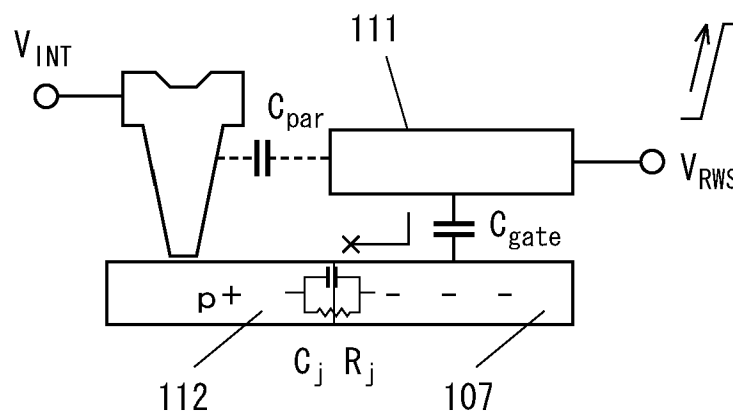
[図17]



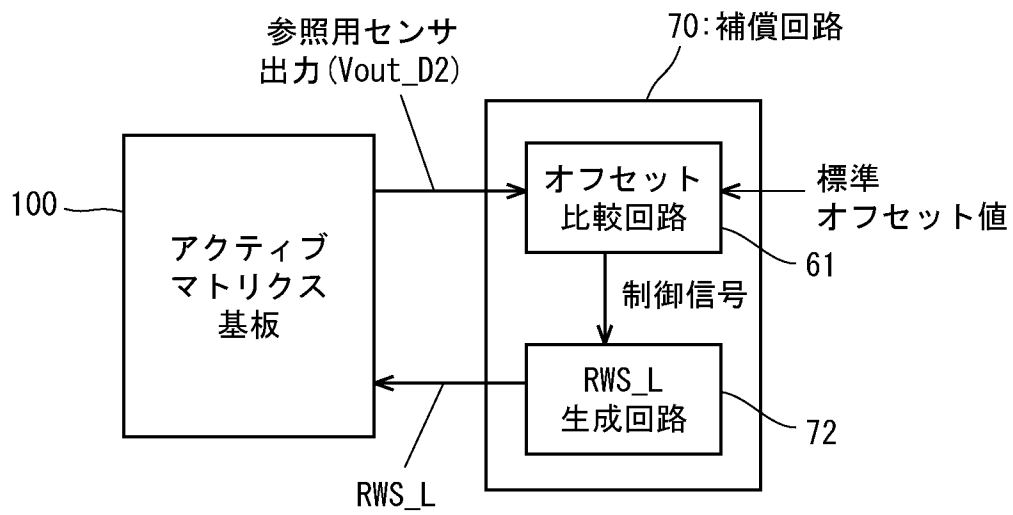
[図18A]



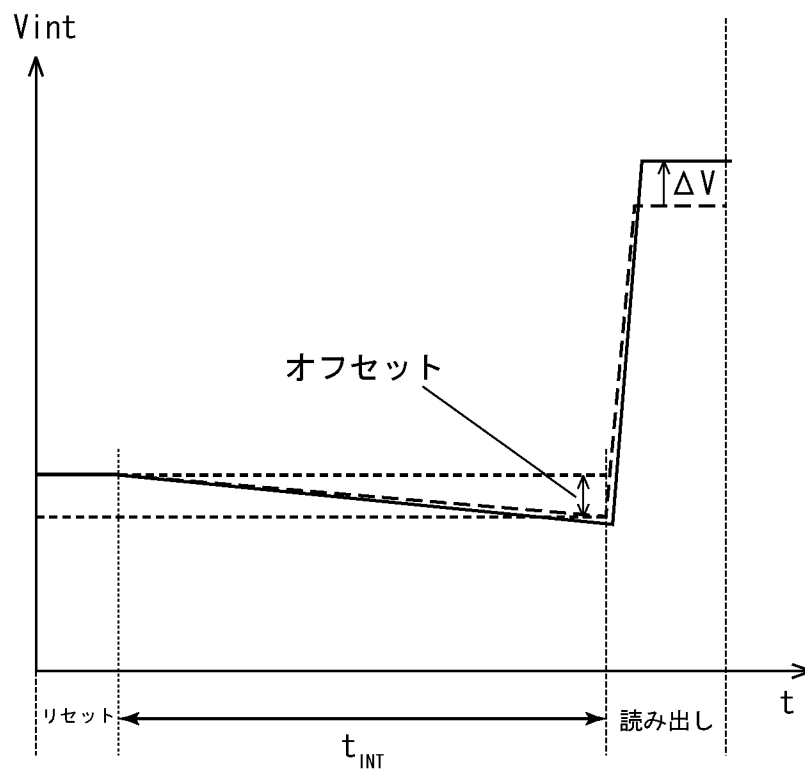
[図18B]



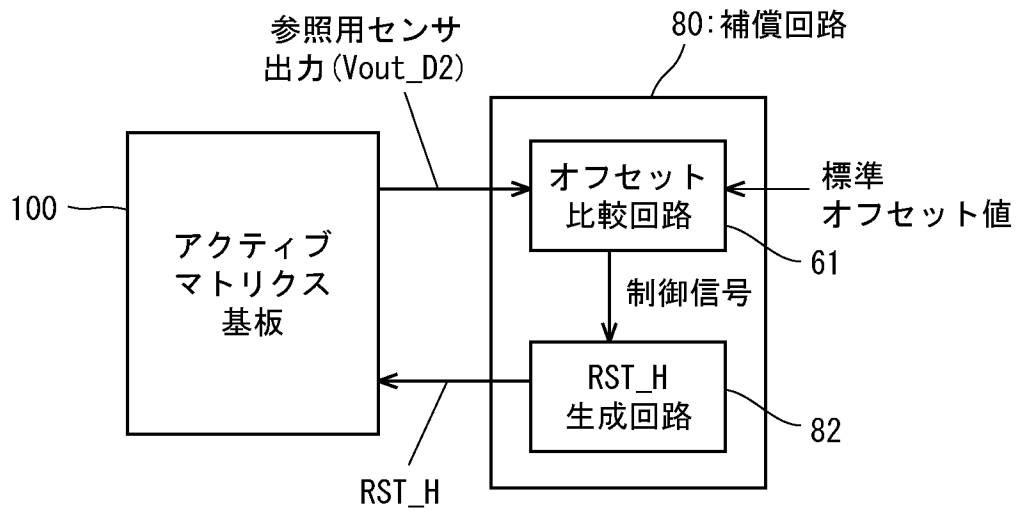
[図19]



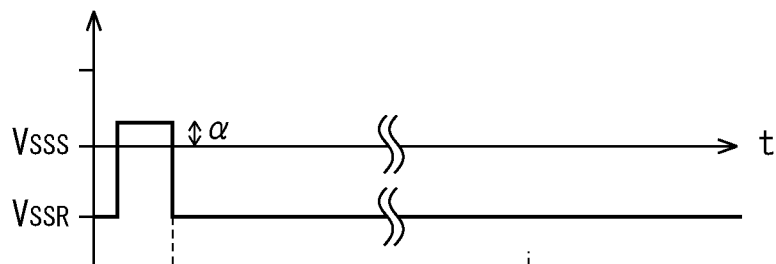
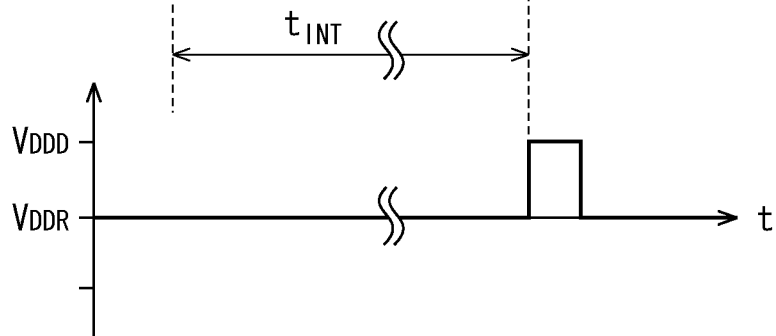
[図20]



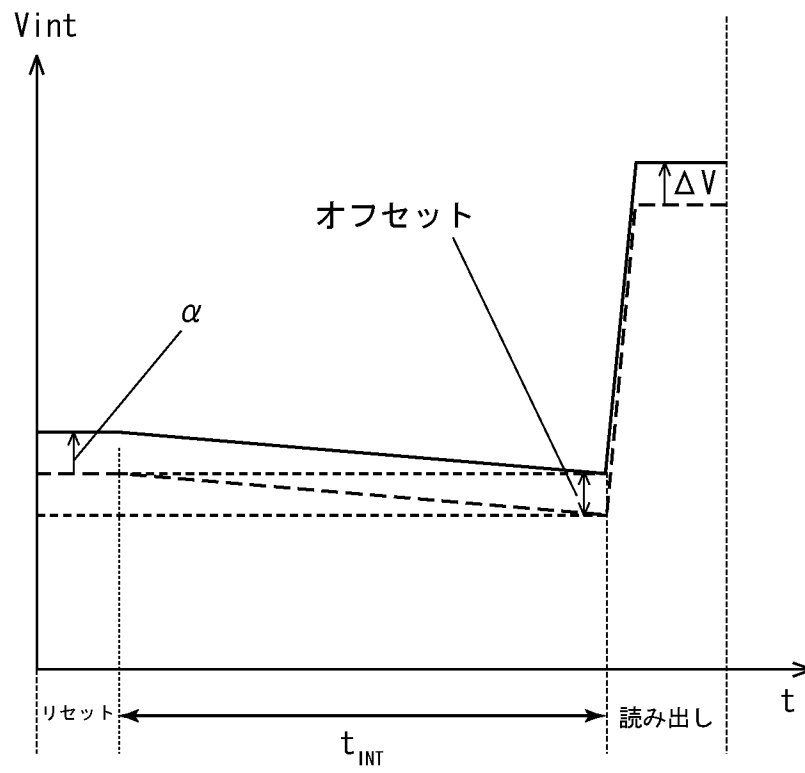
[図21]



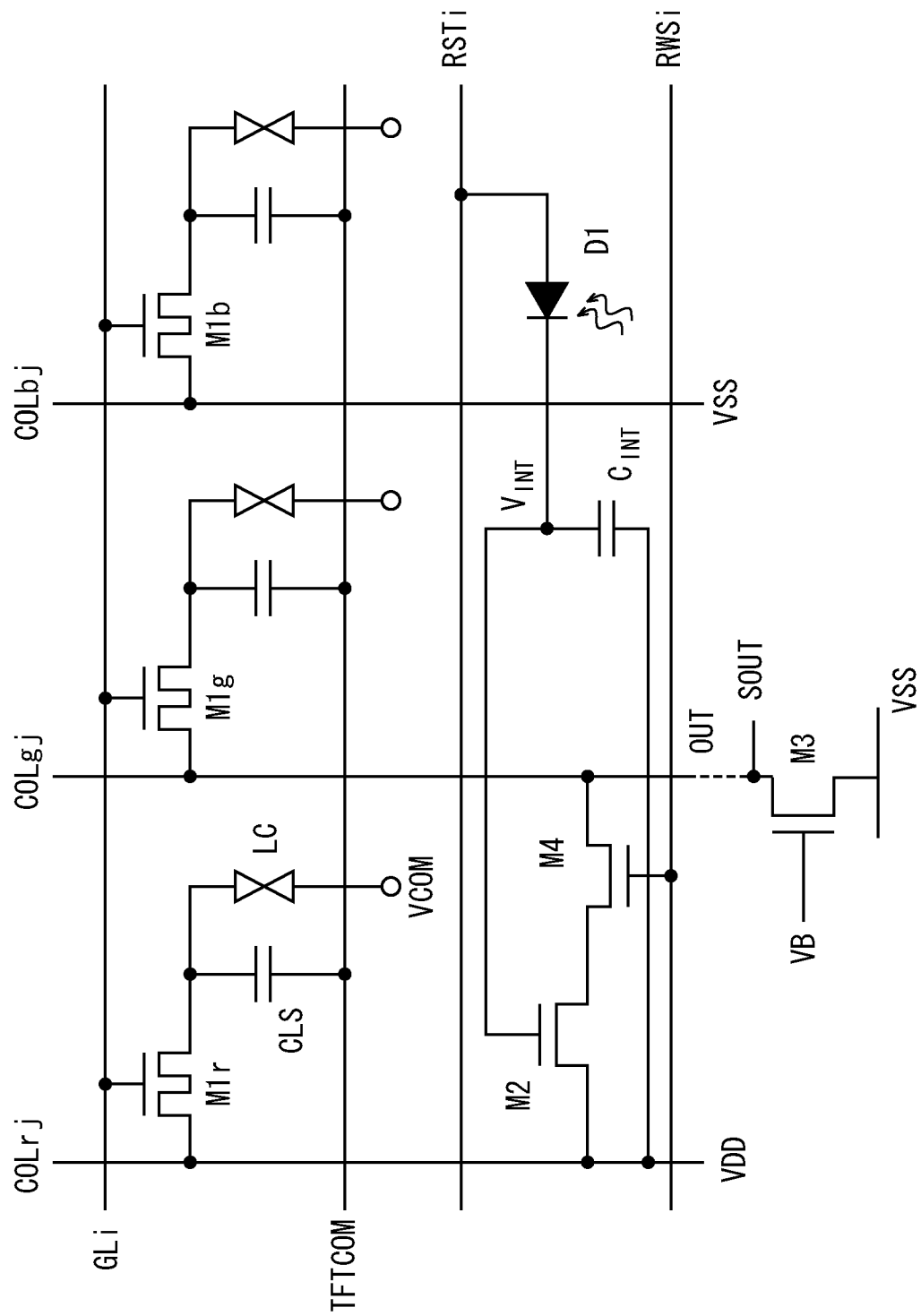
[図22]

RST:RWS:

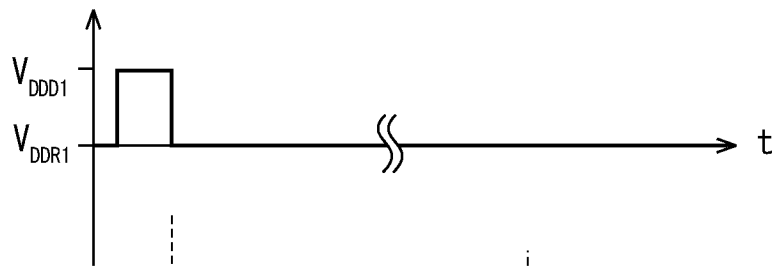
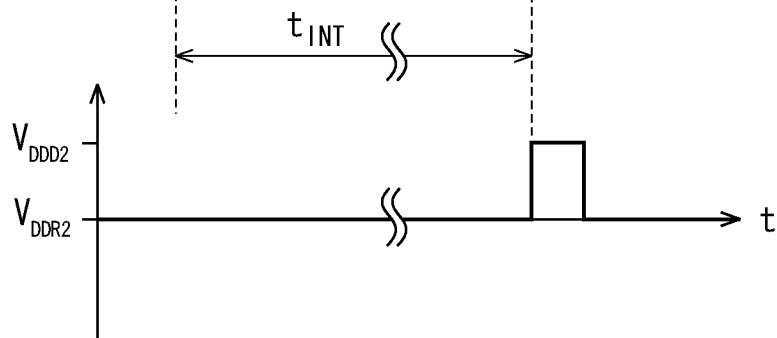
[図23]



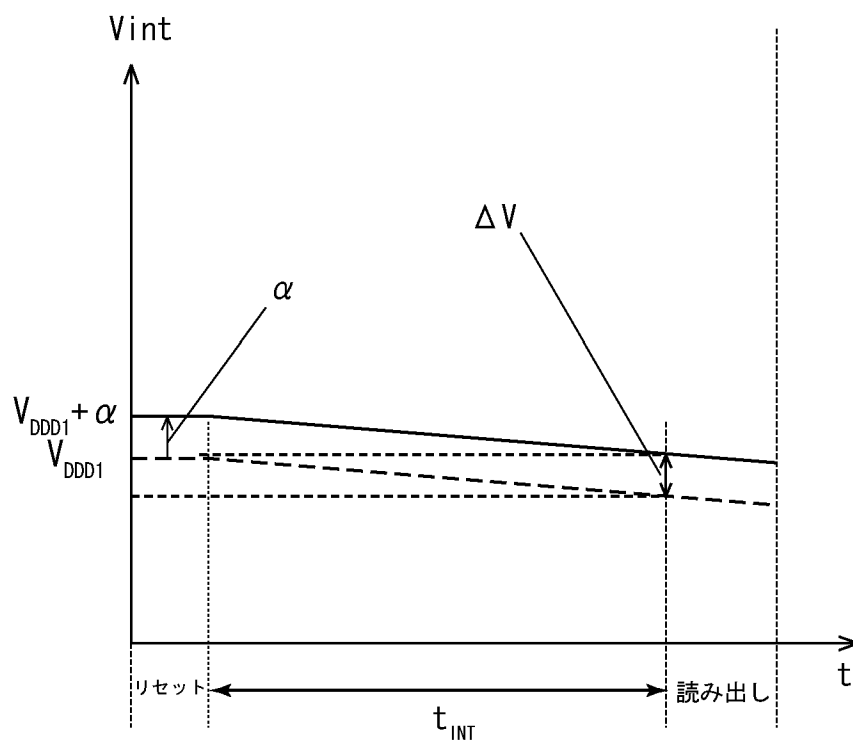
[図24]



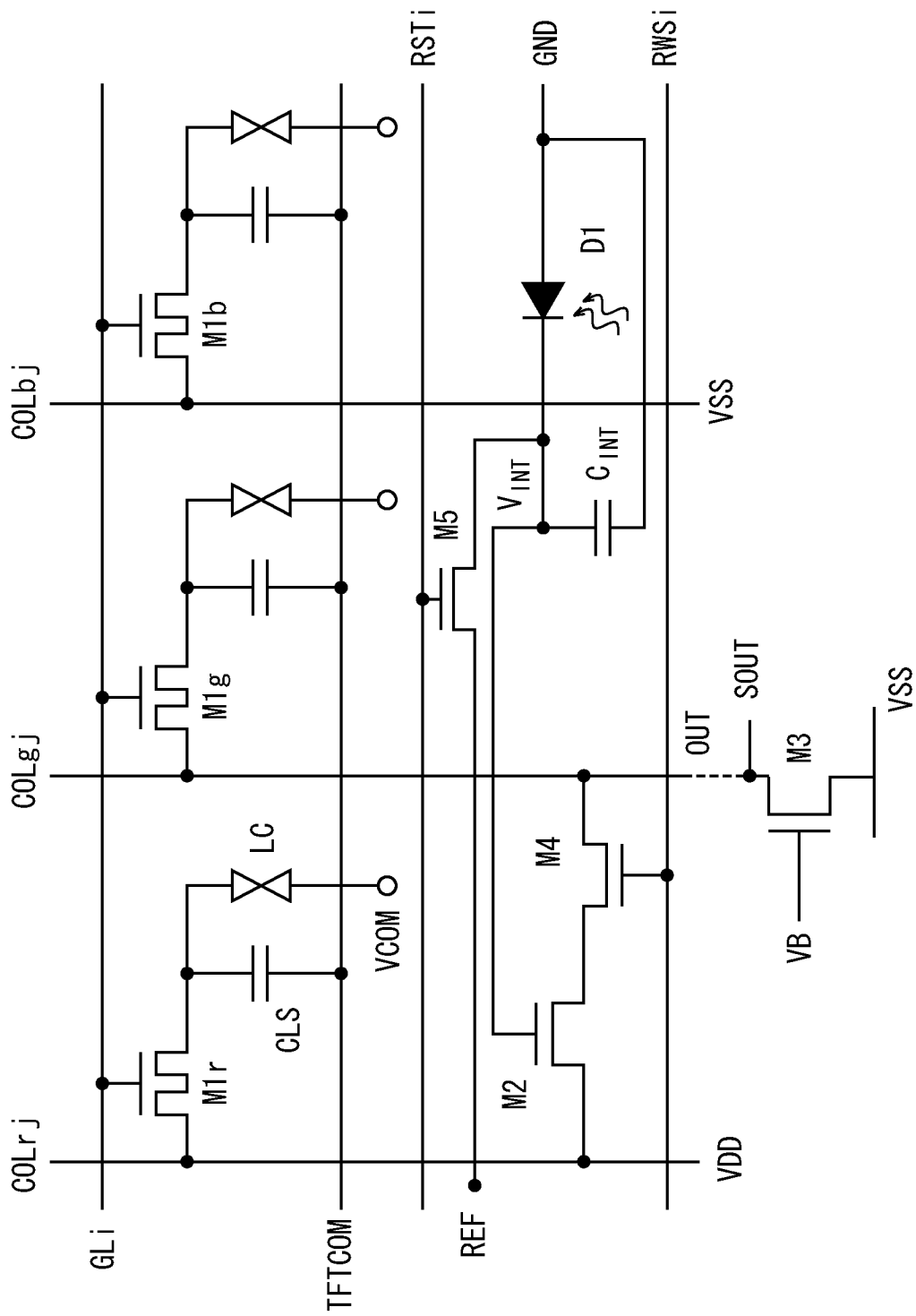
[図25]

RST:RWS:

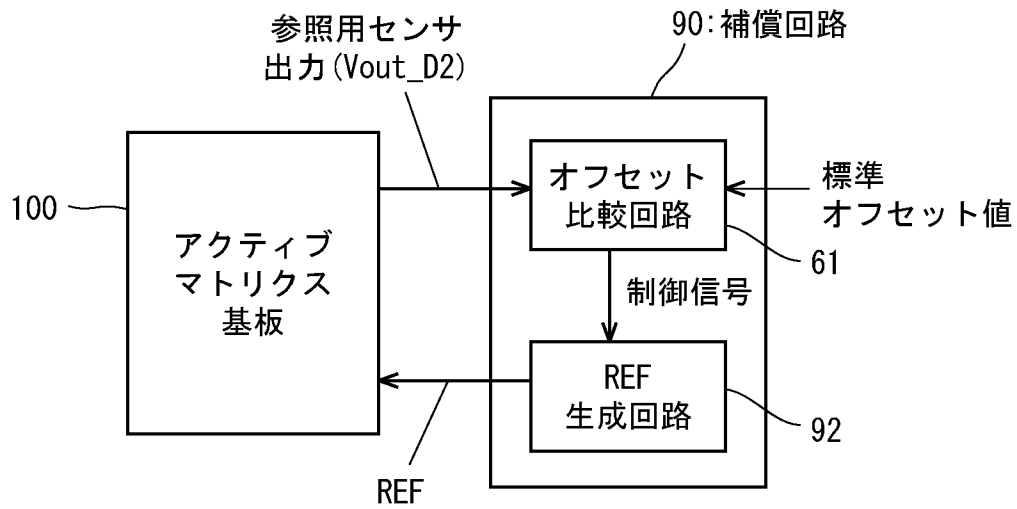
[図26]



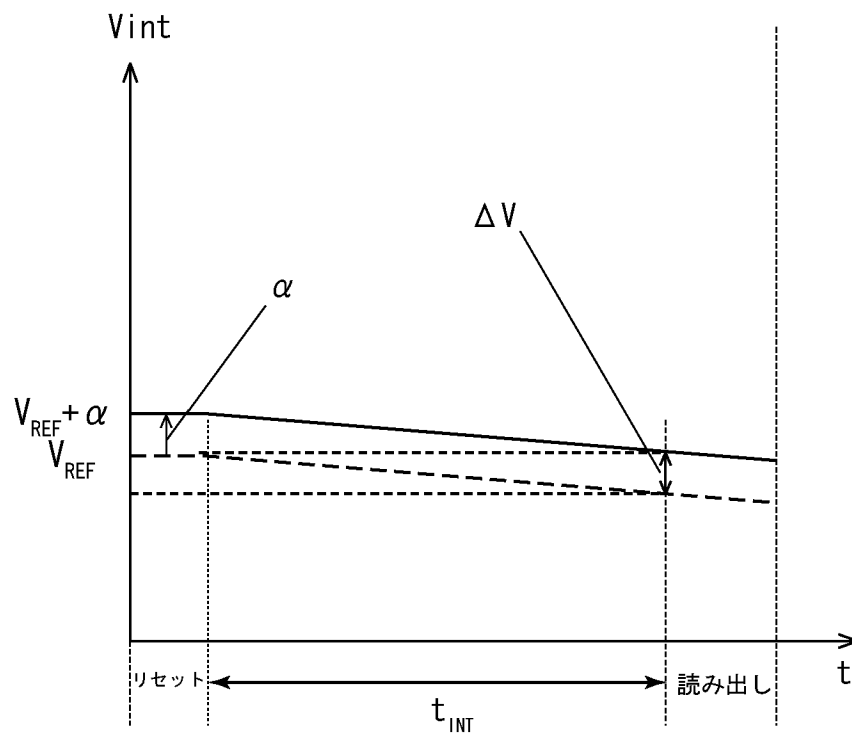
[図27]



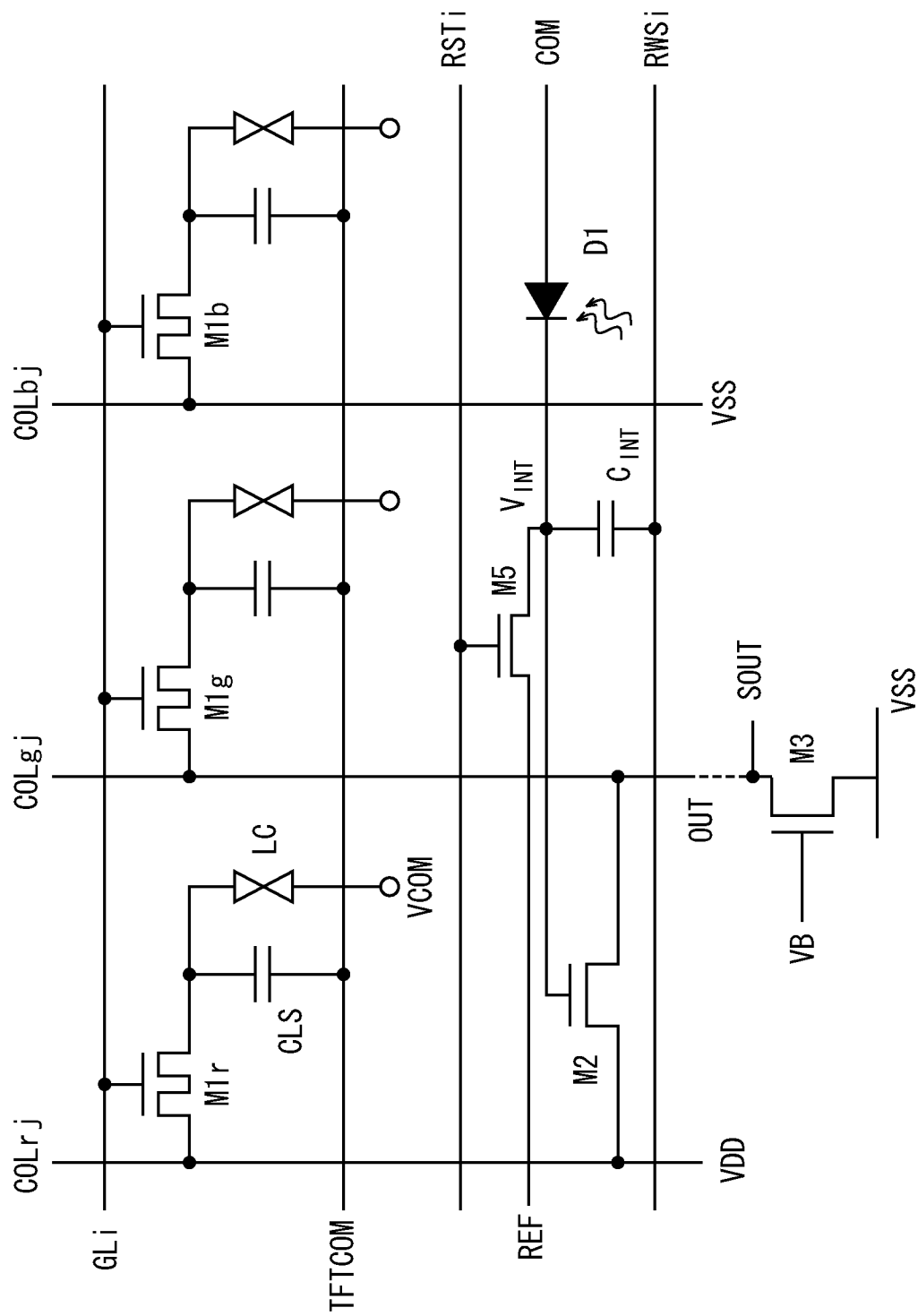
[図28]



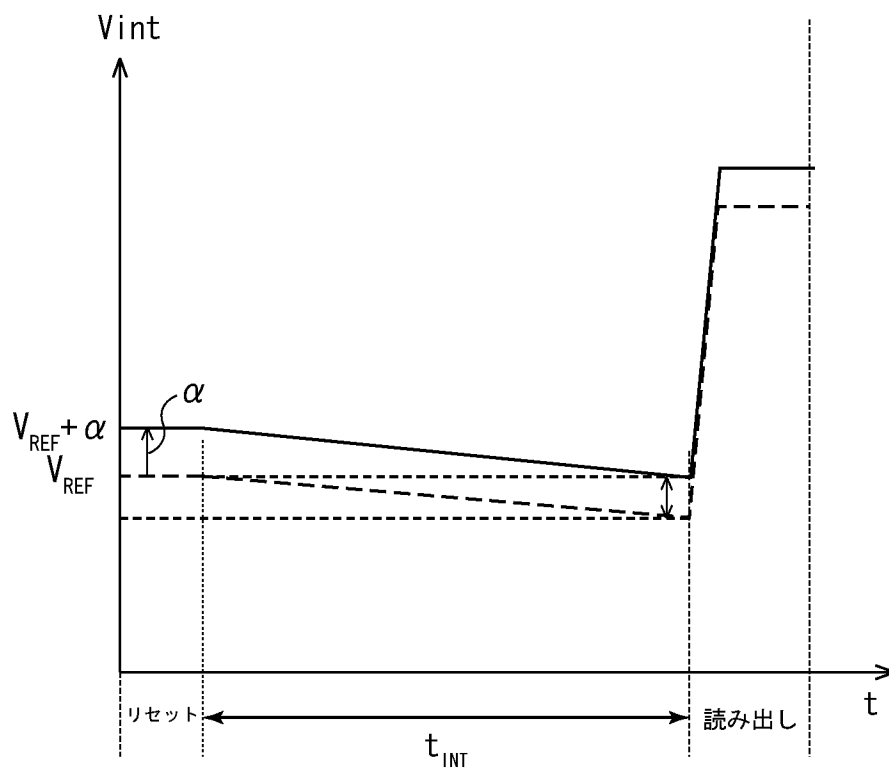
[図29]



[図30]



[図31]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2011/061524

A. CLASSIFICATION OF SUBJECT MATTER

G06F3/041(2006.01)i, G02F1/133(2006.01)i, G06F3/042(2006.01)i, G09F9/00(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G06F3/041, G02F1/133, G06F3/042, G09F9/00

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2011
Kokai Jitsuyo Shinan Koho	1971-2011	Toroku Jitsuyo Shinan Koho	1994-2011

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	WO 2008/126872 A1 (Sharp Corp.), 23 October 2008 (23.10.2008), entire text; all drawings & US 2010/0013813 A1 & CN 101636644 A	1-10
A	WO 2009/025223 A1 (Sharp Corp.), 26 February 2009 (26.02.2009), entire text; all drawings & EP 2180528 A1 & CN 101779299 A	1-10
A	WO 2010/038513 A1 (Sharp Corp.), 08 April 2010 (08.04.2010), entire text; all drawings (Family: none)	1-10

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
15 August, 2011 (15.08.11)

Date of mailing of the international search report
23 August, 2011 (23.08.11)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2011/061524

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2010-026467 A (Sony Corp.), 04 February 2010 (04.02.2010), entire text; all drawings & US 2010/0020006 A1 & CN 101634765 A	1-10

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. G06F3/041(2006.01)i, G02F1/133(2006.01)i, G06F3/042(2006.01)i, G09F9/00(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. G06F3/041, G02F1/133, G06F3/042, G09F9/00

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 1 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 1 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 1 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	WO 2008/126872 A1（シャープ株式会社）2008.10.23, 全文, 全図 & US 2010/0013813 A1 & CN 101636644 A	1-10
A	WO 2009/025223 A1（シャープ株式会社）2009.02.26, 全文, 全図 & EP 2180528 A1 & CN 101779299 A	1-10
A	WO 2010/038513 A1（シャープ株式会社）2010.04.08, 全文, 全図 (ファミリーなし)	1-10

☒ C 欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

1 5 . 0 8 . 2 0 1 1

国際調査報告の発送日

2 3 . 0 8 . 2 0 1 1

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）

郵便番号 1 0 0 - 8 9 1 5

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

円子 英紀

5 E

3 9 7 9

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 5 2 1

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2010-026467 A (ソニー株式会社) 2010.02.04, 全文, 全図 & US 2010/0020006 A1 & CN 101634765 A	1-10