(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.[7]
H01L 21/76

(11) 공개번호 10-2001-0019280
(43) 공개일자 2001년03월15일

(21) 출원번호 10-1999-0035613
(22) 출원일자 1999년08월26일

(71) 출원인 삼성전자 주식회사 윤종용
경기 수원시 팔달구 매탄3동 416
(72) 발명자 김종범
경기도용인시기흥읍농서리산7-1삼성반도체기숙사마로니에동908호
이성수
경기도성남시분당구이매동124번지한신아파트210동1502호
(74) 대리인 이건주

심사청구 : 없음

(54) 얕은 트렌치 소자분리 방법

요약

반도체 장치의 얕은 트렌치 소자분리의 형성방법이 개시되어 있다. 반도체 기판의 상부에 패드 산화막층 및 질화막층을 차례로 형성하는 단계와, 질화막층, 패드 산화막층 및 반도체 기판을 식각하여 트렌치를 형성하는 단계를 구비하며, 트렌치 식각 단계에서 염소(Cl_2) 가스의 유량을 조절하여 트렌치 프로파일의 경사도를 조절한다. 습식 식각과 같은 공정의 추가없이 트렌치를 78° ~ 87° 의 경사도를 갖는 프로파일로 형성함으로써 후속하는 갭 매립시 보이드의 발생을 억제할 수 있다.

대표도

도3

색인어

얕은 트렌치 소자분리, 보이드, 경사 프로파일, 염소 가스

명세서

도면의 간단한 설명

도 1은 종래 방법에 의한 얕은 트렌치 소자분리의 형성 방법을 설명하기 위한 단면도이다.

도 2 내지 도 5는 본 발명에 의한 얕은 트렌치 소자분리의 형성 방법을 설명하기 위한 단면도들이다.

도 6은 염소 가스의 유량에 따른 트렌치의 깊이와 트렌치의 경사도를 나타낸 그래프이다.

<도면의 주요 부분에 대한 부호의 설명>

100 : 반도체 기판 102 : 패드 산화막층
104 : 질화막층 106 : 하드 마스크층
110 : 트렌치 112 : 측벽 산화막
114 : 질화막 라이너 116 : CVD 산화막층

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 장치의 제조 방법에 관한 것으로, 보다 상세하게는 트렌치의 프로파일이 경사지도록 형성하여 갭 매립(gap filling)용 산화막층에 보이드(void)가 형성되는 것을 방지할 수 있는 얕은 트렌치 소자분리(shallow trench isolation; STI) 방법에 관한 것이다.

반도체 회로에서는 반도체 기판의 상부에 형성된 트랜지스터, 다이오드 및 저항 등의 여러가지 소자들을 전기적으로 분리하는 것이 필요하다. 소자분리의 형성공정은 모든 반도체 제조 공정 단계에 있어서 초기 단계의 공정으로서, 액티브 영역의 사이즈 및 후속 단계의 공정 마진을 좌우하게 된다.

이러한 소자분리를 형성하기 위한 방법으로 실리콘 부분 산화법(LOCal Oxidation of Silicon; 이하 "LOCOS"라 한다)이 가장 많이 사용되고 있다.

LOCOS 소자분리는 실리콘 기판 상에 패드 산화막 및 질화막을 차례로 형성하는 단계, 질화막을 패터닝하는 단계, 및 실리콘 기판을 선택적으로 산화시켜 필드 산화막을 형성하는 단계로 이루어진다. 그러나, LOCOS 소자분리에 의하면, 실리콘 기판의 선택적 산화시 마스크로 사용되는 질화막 하부에서 패드 산화막의 측면으로 산소가 침투하면서 필드 산화막의 끝부분에 버즈 비크(bird's beak)가 발생하게 된다. 이러한 버즈 비크에 의해 필드 산화막이 버즈 비크의 길이만큼 액티브 영역으로 확장되기 때문에, 채널 길이가 짧아져서 문턱전압(threshold voltage)이 증가하는 소위 "협채널 효과(narrow channel effect)"가 유발되어 트랜지스터의 전기적 특성을 악화시킨다. 특히, LOCOS 소자분리는 채널 길이가 0.3㎛ 이하로 감소됨에 따라 액티브 영역 양측의 필드 산화막이 붙어버리는 펀치쓰루우(punchthrough)가 발생하여 액티브 영역이 정확하게 확보되지 않는 등 그 한계를 나타내고 있다.

그러므로, 0.25㎛ 이하의 디자인-룰로 제조되어지는 반도체 장치에서는 트렌치 소자분리 방법이 거론되어 왔다. 얕은 트렌치 소자분리(STI) 공정은 실리콘 기판을 소정 깊이로 식각하여 트렌치를 형성하는 단계, 트렌치 및 기판의 상부에 절연막을 증착하는 단계, 및 절연막을 에치백(etch back) 또는 화학 기계적 연마(chemical mechanical polishing; CMP)에 의해 식각하여 트렌치의 내부를 절연막으로 매립(filling)하는 단계로 이루어진다.

도 1은 종래의 얕은 트렌치 소자분리 방법을 설명하기 위한 단면도들이다.

도 1을 참조하면, 반도체 기판(10)의 상부에 패드 산화막층(12), 질화막층(14) 및 고온 산화막으로 이루어진 하드 마스크층(16)을 순차적으로 형성한다. 사진식각 공정을 통해 트렌치가 형성되어질 필드 영역의 하드 마스크층(16), 질화막층(14) 및 패드 산화막층(12)을 식각하여 액티브 영역의 상부에만 하드 마스크층(16), 질화막층(14) 및 패드 산화막층(12)을 남긴다.

패터닝된 하드 마스크층(16)을 식각 마스크로 사용하여 기판(10)을 소정 깊이로 식각함으로써 트렌치(18)를 형성한다. 트렌치 식각 공정 동안에 고에너지의 이온 충격으로 야기된 실리콘 손상(damage)을 제거하기 위하여 열산화 공정을 통해 트렌치(18)의 측벽에 산화막층(20)을 형성한다. 이어서, 누설 전류 특성이나 게이트 산화막의 특성을 향상시키기 위하여 결과물의 상부에 질화막 라이너(liner)(22)를 증착한다.

결과물의 상부에 트렌치(18)를 충분히 채울 수 있을 정도의 두께로 화학 기상 증착(chemical vapor deposition; CVD)되는 산화막, 예컨대 언도프드 실리케이트 글래스(undoped silicate glass; USG)를 증착한다. USG막층(24)의 상부에는 플라즈마-증진 화학 기상 증착(plasma-enhanced CVD) 공정으로 테트라에틸오소실리케이트 글래스(tetraethylorthosilicate glass; TEOS)막을 증착하여 캡핑 산화막층(도시하지 않음)을 형성한다. 캡핑 산화막층은 트렌치(18)를 채우고 있는 USG막(24)의 계면 응력을 완화시키고 USG막(24)을 단단히 덮어주기 위해 형성한다.

이어서, 도시하지는 않았으나, 사진 공정을 통해 캡핑 산화막층 및 USG막층(24)의 일부분을 에치백하여 기판 상의 수직 단차를 감소시킨 후, 화학 기계적 연마 공정에 의해 캡핑 산화막층 및 USG막층(24)을 질화막층(14)의 표면이 노출될 때까지 제거한다. 그 결과, 평탄화된 USG막층(24)으로 매립된 얕은 트렌치 소자분리(STI) 영역이 형성된다.

상술한 종래 방법에 의하면, 트렌치의 어스펙트비(aspect ratio)가 증가함에 따라 USG막이 트렌치를 완전히 채우지 못하게 되어 트렌치의 내부에 보이드(void)가 발생하게 된다. 특히, 트렌치의 프로파일이 수직일수록 USG와 같은 산화막의 갭 매립이 잘 이루어지지 않아 보이드의 발생이 심화된다.

이러한 문제를 해결하기 위하여 현재는 갭 매립용 산화막을 한번에 증착하지 않고 두 번으로 나누어 증착하면서 그 사이에 케미칼을 이용한 습식 식각 단계를 추가하는 방법이 사용되고 있다. 그러나, 이 방법 역시 보이드의 발생을 완전히 억제하지 못하며, 트렌치를 매립하는 USG막이 케미칼을 이용한 습식 식각 공정에 대한 빠른 식각 속도(etch rate)를 갖기 때문에 메모리 셀 내의 필드 영역이나 기타 넓은 필드 영역에서 그 하부의 실리콘 라이너가 노출되면서 식각 손상을 받게 된다. 이에 따라, 실리콘 라이너의 손상 부위에서 얕은 구멍(pit)이 발생하게 되며 이것이 누설 전류의 원인으로 작용하고 있다.

발명이 이루고자하는 기술적 과제

따라서, 본 발명의 목적은 트렌치의 프로파일이 경사지도록 형성하여 갭 매립용 산화막층에 보이드가 형성되는 것을 방지할 수 있는 얕은 트렌치 소자분리 방법을 제공하는데 있다.

발명의 구성 및 작용

상기 목적을 달성하기 위하여 본 발명은, 반도체 기판의 상부에 패드 산화막층 및 질화막층을 차례로 형성하는 단계와, 상기 질화막층, 상기 패드 산화막층 및 상기 반도체 기판을 식각하여 트렌치를 형성하는 단계를 구비하며, 상기 트렌치 식각 단계에서 염소(Cl_2) 가스의 유량을 조절하여 상기 트렌치 프로파일의 경사도를 조절하는 것을 특징으로 하는 반도체 장치의 얕은 트렌치 소자분리 방법을 제공한다.

바람직하게는, 트렌치 식각 단계는 브로모수소(HBr)/산소(O_2)/염소(Cl_2) 가스를 이용한다.

바람직하게는, 염소(Cl_2) 가스의 유량을 0~10sccm(standard cubic centimeter perminute)으로 조절한다.

이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예를 상세히 설명하고자 한다.

도 2 내지 도 5는 본 발명에 의한 얕은 트렌치 소자분리의 형성 방법을 설명하기 위한 단면도들이다.

도 2를 참조하면, 열산화 공정을 통해 반도체 기판(100)의 표면 상에 패드 산화막층(102)을 약 110~200Å의 두께로 형성한다. 패드 산화막층(102)의 상부에 저압 화학 기상 증착(low pressure CVD) 공정에 의해 질화막층(104)을 약 1000~2000Å의 두께로 증착한다. 질화막층(104)은 후속하는 화학 기계적 연마(CMP) 공정시 연마 종료층으로 작용한다.

질화막층(104)의 상부에 산화막을 화학 기상 증착(CVD) 공정에 의해 780~830℃ 정도의 온도에서 약 1500~2000Å의 두께로 증착하여 하드 마스크층(106)을 형성한다. 사진 공정을 통해 하드 마스크층(106)의 상부에 포토레지스트를 도포하고 이를 노광 및 현상하여 액티브 영역과 필드 영역을 정의하는 포토레지스트 패턴(108)을 형성한다.

이어서, 포토레지스트 패턴(108)을 식각 마스크로 이용하여 필드 영역의 하드 마스크층(106), 질화막층(104) 및 패드 산화막층(102)을 식각해 낸다.

도 3을 참조하면, 에싱 및 스트립 공정으로 포토레지스트 패턴(108)을 제거한다. 이어서, 패터닝된 하드 마스크층(106)을 식각 마스크로 이용하여 노출된 반도체 기판(100)을 건식 식각에 의해 약 2500~5000Å의 깊이로 식각함으로써 트렌치(110)를 형성한다. 바람직하게는, 트렌치(110)의 식각은 전이-결합 플라즈마(transfer coupled plasma; TCP) 설비에서 브로모수소(HBr)/산소(O_2)/염소(Cl_2) 가스를 이용하여 실시한다. 이때, 염소(Cl_2) 가스의 유량을 조절하여 트렌치(110) 프로파일의 경사도를 조절할 수 있는데, 이에 대해 도 6을 참조하여 보다 상세히 설명하고자 한다.

도 6은 염소(Cl_2) 가스의 유량에 따른 트렌치의 깊이, 트렌치 하부(bottom)의 임계치수(critical dimension; CD) 및 트렌치의 경사도를 나타낸 그래프이다.

도 6에 도시한 바와 같이, 염소(Cl_2) 가스의 유량을 감소시킴에 따라 트렌치 프로파일의 경사도가 증가함을 알 수 있다. 따라서, 염소(Cl_2) 가스의 유량을 0~10sccm의 범위에서 조절하여 트렌치의 프로파일이 78° ~ 87° 의 경사도를 갖도록 하면, 후속하는 갭 매립 단계에서 보이드의 생성없이 트렌치를 매립할 수 있다. 본 실시예에 의하면, 70sccm의 브로모수소(HBr), 10sccm의 산소(O_2) 및 1~5sccm의 염소(Cl_2) 가스를 사용하여 트렌치(110)를 식각한다.

종래 방법에서는 보이드를 제거하기 위하여 갭 매립용 CVD 산화막층의 증착을 두 번으로 나누어 증착하면서 그 사이에 케미칼을 이용한 습식 식각 단계를 추가하였으나, 본 발명에 의하면 추가되는 공정 없이 트렌치의 식각시 염소(Cl_2) 가스의 유량만을 조절하여 트렌치를 경사진 프로파일로 형성함으로써 후속하는 갭 매립 단계에서 보이드의 생성을 억제할 수 있다. 따라서, 본 발명에서는 보이드의 제거를 위한 습식 식각을 진행하지 않으므로, 메모리 셀 내의 필드 영역이나 기타 넓은 필드 영역에서 그 하부의 실리콘 라이너가 식각 손상을 받아 누설 전류를 발생시키는 문제를 해결할 수 있다.

도 4를 참조하면, 상술한 바와 같이 트렌치(110)를 형성한 후, 트렌치 식각 공정 동안에 고에너지의 이온 충격으로 야기된 실리콘 손상을 제거하기 위하여 열산화 공정을 통해 트렌치(110)의 측벽에 산화막층(112)을 약 120~240Å의 두께로 성장시킨다. 이어서, 후속 공정에서 증착되는 불순물 함유 막들로부터 탄소(C)나 수소(H) 등이 액티브 영역의 엣지 부위로 확산되어 누설 전류를 발생시키거나 게이트 산화막의 특성을 열화시키는 것을 방지하기 위하여 질화막 라이너(114)를 저압 화학 기상 증착(LPCVD) 공정에 의해 약 55Å의 두께로 증착한다. 필요할 경우, 후속하는 갭 매립용 산화막의 증착시 질화막 라이너(114)가 손상되는 것을 방지하기 위하여 질화막 라이너(114)의 상부에 산화막층(도시하지 않음)을 화학 기상 증착(CVD) 공정에 의해 700~750℃ 정도의 온도에서 약 100Å의 두께로 증착한다.

결과물의 상부에 화학 기상 증착(CVD)되는 산화막층(116), 예컨대 USG막을 화학 기상 증착(CVD) 공정에 의해 트렌치(110)를 충분히 채울 수 있을 정도의 두께, 예컨대 약 4000Å의 두께로 증착한다. 이때, USG막 대신 고밀도 플라즈마 산화막(high density plasma oxide; HDP oxide)을 사용할 수 있다.

이어서, CVD 산화막층(116)의 상부에 TEOS를 플라즈마-증진 화학 기상 증착(PECVD) 공정에 의해 약 1000Å 이상의 두께로 증착하여 캡핑 산화막층(도시하지 않음)을 형성한다. 캡핑 산화막층은 하지층의 계면 스트레스를 완화시키고 하지층을 단단히 덮어주는 역할을 한다. 캡핑 산화막층의 형성 후, 필요에 따라 CVD 산화막층(116)을 치밀화(densification)하여 그 습식 식각율을 낮추고 균일하게 식각되도록 하기 위하여 약 800~1050℃의 고온에서 불활성 가스 분위기 하에서 어닐링하는 단계를 실시할 수 있다.

도 5를 참조하면, 화학 기계적 연마(CMP) 공정에 의해 캡핑 산화막층 및 CVD 산화막층(116)을 액티브 영

역의 질화막층(104) 표면이 노출될 때까지 제거해 낸다. 그 결과, 평탄화된 CVD 산화막층(116)으로 매립되어진 얕은 트렌치 소자분리(STI) 영역이 형성된다.

여기서, 필요에 따라 화학 기계적 연마(CMP) 공정을 실시하기 전에, 사진 공정에 의해 넓은 필드 영역의 캡핑 산화막층 및 CVD 산화막층(116)의 일부분을 타임 에칭(timed etching) 방식으로 에치백하여 넓은 필드 영역과 좁은 필드 영역 간의 단차를 감소시킬 수 있다.

이어서, 도시하지는 않았으나, 질화막층(104) 및 패드 산화막층(102)을 차례로 제거한 후 통상의 제조 공정에 의해 기판(100)의 액티브 영역 상에 반도체 소자들을 제조한다.

발명의 효과

상술한 바와 같이 본 발명의 얕은 트렌치 소자분리 형성방법에 의하면, 트렌치의 식각시 염소(Cl_2) 유량을 조절하여 트렌치 프로파일의 경사도를 조절한다. 따라서, 습식 식각과 같은 공정의 추가없이 트렌치를 78° ~ 87° 의 경사도를 갖는 프로파일로 형성함으로써 후속하는 갭 매립시 보이드의 발생을 억제할 수 있다.

상술한 바와 같이, 본 발명의 바람직한 실시예를 참조하여 설명하였지만 해당 기술 분야의 숙련된 당업자라면 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

(57) 청구의 범위

청구항 1

반도체 기판의 상부에 패드 산화막층 및 질화막층을 차례로 형성하는 단계;

상기 질화막층, 상기 패드 산화막층 및 상기 반도체 기판을 식각하여 트렌치를 형성하는 단계를 구비하며,

상기 트렌치 식각 단계에서 염소(Cl_2) 가스의 유량을 조절하여 상기 트렌치 프로파일의 경사도를 조절하는 것을 특징으로 하는 반도체 장치의 얕은 트렌치 소자분리 방법.

청구항 2

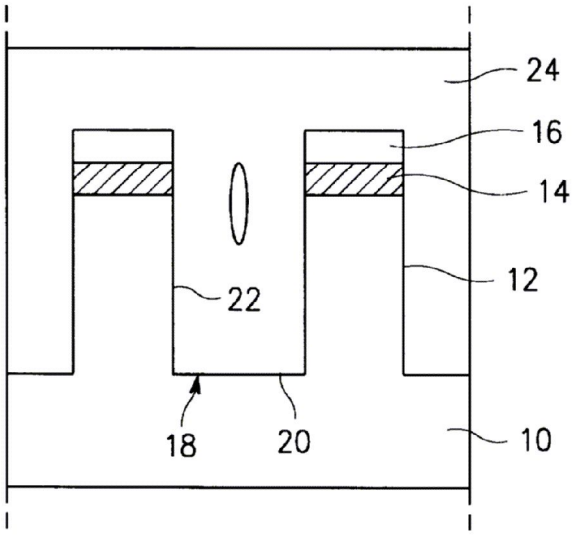
제1항에 있어서, 상기 트렌치 식각 단계는 브로모수소(HBr)/산소(O_2)/염소(Cl_2) 가스를 이용하는 것을 특징으로 하는 반도체 장치의 얕은 트렌치 소자분리 방법.

청구항 3

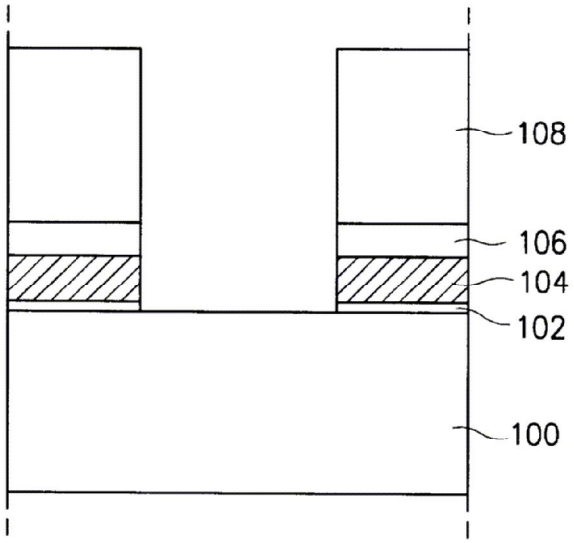
제1항에 있어서, 상기 염소(Cl_2) 가스의 유량을 0~10sccm으로 조절하는 것을 특징으로 하는 반도체 장치의 얕은 트렌치 소자분리 방법.

도면

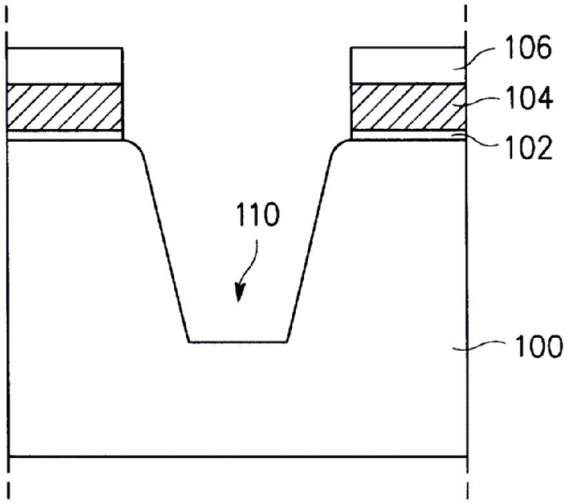
도면1



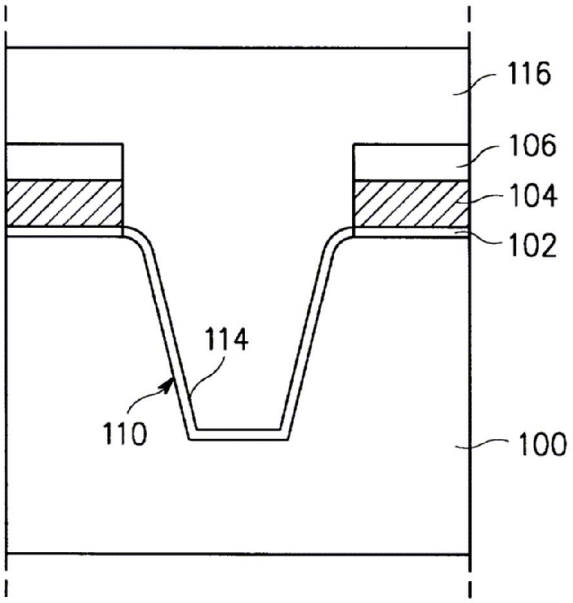
도면2



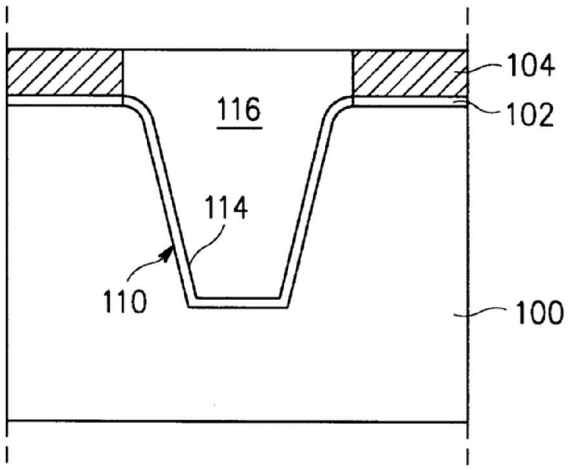
도면3



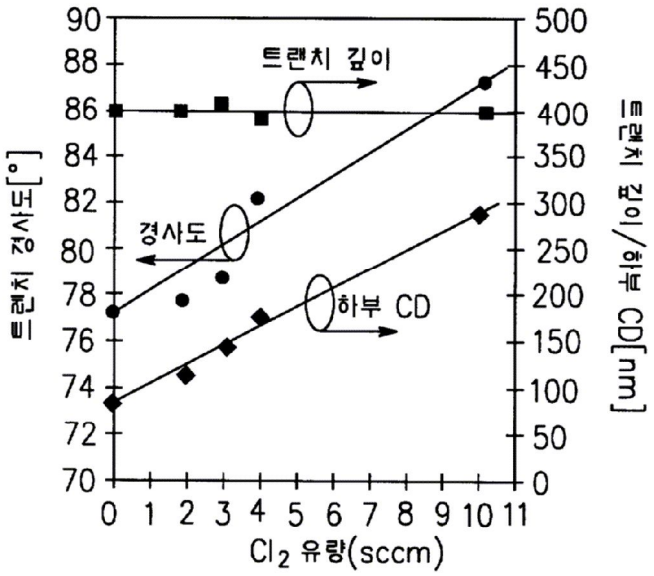
도면4



도면5


104
116
102
114
110
100

도면6


90
88
86
84
82
80
78
76
74
72
70
500
450
400
350
300
250
200
150
100
50
0
트랜치 깊이
경사도
하부 CD
트랜치 경사도[°]
트랜치 깊이/하부 CD[nm]
0 1 2 3 4 5 6 7 8 9 10 11
Cl2 유량(sccm)