

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2011-100723

(P2011-100723A)

(43) 公開日 平成23年5月19日(2011.5.19)

(51) Int.Cl.	F I	テーマコード (参考)
H05B 33/26 (2006.01)	H05B 33/26 Z	3K107
H01L 29/786 (2006.01)	H01L 29/78 613Z	5C094
H01L 51/50 (2006.01)	H01L 29/78 618B	5F110
G09F 9/30 (2006.01)	H05B 33/14 A	
H01L 27/32 (2006.01)	G09F 9/30 338	
審査請求 未請求 請求項の数 6 O L (全 26 頁) 最終頁に続く		

(21) 出願番号 特願2010-225633 (P2010-225633)
 (22) 出願日 平成22年10月5日 (2010.10.5)
 (31) 優先権主張番号 特願2009-235180 (P2009-235180)
 (32) 優先日 平成21年10月9日 (2009.10.9)
 (33) 優先権主張国 日本国(JP)

(71) 出願人 000153878
 株式会社半導体エネルギー研究所
 神奈川県厚木市長谷398番地
 (72) 発明者 荒澤 亮
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 (72) 発明者 穴戸 英明
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 Fターム(参考) 3K107 AA01 BB01 CC11 CC35 CC36
 DD39 EE03 FF15
 5C094 AA02 BA03 BA27 DA13 FA01
 FB14 HA08

最終頁に続く

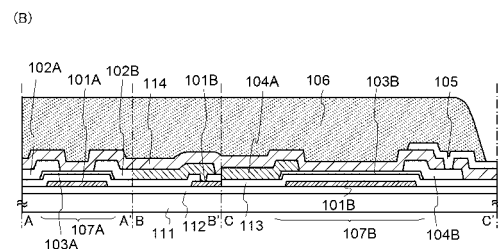
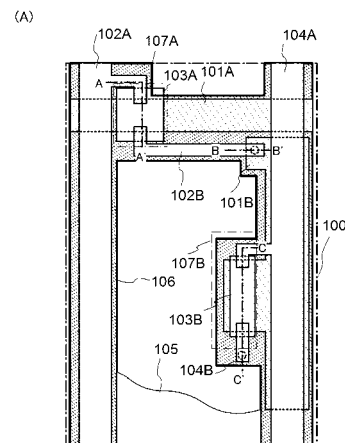
(54) 【発明の名称】 発光表示装置及び当該発光表示装置を具備する電子機器

(57) 【要約】

【課題】 酸化物半導体を用いた薄膜トランジスタを具備する画素において、開口率の向上を図ることのできる発光表示装置を提供することを課題の一とする。

【解決手段】 薄膜トランジスタ、及び発光素子を有する複数の画素を有し、画素は、走査線として機能する第1の配線に電氣的に接続されており、薄膜トランジスタは、第1の配線上にゲート絶縁膜を介して設けられた酸化物半導体層を有し、酸化物半導体層は、第1の配線が設けられた領域をはみ出して設けられており、発光素子と、酸化物半導体層とが重畳して設けられる。

【選択図】 図1



【特許請求の範囲】**【請求項 1】**

薄膜トランジスタ、及び発光素子を有する複数の画素を有し、
前記画素は、走査線として機能する第 1 の配線に電氣的に接続されており、
前記薄膜トランジスタは、前記第 1 の配線上にゲート絶縁膜を介して設けられた酸化物半
導体層を有し、
前記酸化物半導体層は、前記第 1 の配線が設けられた領域をはみ出て設けられており、
前記発光素子と、前記酸化物半導体層とが重畳して設けられることを特徴とする発光表示
装置。

【請求項 2】

薄膜トランジスタ、及び発光素子を有する複数の画素を有し、
前記画素は、走査線として機能する第 1 の配線と、信号線として機能する第 2 の配線に電
氣的に接続されており、
前記薄膜トランジスタは、前記第 1 の配線上にゲート絶縁膜を介して設けられた酸化物半
導体層を有し、
前記酸化物半導体層は、前記第 1 の配線が設けられた領域をはみ出て設けられており、
前記第 2 の配線は、前記第 1 の配線上の前記ゲート絶縁膜上を延在して前記酸化物半導体
層上に接しており、
前記発光素子と、前記酸化物半導体層とが重畳して設けられることを特徴とする発光表示
装置。

【請求項 3】

薄膜トランジスタ、及び発光素子を有する複数の画素を有し、
前記画素は、走査線として機能する第 1 の配線と、信号線として機能する第 2 の配線に電
氣的に接続されており、
前記薄膜トランジスタは、前記第 1 の配線上にゲート絶縁膜を介して設けられた酸化物半
導体層を有し、
前記酸化物半導体層は、前記第 1 の配線が設けられた領域をはみ出て設けられており、
前記第 2 の配線は、前記第 1 の配線上の前記ゲート絶縁膜及び前記ゲート絶縁膜上の層間
絶縁層上を延在して前記酸化物半導体層上に接しており、
前記発光素子と、前記酸化物半導体層とが重畳して設けられることを特徴とする発光表示
装置。

【請求項 4】

第 1 の薄膜トランジスタ、第 2 の薄膜トランジスタ、及び発光素子を有する複数の画素を
有し、
前記画素は、走査線として機能する第 1 の配線と、信号線として機能する第 2 の配線に電
氣的に接続されており、
前記第 1 の薄膜トランジスタは、前記第 1 の配線上にゲート絶縁膜を介して設けられた酸
化物半導体層を有し、
前記酸化物半導体層は、前記第 1 の配線が設けられた領域をはみ出て設けられており、
前記第 2 の配線は、前記第 1 の配線上の前記ゲート絶縁膜上を延在して前記酸化物半導体
層上に接し、
前記酸化物半導体層に接し、且つ前記第 1 の薄膜トランジスタと前記第 2 の薄膜トランジ
スタとの電氣的な接続をとるための第 3 の配線は、前記第 1 の配線上の前記ゲート絶縁膜
上を延在して設けられており、
前記発光素子と、前記酸化物半導体層とが重畳して設けられることを特徴とする発光表示
装置。

【請求項 5】

薄膜トランジスタ、及び発光素子を有する複数の画素を有し、
前記画素は、走査線として機能する第 1 の配線と、信号線として機能する第 2 の配線に電
氣的に接続されており、

前記薄膜トランジスタは、前記第 1 の配線上にゲート絶縁膜を介して設けられた酸化物半導体層を有し、
前記酸化物半導体層は、前記第 1 の配線が設けられた領域をはみ出て設けられており、
前記第 2 の配線は、前記第 1 の配線上の前記ゲート絶縁膜及び前記ゲート絶縁膜上の層間絶縁層上を延在して前記酸化物半導体層上に接し、
前記酸化物半導体層に接し、且つ前記第 1 の薄膜トランジスタと前記第 2 の薄膜トランジスタとの電氣的な接続をとるための第 3 の配線は、前記第 1 の配線上の前記ゲート絶縁膜及び前記ゲート絶縁膜上の層間絶縁層上を延在して設けられており、
前記発光素子と、前記酸化物半導体層とが重畳して設けられることを特徴とする発光表示装置。

10

【請求項 6】

請求項 1 乃至請求項 5 のいずれか一に記載の発光表示装置を具備することを特徴とする電子機器。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、発光表示装置に関する。また当該発光表示装置を具備する電子機器に関する。

【背景技術】

【0002】

液晶表示装置に代表されるように、ガラス基板等の平板に形成される薄膜トランジスタは、アモルファスシリコン、多結晶シリコンによって作製されている。アモルファスシリコンを用いた薄膜トランジスタは、電界効果移動度が低いもののガラス基板の大面积化に対応することができ、一方、結晶シリコンを用いた薄膜トランジスタは電界効果移動度が高いものの、レーザアニール等の結晶化工程が必要であり、ガラス基板の大面积化には必ずしも適応しないといった特性を有している。

20

【0003】

これに対し、酸化物半導体を用いて薄膜トランジスタを作製し、電子デバイスや光デバイスに応用する技術が注目されている。例えば、酸化物半導体膜として酸化亜鉛、 In-Ga-Zn-O 系酸化物半導体を用いて薄膜トランジスタを作製し、発光表示装置のスイッチング素子などに用いる技術が特許文献 1 で開示されている。

30

【先行技術文献】

【特許文献】

【0004】

【特許文献 1】特開 2009 - 31750 号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

酸化物半導体をチャネル領域に用いた薄膜トランジスタは、アモルファスシリコンをチャネル領域に用いた薄膜トランジスタよりも高い電界効果移動度が得られている。このような酸化物半導体を用いて形成した薄膜トランジスタを具備する画素は、ELディスプレイ等の発光表示装置への応用が期待される。また、3Dディスプレイ、4k2kディスプレイ等、さらなる付加価値のついた発光表示装置では、画素一つあたりの面積が小さくなることが予想される一方で、開口率の向上した画素を有する発光表示装置が望まれる。

40

【0006】

そこで、本発明は、酸化物半導体を用いた薄膜トランジスタを具備する画素において、開口率の向上を図ることのできる発光表示装置を提供することを課題の一とする。

【課題を解決するための手段】

【0007】

本発明の一態様は、薄膜トランジスタ、及び発光素子を有する複数の画素を有し、画素は、走査線として機能する第 1 の配線に電氣的に接続されており、薄膜トランジスタは、第

50

１の配線上にゲート絶縁膜を介して設けられた酸化物半導体層を有し、酸化物半導体層は、第１の配線が設けられた領域をはみ出て設けられており、発光素子と、酸化物半導体層とが重畳して設けられる発光表示装置である。

【０００８】

本発明の一態様は、薄膜トランジスタ、及び発光素子を有する複数の画素を有し、画素は、走査線として機能する第１の配線と、信号線として機能する第２の配線に電氣的に接続されており、薄膜トランジスタは、第１の配線上にゲート絶縁膜を介して設けられた酸化物半導体層を有し、酸化物半導体層は、第１の配線が設けられた領域をはみ出て設けられており、第２の配線は、第１の配線上のゲート絶縁膜上を延在して酸化物半導体層上に接しており、発光素子と、酸化物半導体層とが重畳して設けられる発光表示装置である。

10

【０００９】

本発明の一態様は、薄膜トランジスタ、及び発光素子を有する複数の画素を有し、画素は、走査線として機能する第１の配線と、信号線として機能する第２の配線に電氣的に接続されており、薄膜トランジスタは、第１の配線上にゲート絶縁膜を介して設けられた酸化物半導体層を有し、酸化物半導体層は、第１の配線が設けられた領域をはみ出て設けられており、第２の配線は、第１の配線上のゲート絶縁膜及びゲート絶縁膜上の層間絶縁層上を延在して酸化物半導体層上に接しており、発光素子と、酸化物半導体層とが重畳して設けられる発光表示装置である。

【００１０】

本発明の一態様は、第１の薄膜トランジスタ、第２の薄膜トランジスタ、及び発光素子を有する複数の画素を有し、画素は、走査線として機能する第１の配線と、信号線として機能する第２の配線に電氣的に接続されており、第１の薄膜トランジスタは、第１の配線上にゲート絶縁膜を介して設けられた酸化物半導体層を有し、酸化物半導体層は、第１の配線が設けられた領域をはみ出て設けられており、第２の配線は、第１の配線上のゲート絶縁膜上を延在して酸化物半導体層上に接し、酸化物半導体層に接し、且つ第１の薄膜トランジスタと第２の薄膜トランジスタとの電氣的な接続をとるための第３の配線は、第１の配線上のゲート絶縁膜上を延在して設けられており、発光素子と、酸化物半導体層とが重畳して設けられる発光表示装置である。

20

【００１１】

本発明の一態様は、薄膜トランジスタ、及び発光素子を有する複数の画素を有し、画素は、走査線として機能する第１の配線と、信号線として機能する第２の配線に電氣的に接続されており、薄膜トランジスタは、第１の配線上にゲート絶縁膜を介して設けられた酸化物半導体層を有し、酸化物半導体層は、第１の配線が設けられた領域をはみ出て設けられており、第２の配線は、第１の配線上のゲート絶縁膜及びゲート絶縁膜上の層間絶縁層上を延在して酸化物半導体層上に接し、酸化物半導体層に接し、且つ第１の薄膜トランジスタと第２の薄膜トランジスタとの電氣的な接続をとるための第３の配線は、第１の配線上のゲート絶縁膜及びゲート絶縁膜上の層間絶縁層上を延在して設けられており、発光素子と、酸化物半導体層とが重畳して設けられる発光表示装置である。

30

【発明の効果】

【００１２】

酸化物半導体を用いた薄膜トランジスタを具備する画素を作製する際に、開口率の向上を図ることができる。従って、高精細な表示部を有する発光表示装置とすることができる。

40

【図面の簡単な説明】

【００１３】

【図１】発光表示装置について説明する上面図及び断面図。

【図２】発光表示装置について説明する断面図。

【図３】発光表示装置について説明する上面図。

【図４】発光表示装置について説明する上面図及び断面図。

【図５】発光表示装置について説明する上面図。

【図６】発光表示装置について説明する上面図及び断面図。

50

【図 7】発光表示装置について説明する回路図。

【図 8】発光表示装置について説明する回路図。

【図 9】発光表示装置について説明する断面図。

【図 10】電子機器について説明する図。

【図 11】電子機器について説明する図。

【図 12】発光表示装置について説明する上面図及び断面図。

【発明を実施するための形態】

【0014】

本発明の実施の形態について、図面を用いて詳細に説明する。但し、本発明は以下の説明に限定されず、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。なお、以下に説明する本発明の構成において、同一部分又は同様な機能を有する部分には同一の符号を異なる図面間で共通して用い、その繰り返しの説明は省略する。

10

【0015】

なお、本明細書で説明する各図において、各構成の大きさ、層の厚さ、又は領域は、明瞭化のために誇張されている場合がある。よって、必ずしもそのスケールに限定されない。

【0016】

なお、本明細書にて用いる第 1、第 2、第 3、等の用語は、構成要素の混同を避けるために付したものであり、数的に限定するものではない。そのため、例えば、「第 1 の」を「第 2 の」又は「第 3 の」などと適宜置き換えて説明することができる。

20

【0017】

(実施の形態 1)

本実施の形態では、一例として、薄膜トランジスタ(以下、TFTともいう)及び当該 TFT に接続された発光素子を有する画素について示し、発光表示装置の説明をする。なお画素とは、表示装置の各画素に設けられた各素子、例えば薄膜トランジスタ、発光素子、及び配線等の電気的な信号により表示を制御するための素子で構成される素子群、のことをいう。なお画素は、カラーフィルタ等を含むものであっても良く、一画素によって、明るさを制御できる色要素一つ分としてもよい。よって、一例として、RGB の色要素からなるカラー表示装置の場合には、画像の最小単位は、R の画素と G の画素と B の画素との三画素から構成されるものとなり、複数の画素によって画像を得ることができるものとなる。

30

【0018】

なお発光素子は一对の電極(陽極及び陰極)の間に発光層を具備する構成であり、電極上に発光層を構成する素子を積層して形成される。本明細書中で発光素子の一方の電極を図中で示す際には、発光素子ということもある。

【0019】

なお、A と B とが接続されている、と記載する場合は、A と B とが電氣的に接続されている場合と、A と B とが直接接続されている場合とを含むものとする。ここで、A、B は、電氣的作用を有する対象物であるとする。具体的には、トランジスタをはじめとするスイッチング素子を介して A と B とが接続され、該スイッチング素子の導通によって、A と B とが概略同電位となる場合や、抵抗素子を介して A と B とが接続され、該抵抗素子の両端に発生する電位差が、A と B とを含む回路の動作に影響しない程度となっている場合など、回路動作を考えた場合、A と B との間の部分を同じノードとして捉えて差し支えない状態である場合を表す。

40

【0020】

図 1 (A) には、画素の上面図を示す。なお図 1 (A) に示す TFT の構造は、ボトムゲート型構造であり、ゲートとなる配線から見てチャネル領域となる酸化物半導体層の反対側に、TFT のソース電極及びドレイン電極となる配線層を有する、いわゆる逆スタガ型の構成について示している。

50

【 0 0 2 1 】

図 1 (A) に示す画素 1 0 0 は、走査線として機能する第 1 の配線 1 0 1 A、信号線として機能する第 2 の配線 1 0 2 A、第 1 の酸化物半導体層 1 0 3 A、第 2 の酸化物半導体層 1 0 3 B、電源線 1 0 4 A、容量電極 1 0 1 B、発光素子 1 0 5 を有する。また図 1 (A) に示す画素 1 0 0 は、第 1 の酸化物半導体層 1 0 3 A と容量電極 1 0 1 B とを電氣的に接続するための第 3 の配線 1 0 2 B を有し、第 1 の薄膜トランジスタ 1 0 7 A が構成される。また図 1 (A) に示す画素 1 0 0 は、第 2 の酸化物半導体層 1 0 3 B と発光素子 1 0 5 とを電氣的に接続するための第 4 の配線 1 0 4 B を有し、第 2 の薄膜トランジスタ 1 0 7 B が構成される。

【 0 0 2 2 】

第 1 の配線 1 0 1 A、第 2 の配線 1 0 2 A、第 3 の配線 1 0 2 B、第 4 の配線 1 0 4 B、第 1 の酸化物半導体層 1 0 3 A、第 2 の酸化物半導体層 1 0 3 B、電源線 1 0 4 A、及び容量電極 1 0 1 B 上には、発光素子を画素毎に分離するための隔壁 1 0 6 が設けられる。なお隔壁 1 0 6 の内側に第 4 の配線 1 0 4 B に接続される発光素子 1 0 5 が設けられることとなる。

【 0 0 2 3 】

第 1 の配線 1 0 1 A は第 1 の薄膜トランジスタ 1 0 7 A のゲートとして機能する配線でもある。容量電極 1 0 1 B は第 2 の薄膜トランジスタ 1 0 7 B のゲート、及び容量素子の一方の電極として機能する配線でもある。第 2 の配線 1 0 2 A は、第 1 の薄膜トランジスタ 1 0 7 A のソース電極またはドレイン電極の一方として機能する配線でもある。第 3 の配線 1 0 2 B は、第 1 の薄膜トランジスタ 1 0 7 A のソース電極またはドレイン電極の他方として機能する配線でもある。電源線 1 0 4 A は、第 2 の薄膜トランジスタ 1 0 7 B のソース電極またはドレイン電極の一方、及び容量素子の他方の電極として機能する配線でもある。第 4 の配線 1 0 4 B は、第 2 の薄膜トランジスタ 1 0 7 B のソース電極またはドレイン電極の他方として機能する配線でもある。

【 0 0 2 4 】

なお第 1 の配線 1 0 1 A と、容量電極 1 0 1 B とが同層から設けられ、第 2 の配線 1 0 2 A、第 3 の配線 1 0 2 B、電源線 1 0 4 A、及び第 4 の配線 1 0 4 B が同層から設けられる。また電源線 1 0 4 A と容量電極 1 0 1 B とは、一部重畳して設けられており、第 2 の薄膜トランジスタ 1 0 7 B の保持容量を形成している。

【 0 0 2 5 】

なお、第 1 の薄膜トランジスタ 1 0 7 A が有する第 1 の酸化物半導体層 1 0 3 A は、第 1 の配線 1 0 1 A 上にゲート絶縁膜 (図示せず) を介して設けられている。第 1 の酸化物半導体層 1 0 3 A は第 1 の配線 1 0 1 A が設けられた領域及び隔壁 1 0 6 をはみ出て設けられている。

【 0 0 2 6 】

なお A が B よりはみ出ているとは、積層された A、B に着目して上面図をみた場合に、A、B の端部が一致せず、A が B の端部より外側に延在していることをいう。

【 0 0 2 7 】

なお第 1 の薄膜トランジスタ 1 0 7 A、第 2 の薄膜トランジスタ 1 0 7 B の他に、複数の薄膜トランジスタを具備する構成としてもよい。なお第 1 の薄膜トランジスタ 1 0 7 A は、当該第 1 の薄膜トランジスタ 1 0 7 A を具備する画素を選択するための機能を有し、選択トランジスタともいう。また第 2 の薄膜トランジスタ 1 0 7 B は、当該第 2 の薄膜トランジスタ 1 0 7 B を有する画素の発光素子 1 0 5 に流す電流を制御するための機能を有し、駆動トランジスタともいう。

【 0 0 2 8 】

また図 1 (B) には、図 1 (A) における一点鎖線 A - A'、B - B'、C - C' 間の断面構造について示している。図 1 (B) に示す断面構造で、基板 1 1 1 上には、下地膜 1 1 2 を介して、ゲートである第 1 の配線 1 0 1 A、容量電極 1 0 1 B が設けられている。第 1 の配線 1 0 1 A、及び容量電極 1 0 1 B を覆うように、ゲート絶縁膜 1 1 3 が設けら

10

20

30

40

50

れている。ゲート絶縁膜 113 上には、第 1 の酸化物半導体層 103 A、第 2 の酸化物半導体層 103 B が設けられている。第 1 の酸化物半導体層 103 A 上には、第 2 の配線 102 A、第 3 の配線 102 B、第 2 の酸化物半導体層 103 B 上には、電源線 104 A、第 4 の配線 104 B が設けられている。また、第 1 の酸化物半導体層 103 A、第 2 の酸化物半導体層 103 B、第 2 の配線 102 A、第 3 の配線 102 B、電源線 104 A、及び第 4 の配線 104 B 上には、パッシベーション膜として機能する酸化物絶縁層 114 が設けられている。第 1 の配線 101 A、第 2 の配線 102 A、第 3 の配線 102 B、第 4 の配線 104 B、第 1 の酸化物半導体層 103 A、第 2 の酸化物半導体層 103 B、電源線 104 A、及び容量電極 101 B 上の酸化物絶縁層 114 上には、隔壁 106 が設けられている。また第 4 の配線 104 B 上の酸化物絶縁層 114 には開口部が形成されており、開口部において発光素子 105 の電極と第 4 の配線 104 B との接続がなされる。また一点鎖線 B - B' において、第 3 の配線 102 B と容量電極 101 B とが、ゲート絶縁膜 113 に形成される開口部を介して接続されている。

10

20

30

40

50

【0029】

なお、図 1 (A)、(B) に示す画素は、図 7 に示す基板 700 上の複数の画素 701 のように、マトリクス状に配置されるものである。図 7 では、基板 700 上には、画素部 702、走査線駆動回路 703、及び信号線駆動回路 704 を有する構成について示している。画素 701 は、走査線駆動回路 703 に接続された第 1 の配線 101 A によって供給される走査信号により、各行ごとに選択状態か、非選択状態かが決定される。また走査信号によって選択されている画素 701 は、信号線駆動回路 704 に接続された第 2 の配線 102 A によって、ビデオ電圧（画像信号、ビデオ信号、ビデオデータともいう）が供給される。また、画素 701 には基板 700 の外部に設けられた電源回路 705 より延在して設けられる電源線 104 A に接続される。

【0030】

図 7 では、走査線駆動回路 703、信号線駆動回路 704 が基板 700 上に設けられる構成について示したが、走査線駆動回路 703 または信号線駆動回路 704 のいずれかが基板 700 上に設けられる構成としてもよい。また画素部 702 のみを基板 700 上に設ける構成としても良い。また図 7 では、電源回路 705 が基板 700 の外部に設けられる構成について示したが基板 700 上に設けられる構成でもよい。

【0031】

図 7 で画素部 702 には、複数の画素 701 がマトリクス状に配置（ストライプ配置）する例について示している。なお、画素 701 は必ずしもマトリクス状に配置されている必要はなく、例えば、画素 701 をデルタ配置、またはベイヤー配置としてもよい。また画素部 702 における表示方式はプログレッシブ方式、インターレース方式のいずれかを用いることができる。なお、カラー表示する際に画素で制御する色要素としては、RGB（R は赤、G は緑、B は青）の三色に限定されず、それ以上でもよく、例えば、RGBW（W は白）、又は RGB に、イエロー、シアン、マゼンタなどを一色以上追加したものなどがある。なお、色要素のドット毎にその表示領域の大きさが異なってもよい。

【0032】

図 7 において、第 1 の配線 101 A、第 2 の配線 102 A、及び電源線 104 A は画素の行方向及び列方向の数に応じて示している。なお、第 1 の配線 101 A、第 2 の配線 102 A、及び電源線 104 A は、画素を構成するサブ画素（副画素、サブピクセルともいう）の数、または画素内のトランジスタの数に応じて、本数を増やす構成としてもよい。また画素間で第 1 の配線 101 A、第 2 の配線 102 A、及び電源線 104 A を共有して画素 701 を駆動する構成としても良い。

【0033】

なお、図 1 (A) では TFT の形状を、第 2 の配線 102 A が矩形状であるものとして示しているが、第 3 の配線 102 B を囲む形状（具体的には、U 字型または C 字型）とし、キャリアが移動する領域の面積を増加させ、流れる電流量を増やす構成としてもよい。

【0034】

なお、第 1 の薄膜トランジスタ 107A となる領域以外の第 1 の配線 101A の幅は、部分的に細くなるよう小さくとってもよい。第 1 の配線の幅を小さくすることにより、画素の開口率の向上を図ることができる。

【0035】

なお開口率とは、単位面積に対し、光が透過する領域の面積を表したものである。従って、光を透過しない部材が占める領域が広がると、開口率が低下し、光を透過する部材が占める領域が広がると開口率が向上することとなる。発光表示装置では、隔壁の内側に設けられる発光素子が占める領域に光を透過しない配線等が重畳しないようにすること、薄膜トランジスタのサイズを小さくすることで開口率が向上することとなる。

【0036】

なお、薄膜トランジスタは、ゲートと、ドレインと、ソースとを含む少なくとも三つの端子を有する素子であり、ドレイン領域とソース領域の間にチャネル領域を有しており、ドレイン領域とチャネル領域とソース領域とを介して電流を流すことが出来る。ここで、ソースとドレインとは、トランジスタの構造や動作条件等によって変わるため、いずれがソースまたはドレインであるかを限定することが困難である。そこで、ソース及びドレインとして機能する領域を、ソースもしくはドレインと呼ばない場合がある。その場合、一例としては、それぞれを第 1 端子、第 2 端子と表記する場合がある。あるいは、それぞれを第 1 電極、第 2 電極と表記する場合がある。あるいは、第 1 領域、第 2 領域と表記する場合がある。

【0037】

次に図 1 (A)、(B) に示した上面図及び断面図をもとに、画素の作製方法について図 2 を用いて説明する。

【0038】

まず、透光性を有する基板 111 にはガラス基板を用いることができる。なお基板 111 上に基板 111 からの不純物の拡散の防止、または基板 111 上に設ける各素子との密着性を向上するための下地膜 112 を設ける構成を示している。なお下地膜 112 は、必ずしも設ける必要はない。

【0039】

次いで、導電層を基板 111 全面に成膜した後、第 1 のフォトリソグラフィ工程を行い、レジストマスクを形成し、エッチングにより不要な部分を除去して第 1 の配線 101A、容量電極 101B を形成する。このとき少なくとも第 1 の配線 101A 及び容量電極 101B の端部がテーパ形状となるようにエッチングする。

【0040】

第 1 の配線 101A 及び容量電極 101B は、アルミニウム (Al) や銅 (Cu) などの低抵抗導電性材料で形成することが望ましいが、Al 単体では耐熱性が劣り、また腐蝕しやすい等の問題点があるので耐熱性導電性材料と組み合わせて形成する。耐熱性導電性材料としては、チタン (Ti)、タンタル (Ta)、タングステン (W)、モリブデン (Mo)、クロム (Cr)、ネオジム (Nd)、スカンジウム (Sc) から選ばれた元素、または上述した元素を成分とする合金か、上述した元素を組み合わせた合金、または上述した元素を成分とする窒化物で形成する。

【0041】

なお、インクジェットや印刷法を用いて TFT を構成する配線等を形成することができる。これらにより、室温で製造、低真空度で製造、又は大型基板上に製造することができる。フォトマスクを用いなくても製造することができるため、トランジスタのレイアウトを容易に変更することが出来る。さらに、レジストを用いる必要がないので、材料費が安くなり、工程数を削減できる。またインクジェットや印刷法を用いてレジストマスク等を形成することもできる。インクジェットや印刷法を用いてレジストを必要な部分にのみ形成し、露光及び現像によりレジストマスクとすることで、全面にレジストを形成するよりも、低コスト化が図れる。

【0042】

また、多階調マスクにより複数（代表的には二種類）の厚さの領域を有するレジストマスクを形成し、配線等の形成を行っても良い。

【0043】

次いで、第1の配線101A及び容量電極101B上に絶縁膜（以下、ゲート絶縁膜113という）を全面に成膜する。ゲート絶縁膜113はスパッタ法などを用いる。

【0044】

例えば、ゲート絶縁膜113としてスパッタ法により酸化シリコン膜を用いて形成する。勿論、ゲート絶縁膜113はこのような酸化シリコン膜に限定されるものでなく、酸化窒化シリコン膜、窒化シリコン膜、酸化アルミニウム膜、酸化タンタル膜などの他の絶縁膜を用い、これらの材料から成る単層または積層構造として形成しても良い。

10

【0045】

なお、酸化物半導体を成膜する前に、アルゴンガスを導入してプラズマを発生させる逆スパッタを行い、ゲート絶縁膜113の表面に付着しているゴミを除去することが好ましい。なお、アルゴン雰囲気中に代えて窒素、ヘリウムなどを用いてもよい。また、アルゴン雰囲気中に酸素、 N_2O などを加えた雰囲気で行ってもよい。また、アルゴン雰囲気中に Cl_2 、 CF_4 などを加えた雰囲気で行ってもよい。

【0046】

次に、ゲート絶縁膜113上に、酸化物半導体を、ゲート絶縁膜113表面のプラズマ処理後、大気に曝すことなく成膜する。酸化物半導体をトランジスタの半導体層として用いることにより、アモルファスシリコン等のシリコン系半導体材料と比較して電界効果移動度を高めることが出来る。なお酸化物半導体としては、例えば、酸化亜鉛（ ZnO ）、酸化スズ（ SnO_2 ）なども用いることができる。また、 ZnO に In や Ga などを添加することもできる。

20

【0047】

酸化物半導体として $InMO_3(ZnO)_x$ （ $x > 0$ ）で表記される薄膜を用いることができる。なお、 M は、ガリウム（ Ga ）、鉄（ Fe ）、ニッケル（ Ni ）、マンガン（ Mn ）及びコバルト（ Co ）から選ばれた一の金属元素又は複数の金属元素を示す。例えば M として、 Ga の場合があることその他、 Ga と Ni 又は Ga と Fe など、 Ga 以外の上記金属元素が含まれる場合がある。また、上記酸化物半導体において、 M として含まれる金属元素の他に、不純物元素として Fe 、 Ni その他の遷移金属元素、又は該遷移金属の酸化物が含まれているものがある。例えば、酸化物半導体層として $In-Ga-Zn-O$ 系膜を用いることができる。

30

【0048】

酸化物半導体（ $InMO_3(ZnO)_x$ （ $x > 0$ ）膜）として $In-Ga-Zn-O$ 系膜のかわりに、 M を他の金属元素とする $InMO_3(ZnO)_x$ （ $x > 0$ ）膜を用いてもよい。また、酸化物半導体として上記の他にも、 $In-Sn-Zn-O$ 系、 $In-Al-Zn-O$ 系、 $Sn-Ga-Zn-O$ 系、 $Al-Ga-Zn-O$ 系、 $Sn-Al-Zn-O$ 系、 $In-Zn-O$ 系、 $Sn-Zn-O$ 系、 $Al-Zn-O$ 系、 $In-O$ 系、 $Sn-O$ 系、 $Zn-O$ 系の酸化物半導体を適用することができる。

【0049】

なお酸化物半導体として、 $In-Ga-Zn-O$ 系を用いる。ここでは、 $In_2O_3 : Ga_2O_3 : ZnO = 1 : 1 : 1$ としたターゲットを用いる。基板とターゲットとの間の距離を100mm、圧力0.6Pa、直流（DC）電源0.5kW、酸素（酸素流量比率100%）雰囲気下で成膜する。なお、パルス直流（DC）電源を用いると、成膜時に発生する粉状物質（パーティクル、ゴミともいう）が軽減でき、膜厚分布も均一となるために好ましい。

40

【0050】

なお酸化物半導体の成膜は、先に逆スパッタを行ったチャンバーと同一チャンバーを用いてもよいし、先に逆スパッタを行ったチャンバーと異なるチャンバーで成膜してもよい。

【0051】

50

スパッタ法にはスパッタ用電源に高周波電源を用いるRFスパッタ法、直流電源を用いるDCスパッタ法、さらにパルスのバイアスを与えるパルスDCスパッタ法がある。RFスパッタ法は主に絶縁膜を成膜する場合に用いられ、DCスパッタ法は主に金属膜を成膜する場合に用いられる。

【0052】

また、材料の異なるターゲットを複数設置できる多元スパッタ装置もある。多元スパッタ装置は、同一チャンバーで異なる材料膜を積層成膜することも、同一チャンバーで複数種類の材料を同時に放電させて成膜することもできる。

【0053】

また、チャンバー内部に磁石機構を備えたマグネトロンスパッタ法を用いるスパッタ装置や、グロー放電を使わずマイクロ波を用いて発生させたプラズマを用いるECRスパッタ法を用いるスパッタ装置がある。

【0054】

また、スパッタ法を用いる成膜方法として、成膜中にターゲット物質とスパッタガス成分とを化学反応させてそれらの化合物薄膜を形成するリアクティブスパッタ法や、成膜中に基板にも電圧をかけるバイアススパッタ法もある。

【0055】

次いで、酸化物半導体層の脱水化または脱水素化を行う。脱水化または脱水素化を行う第1の加熱処理の温度は、400 以上であって750 未満、好ましくは425 以上とする。なお、425 以上であれば熱処理時間は1時間以下でよいが、425 未満であれば加熱処理時間は、1時間よりも長時間行うこととする。ここでは、加熱処理装置の一つである電気炉に基板を導入し、酸化物半導体層に対して窒素雰囲気下において加熱処理を行った後、大気に触れることなく、酸化物半導体層への水や水素の再混入を防ぎ、酸化物半導体層を得る。本実施の形態では、酸化物半導体層の脱水化または脱水素化を行う加熱温度Tから、再び水が入らないような十分な温度まで同じ炉を用い、具体的には加熱温度Tよりも100 以上下がるまで窒素雰囲気下で徐冷する。また、窒素雰囲気限定されず、希ガス（ヘリウム、ネオン、アルゴン等）雰囲気下において脱水化または脱水素化を行う。

【0056】

なお、加熱処理装置は電気炉に限られず、抵抗発熱体などの発熱体からの熱伝導または熱輻射によって、被処理物を加熱する装置を備えていてもよい。例えば、GRTA（Gas Rapid Thermal Anneal）装置、LRTA（Lamp Rapid Thermal Anneal）装置等のRTA（Rapid Thermal Anneal）装置を用いることができる。LRTA装置は、ハロゲンランプ、メタルハライドランプ、キセノンアークランプ、カーボンアークランプ、高圧ナトリウムランプ、高圧水銀ランプなどのランプから発する光（電磁波）の輻射により、被処理物を加熱する装置である。GRTA装置は、高温のガスを用いて加熱処理を行う装置である。気体には、アルゴンなどの希ガス、または窒素のような、加熱処理によって被処理物と殆ど反応しない不活性気体を用いられる。

【0057】

酸化物半導体層を400 以上750 未満の温度で熱処理することで、酸化物半導体層の脱水化、脱水素化が図られ、その後の水（ H_2O ）の再含浸を防ぐことができる。

【0058】

また、第1の加熱処理においては、窒素、またはヘリウム、ネオン、アルゴン等の希ガスに、水、水素などが含まれないことが好ましい。または、加熱処理装置に導入する窒素、またはヘリウム、ネオン、アルゴン等の希ガスの純度を、6N（99.9999%）以上、好ましくは7N（99.99999%）以上、（即ち不純物濃度を1ppm以下、好ましくは0.1ppm以下）とすることが好ましい。

【0059】

なお、第1の加熱処理の条件、または酸化物半導体層の材料によっては、酸化物半導体層

10

20

30

40

50

が結晶化し、微結晶膜または多結晶膜となる場合もある。例えば、結晶化率が90%以上、または80%以上の微結晶の酸化物半導体膜となる場合もある。また、第1の加熱処理の条件、または酸化物半導体層の材料によっては、結晶成分を含まない非晶質の酸化物半導体膜となる場合もある。

【0060】

酸化物半導体層は、脱水化または脱水素化のための第1の加熱処理後に酸素欠乏型となり、低抵抗化する。第1の加熱処理後の酸化物半導体層は、成膜直後の酸化物半導体膜よりもキャリア濃度が高まり、好ましくは $1 \times 10^{18} / \text{cm}^3$ 以上のキャリア濃度を有する酸化物半導体層となる。

【0061】

次いで、第2のフォトリソグラフィ工程を行い、レジストマスクを形成し、エッチングにより不要な部分を除去して酸化物半導体となる第1の酸化物半導体層103A、第2の酸化物半導体層103Bを形成する。なお第1の酸化物半導体層103A、第2の酸化物半導体層103Bへの第1の加熱処理は、島状の酸化物半導体層に加工する前の酸化物半導体膜に行うこともできる。この際のエッチング方法としてウェットエッチングまたはドライエッチングを用いる。この段階での断面図を図2(A)に示す。

【0062】

なおゲート絶縁膜113の成膜後に、図2(A)に示すような、ゲート絶縁膜113に容量電極101Bに達する開口部121を形成し、後に形成する配線と容量電極との接続をするようにしてもよい。

【0063】

次に、酸化物半導体層上に金属材料からなる導電膜をスパッタ法や真空蒸着法で形成する。導電膜の材料としては、Al、Cr、Ta、Ti、Mo、Wから選ばれた元素、または上述した元素を成分とする合金か、上述した元素を組み合わせた合金等が挙げられる。また、200 ~ 600 の熱処理を行う場合には、この熱処理に耐える耐熱性を導電膜に持たせることが好ましい。Al単体では耐熱性が劣り、また腐蝕しやすい等の問題点があるので耐熱性導電性材料と組み合わせて形成する。Alと組み合わせる耐熱性導電性材料としては、チタン(Ti)、タンタル(Ta)、タングステン(W)、モリブデン(Mo)、クロム(Cr)、ネオジム(Nd)、Sc(スカンジウム)から選ばれた元素、または上述した元素を成分とする合金か、上述した元素を組み合わせた合金、または上述した元素を成分とする窒化物で形成する。

【0064】

ここでは、導電膜としてチタン膜の単層構造とする。また、導電膜は、2層構造としてもよく、アルミニウム膜上にチタン膜を積層してもよい。また、導電膜としてTi膜と、そのTi膜上に重ねてNdを含むアルミニウム(Al-Nd)膜を積層し、さらにその上にTi膜を成膜する3層構造としてもよい。導電膜は、シリコンを含むアルミニウム膜の単層構造としてもよい。

【0065】

次に、第3のフォトリソグラフィ工程を行い、レジストマスクを形成し、エッチングにより不要な部分を除去して導電膜となる第2の配線102A、第3の配線102B、電源線104A、及び第4の配線104Bを形成する。この際のエッチング方法としてウェットエッチングまたはドライエッチングを用いる。例えば、アンモニア過水(31重量%過酸化水素水:28重量%アンモニア水:水=5:2:2)を用いたウェットエッチングにより、Ti膜の導電膜をエッチングして第2の配線102A、第3の配線102B、電源線104A、及び第4の配線104Bを選択的にエッチングして第1の酸化物半導体層103A、第2の酸化物半導体層103Bを残存させることができる。

【0066】

また、エッチング条件にもよるが第3のフォトリソグラフィ工程において酸化物半導体層の露出領域がエッチングされる場合がある。その場合、第2の配線102A及び第3の配線102Bに挟まれる領域の第1の酸化物半導体層103Aは、第1の配線101A上

10

20

30

40

50

で第2の配線102A及び第3の配線102Bと重なる領域の酸化物半導体層に比べ、膜厚が薄くなる。また、電源線104A及び第4の配線104Bに挟まれる領域の第2の酸化物半導体層103Bは、容量電極101B上で電源線104A及び第4の配線104Bと重なる領域の酸化物半導体層に比べ、膜厚が薄くなる。

【0067】

次いで、ゲート絶縁膜113、第1の酸化物半導体層103A、第2の酸化物半導体層103B、第2の配線102A、第3の配線102B、電源線104A、第4の配線104B上に酸化物絶縁層114を形成する。この段階で、第1の酸化物半導体層103A、及び第2の酸化物半導体層103Bの一部は、酸化物絶縁層114と接する。なお、ゲート絶縁膜113を挟んで第1の配線101Aと重なる第1の酸化物半導体層103Aの領域、及び容量電極101Bと重なる第2の酸化物半導体層103Bの領域がチャネル形成領域となる。

10

【0068】

酸化物絶縁層114は、少なくとも1nm以上の膜厚とし、スパッタリング法など、酸化物絶縁層に水、水素等の不純物を混入させない方法を適宜用いて形成することができる。本実施の形態では、スパッタリング法を用いて酸化物絶縁層として酸化珪素膜を成膜する。成膜時の基板温度は、室温以上300以下とすればよく、本実施の形態では100とする。酸化珪素膜のスパッタリング法による成膜は、希ガス（代表的にはアルゴン）雰囲気下、酸素雰囲気下、または希ガス（代表的にはアルゴン）及び酸素混合雰囲気下において行うことができる。また、ターゲットとして酸化珪素ターゲットまたは珪素ターゲットを用いることができる。例えば、珪素ターゲットを用いて、酸素、及び希ガス雰囲気下でスパッタリング法により酸化珪素膜を形成することができる。低抵抗化した酸化物半導体層に接して形成する酸化物絶縁層は、水分や、水素イオンや、OH⁻などの不純物を含まず、これらが外部から侵入することをブロックする無機絶縁膜を用い、代表的には酸化珪素膜、窒化酸化珪素膜、酸化アルミニウム膜、または酸化窒化アルミニウム膜などを用いる。なお、スパッタ法で成膜した酸化物絶縁層は特に緻密であり、接する層へ不純物が拡散する現象を抑制する保護膜として単層であっても利用することができる。また、リン（P）や硼素（B）をドーブしたターゲットを用い、酸化物絶縁層にリン（P）や硼素（B）を添加することもできる。

20

【0069】

本実施の形態では、純度が6Nであり、柱状多結晶Bドーブの珪素ターゲット（抵抗値0.01Ωcm）を用い、基板とターゲットとの間の距離（T-S間距離）を89mm、圧力0.4Pa、直流（DC）電源6kW、酸素（酸素流量比率100%）雰囲気下でパルスDCスパッタ法により成膜する。膜厚は300nmとする。

30

【0070】

なお、酸化物絶縁層114は酸化物半導体層のチャネル形成領域となる領域上に接して設けられ、チャネル保護層としての機能も有する。

【0071】

次いで、第2の加熱処理（好ましくは200以上400以下、例えば250以上350以下）を不活性ガス雰囲気下、または窒素ガス雰囲気下で行ってもよい。例えば、窒素雰囲気下で250、1時間の第2の加熱処理を行う。第2の加熱処理を行うと、第1の酸化物半導体層103A、及び第2の酸化物半導体層103Bの一部が酸化物絶縁層114と接した状態で加熱される。

40

【0072】

第1の加熱処理で低抵抗化された第1の酸化物半導体層103A、及び第2の酸化物半導体層103Bが酸化物絶縁層114と接した状態で第2の加熱処理が施されると、酸化物絶縁層114が接した領域が酸素過剰な状態となる。その結果、第1の酸化物半導体層103A、及び第2の酸化物半導体層103Bの酸化物絶縁層114が接する領域から、第1の酸化物半導体層103A、及び第2の酸化物半導体層103Bの深さ方向に向けて、I型化（高抵抗化）する。

50

【0073】

次いで、酸化物絶縁層114に第4のフォトリソグラフィ工程により、開口部122を形成する。この段階での断面図を図2(B)に示す。

【0074】

次いで、第4の配線104Bと接続するための透光性を有する導電膜を成膜する。透光性を有する導電膜の材料としては、酸化インジウム(In_2O_3)や酸化インジウム酸化スズ合金($\text{In}_2\text{O}_3-\text{SnO}_2$ 、ITOと略記する)などをスパッタ法や真空蒸着法などを用いて成膜する。透光性を有する導電膜の他の材料として、窒素を含ませたAl-Zn-O系膜、即ちAl-Zn-O-N系膜や、窒素を含ませたZn-O系膜や、窒素を含ませたSn-Zn-O系膜を用いてもよい。なお、Al-Zn-O-N系膜の亜鉛の組成比(原子%)は、47原子%以下とし、膜中のアルミニウムの組成比(原子%)より大きく、膜中のアルミニウムの組成比(原子%)は、膜中の窒素の組成比(原子%)より大きい。このような材料のエッチング処理は塩酸系の溶液により行う。しかし、特にITOのエッチングは残渣が発生しやすいので、エッチング加工性を改善するために酸化インジウム酸化亜鉛合金($\text{In}_2\text{O}_3-\text{ZnO}$)を用いても良い。

10

【0075】

なお、透光性を有する導電膜の組成比の単位は原子%とし、電子線マイクロアナライザー(EPMA:Electron Probe X-ray MicroAnalyzer)を用いた分析により評価するものとする。

【0076】

次に、第5のフォトリソグラフィ工程を行い、レジストマスクを形成し、エッチングにより不要な部分を除去して発光素子の一方の電極を形成する。発光素子是一对の電極(陽極及び陰極)の間に発光層を具備する構成であり、電極上に発光層を構成する素子を積層して形成する。そこで、発光素子の一方の電極を発光素子105という。

20

【0077】

次いで、第1の配線101A、第2の配線102A、第3の配線102B、第4の配線104B、第1の酸化物半導体層103A、第2の酸化物半導体層103B、電源線104A、及び容量電極101B上には、発光素子を画素毎に分離するための隔壁106が設けられる。なお隔壁106の内側に第4の配線104Bに接続される発光素子105が設けられることとなる。この段階での断面図を図2(C)に示す。

30

【0078】

こうして、第1の薄膜トランジスタ107A及び第2の薄膜トランジスタ107Bを有する画素を作製することができる。そして、これらを個々の画素に対応してマトリクス状に配置して画素部を構成することによりアクティブマトリクス型の発光表示装置を作製することができる。

【0079】

図1、図2で説明した本実施の形態の構成による利点について図3(A)、(B)を用いて詳細に説明を行う。

【0080】

図3(A)、(B)は、図1(A)の上面図における酸化物半導体層近傍の拡大図である。また、図3(A)における第1の酸化物半導体層103Aの幅(図3(A)中、W1)を大きくとった図が、図3(B)の第1の酸化物半導体層103Aの幅(図3(B)中、W2)とした図に対応する。

40

【0081】

本実施の形態における図1(A)での画素の上面図では、図3(A)、(B)で示すように、第1の配線101Aより配線を分岐させることなく、第1の配線101A上に第1の酸化物半導体層103Aを設けている。酸化物半導体層での第2の配線102Aと第3の配線102Bとの間に形成されるチャネル領域が第1の配線101A上の重畳する領域に形成されることとなる。第1の酸化物半導体層103Aはチャネル領域に光が照射されることでTF特性にばらつきが生じることもあるため、第1の配線101Aより分岐した

50

配線により確実に遮光を行う必要があり、画素の開口率を下げる要因ともなっていた。本実施の形態の構成である第1の配線101A上に重畳するように酸化物半導体層を設け、第1の配線101Aより分岐した配線を形成しないことで、開口率の向上を図ることができる。

【0082】

また、薄膜トランジスタの半導体層として、透光性を有する酸化物半導体層を用いることにより、酸化物半導体層が第1の配線101Aと重畳する領域から、設計の位置よりもずれた領域に形成され、発光素子105と重畳することとなっても、開口率を低減することなく、表示を行うことができる。

【0083】

所定のサイズより大きなパターンで酸化物半導体層を形成することで、設計の位置から多少ずれた箇所に酸化物半導体層が形成されたとしても、動作不良及び開口率の低下といったことなく良好な表示を行うことができる。そのため、発光表示装置のアクティブマトリクス基板が作りやすくなり、歩留まりの向上を図ることができるといえる。

【0084】

次いで、酸化物半導体層を用いた薄膜トランジスタを用いることにより、保持容量を削減する際の具体的な上面図の一例について示す。

【0085】

酸化物半導体を有する薄膜トランジスタでは、ゲートにトランジスタを非導通状態とする電圧を印加した際にトランジスタに流れる電流（以下、リーク電流という）が0.1pA以下であるのに対し、アモルファスシリコンを有する薄膜トランジスタでは数100nA程度となる。そのため、酸化物半導体を有する薄膜トランジスタでは、保持容量の縮小を図ることができる。すなわち酸化物半導体を有する薄膜トランジスタが設けられる画素では、アモルファスシリコンを有する薄膜トランジスタが設けられる画素に比べ各素子のレイアウトの自由度を高めることが出来る。

【0086】

酸化物半導体層を有する薄膜トランジスタは、リーク電流が非常に小さいため、保持容量を省略することも可能である。具体的に保持容量を省略した場合の上面図、及びその断面図について図12(A)、(B)に示す。図12(A)に示す画素の上面図は、上記説明した図1(A)での上面図において、容量線を省略した図に相当する。図12(A)に示す上面図、図12(B)に示す断面図からもわかるように、酸化物半導体層を有する薄膜トランジスタを用いることで、第2の薄膜トランジスタの配置によって、第3の配線102B等の引き回しを短くし、開口率を向上することができる。

【0087】

以上説明したように本実施の形態で示す構成とすることにより、酸化物半導体を用いた薄膜トランジスタを具備する画素を作製する際に、開口率の向上を図ることができる。従って、高精細な表示部を有する発光表示装置とすることができる。

【0088】

本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせることで実施することが可能である。

【0089】

(実施の形態2)

上記実施の形態とは別のTF Tの構成の表示装置の画素を構成する例を以下に説明する。

【0090】

実施の形態1の構成とは異なる、画素の上面図について図4(A)に示す。なお図4(A)に示すTF Tの構造は、ボトムゲート型構造であり、ゲートとなる配線から見てチャネル領域となる酸化物半導体層の反対側に、TF Tのソース電極及びドレイン電極となる配線層を有する、いわゆる逆スタガ型の構成について示している。

【0091】

図4(A)に示す画素400は、走査線として機能する第1の配線401A、信号線とし

10

20

30

40

50

て機能する第 2 の配線 4 0 2 A、第 1 の酸化物半導体層 4 0 3 A、第 2 の酸化物半導体層 4 0 3 B、電源線 4 0 4 A、容量電極 4 0 1 B、発光素子 4 0 5 を有する。また、第 1 の酸化物半導体層 4 0 3 A と容量電極 4 0 1 B とを電氣的に接続するための第 3 の配線 4 0 2 B を有し、第 1 の薄膜トランジスタ 4 0 7 A が構成される。また、第 2 の酸化物半導体層 4 0 3 B と発光素子 4 0 5 とを電氣的に接続するための第 4 の配線 4 0 4 B を有し、第 2 の薄膜トランジスタ 4 0 7 B が構成される。また第 1 の配線 4 0 1 A、第 2 の配線 4 0 2 A、第 3 の配線 4 0 2 B、第 4 の配線 4 0 4 B、第 1 の酸化物半導体層 4 0 3 A、第 2 の酸化物半導体層 4 0 3 B、電源線 4 0 4 A、及び容量電極 4 0 1 B 上には、発光素子を画素毎に分離するための隔壁 4 0 6 が設けられる。なお隔壁 4 0 6 の内側に第 4 の配線 4 0 4 B に接続される発光素子 4 0 5 が設けられることとなる。

10

【0092】

第 1 の配線 4 0 1 A は第 1 の薄膜トランジスタ 4 0 7 A のゲートとして機能する配線でもある。容量電極 4 0 1 B は、第 2 の薄膜トランジスタ 4 0 7 B のゲート及び保持容量の一方の電極としてとして機能する配線でもある。第 2 の配線 4 0 2 A は、第 1 の薄膜トランジスタ 4 0 7 A のソース電極またはドレイン電極の一方として機能する配線でもある。第 3 の配線 4 0 2 B は、第 1 の薄膜トランジスタ 4 0 7 A のソース電極またはドレイン電極の他方として機能する配線でもある。電源線 4 0 4 A は、第 2 の薄膜トランジスタ 4 0 7 B のソース電極またはドレイン電極の一方、及び保持容量の他方の電極として機能する配線でもある。第 4 の配線 4 0 4 B は、第 2 の薄膜トランジスタ 4 0 7 B のソース電極またはドレイン電極の他方として機能する配線でもある。

20

【0093】

なお第 1 の配線 4 0 1 A と、容量電極 4 0 1 B とが同層から設けられ、第 2 の配線 4 0 2 A、第 3 の配線 4 0 2 B、電源線 4 0 4 A、及び第 4 の配線 4 0 4 B が同層から設けられる。また電源線 4 0 4 A と容量電極 4 0 1 B とは、一部重畳して設けられており、第 2 の薄膜トランジスタ 4 0 7 B の保持容量を形成している。なお、第 1 の薄膜トランジスタ 4 0 7 A が有する第 1 の酸化物半導体層 4 0 3 A は、第 1 の配線 4 0 1 A 上にゲート絶縁膜（図示せず）を介して設けられており、第 1 の酸化物半導体層 4 0 3 A は第 1 の配線 4 0 1 A 及び隔壁 4 0 6 が設けられた領域をはみ出て設けられている。

【0094】

また図 4 (B) には、図 4 (A) における一点鎖線 A - A'、B - B'、C - C' 間の断面構造について示している。図 4 (B) に示す断面構造で、基板 4 1 1 上には、下地膜 4 1 2 を介して、ゲートである第 1 の配線 4 0 1 A、容量電極 4 0 1 B が設けられている。第 1 の配線 4 0 1 A、及び容量電極 4 0 1 B を覆うように、ゲート絶縁膜 4 1 3 が設けられている。ゲート絶縁膜 4 1 3 上には、第 1 の酸化物半導体層 4 0 3 A、第 2 の酸化物半導体層 4 0 3 B が設けられている。第 1 の酸化物半導体層 4 0 3 A 上には、第 2 の配線 4 0 2 A、第 3 の配線 4 0 2 B、第 2 の酸化物半導体層 4 0 3 B 上には、電源線 4 0 4 A、第 4 の配線 4 0 4 B が設けられている。また、第 1 の酸化物半導体層 4 0 3 A、第 2 の酸化物半導体層 4 0 3 B、第 2 の配線 4 0 2 A、第 3 の配線 4 0 2 B、電源線 4 0 4 A、及び第 4 の配線 4 0 4 B 上には、パッシベーション膜として機能する酸化物絶縁層 4 1 4 が設けられている。第 1 の配線 4 0 1 A、第 2 の配線 4 0 2 A、第 3 の配線 4 0 2 B、第 4 の配線 4 0 4 B、第 1 の酸化物半導体層 4 0 3 A、第 2 の酸化物半導体層 4 0 3 B、電源線 4 0 4 A、及び容量電極 4 0 1 B 上の酸化物絶縁層 4 1 4 上には、隔壁 4 0 6 が設けられている。また第 4 の配線 4 0 4 B 上の酸化物絶縁層 4 1 4 には開口部が形成されており、開口部において発光素子 4 0 5 の電極と第 4 の配線 4 0 4 B との接続がなされる。また一点鎖線 B - B' において、第 3 の配線 4 0 2 B と容量電極 4 0 1 B とが、ゲート絶縁膜 4 1 3 に形成される開口部を介して接続されている。

30

40

【0095】

なお、図 4 (A)、(B) に示す画素は、実施の形態 1 の図 1 (A)、(B) での説明と同様に、図 7 での基板 7 0 0 上にマトリクス状の複数の画素 7 0 1 として配置されるものである。図 7 に関する説明は実施の形態 1 と同様である。

50

【 0 0 9 6 】

また、図 4 (B) に示す断面図は、図 1 (B) に示した断面図と同様であり、画素の作製方法については実施の形態 1 における図 2 での説明と同様である。

【 0 0 9 7 】

図 4 (A)、(B) で説明した本実施の形態の構成による利点について図 5 (A)、(B) を用いて詳細に説明を行う。

【 0 0 9 8 】

図 5 (A)、(B) は、図 4 (A) の上面図における酸化物半導体層近傍の拡大図である。また、図 5 (A) における第 1 の酸化物半導体層 4 0 3 A の幅 (図 5 (A) 中、W 1) を大きくとった図が、図 5 (B) の第 1 の酸化物半導体層 4 0 3 A の幅 (図 5 (B) 中、W 2) とした図に対応する。

10

【 0 0 9 9 】

本実施の形態における図 4 (A) での画素の上面図では、図 5 (A)、(B) で示すように、第 1 の配線 4 0 1 A より配線を分岐させることなく、第 1 の配線 4 0 1 A 上に第 1 の酸化物半導体層 4 0 3 A を設けている。酸化物半導体層での第 2 の配線 4 0 2 A と第 3 の配線 4 0 2 B との間に形成されるチャネル領域が第 1 の配線 4 0 1 A 上の重畳する領域に形成されることとなる。加えて本実施の形態で第 1 の酸化物半導体層 4 0 3 A は、第 1 の配線 4 0 1 A 上のゲート絶縁膜上を延在して第 2 の配線 4 0 2 A 及び第 3 の配線 4 0 2 B に接することとなる。

【 0 1 0 0 】

20

第 1 の酸化物半導体層 4 0 3 A はチャネル領域に光が照射されることで T F T 特性にばらつきが生じることもあるため、第 1 の配線 4 0 1 A より分岐した配線により確実に遮光を行う必要があり、画素の開口率を下げる要因ともなっていた。本実施の形態の構成である第 1 の配線 4 0 1 A 上に重畳するように酸化物半導体層を設け、第 1 の配線 4 0 1 A より分岐した配線を形成しない構成、及び第 1 の配線 4 0 1 A 上のゲート絶縁膜上を延在して第 2 の配線 4 0 2 A 及び第 3 の配線 4 0 2 B を第 1 の酸化物半導体層 4 0 3 A に接する構成で、開口率の向上を図ることができる。

【 0 1 0 1 】

また、薄膜トランジスタの半導体層として、透光性を有する酸化物半導体層を用いることにより、酸化物半導体層が第 1 の配線 4 0 1 A と重畳する領域から、設計の位置よりもずれた領域に形成され、発光素子 4 0 5 と重畳することとなっても、開口率を低減することなく、表示を行うことができる。

30

【 0 1 0 2 】

なお図 4 (A) で示す第 1 の配線 4 0 1 A 上を延在する第 2 の配線 4 0 2 A 及び第 3 の配線 4 0 2 B は、第 1 の配線 4 0 1 A 上に重畳して設けられていればよい。また第 2 の配線 4 0 2 A 及び第 3 の配線 4 0 2 B は、蛇行して (メアンダ状に) 引き回されていてもよいし、直線状に配線を設ける構成としてもよい。

【 0 1 0 3 】

所定のサイズより大きなパターンで酸化物半導体層を形成することで、多少設計の位置よりもずれた箇所に酸化物半導体層が形成されたとしても、動作不良及び開口率の低下といったことなく良好な表示を行うことができる。そのため、発光表示装置のアクティブマトリクス基板が作りやすくなり、歩留まりの向上を図ることができるといえる。

40

【 0 1 0 4 】

以上説明したように本実施の形態で示す構成とすることにより、酸化物半導体を用いた薄膜トランジスタを具備する画素を作製する際に、開口率の向上を図ることができる。従って、高精細な表示部を有する発光表示装置とすることができる。

【 0 1 0 5 】

本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせることで実施することが可能である。

【 0 1 0 6 】

50

(実施の形態 3)

上記実施の形態とは別の T F T の構成の表示装置の画素を構成する例を以下に説明する。

【0107】

実施の形態 2 の構成とは異なる、画素の上面図及び断面図について図 6 (A)、(B) に示す。なお図 6 (A) に示す上面図の構造は、図 4 (A) と同様であり、ここでは説明を省略する。また図 6 (B) に示す断面図の構造が、図 4 (B) に示す断面図の構造と異なる点は、第 1 の配線 4 0 1 A と第 2 の配線 4 0 2 A との間に層間絶縁層 6 0 1 A を設ける構成とする点、及び第 1 の配線 4 0 1 A と第 3 の配線 4 0 2 B との間に層間絶縁層 6 0 1 B を設ける構成とする点にある。

【0108】

第 1 の配線 4 0 1 A 上に第 2 の配線 4 0 2 A 及び第 3 の配線 4 0 2 B を延在させて設ける場合、ゲート絶縁膜 4 1 3 の膜厚によっては、第 1 の配線 4 0 1 A と第 2 の配線 4 0 2 A、第 1 の配線 4 0 1 A と第 3 の配線 4 0 2 B との間、及び第 1 の配線 4 0 1 A と電源線 4 0 4 A の間に寄生容量が生じることとなる。そのため、図 6 (B) に示すように、層間絶縁層 6 0 1 A、層間絶縁層 6 0 1 B を設けることで寄生容量を低減し、誤動作等の不良を低減することができる。

【0109】

以上説明したように本実施の形態で示す構成とすることにより、酸化物半導体を用いた薄膜トランジスタを具備する画素を作製する際に、開口率の向上を図ることができる。また本実施の形態では、上記実施の形態 2 の構成に加えて、寄生容量の低減を図ることができる。従って、高精細な表示部を有し、且つ誤動作を低減することのできる発光表示装置とすることができる。

【0110】

(実施の形態 4)

本実施の形態では、表示素子である発光素子の構成について説明する。

【0111】

図 9 は、薄膜トランジスタに接続された発光素子の断面構造の一形態について示したものである。発光素子は、第 1 電極 9 1 1、発光層を有する E L 層 9 1 3、第 2 電極 9 1 4 が順に積層して設けられている。第 1 電極 9 1 1 または第 2 電極 9 1 4 の一方は陽極として機能し、他方は陰極として機能する。発光素子は、陽極から注入される正孔及び陰極から注入される電子が E L 層に含まれる発光層で再結合して、発光する。発光素子の第 1 電極 9 1 1 は、基板 1 1 1 上に形成された薄膜トランジスタ 1 0 7 B に接続する。また、薄膜トランジスタ 1 0 7 B のソース又はドレインとなる一方の電極及び第 1 電極 9 1 1 を覆うように隔壁 1 0 6 が設けられる。また、第 1 電極 9 1 1 上の隔壁 1 0 6 の開口部に、E L 層 9 1 3 が設けられ、E L 層 9 1 3 や隔壁 1 0 6 を覆うように第 2 電極 9 1 4 が設けられる。なお、本実施の形態では、実施の形態 1 に示す薄膜トランジスタを用いて示したが、他の実施の形態に示す薄膜トランジスタを用いることができる。

【0112】

第 1 電極 9 1 1 または第 2 電極 9 1 4 は、金属、合金、または電気伝導性化合物を用いて形成する。

【0113】

例えば、第 1 電極 9 1 1 または第 2 電極 9 1 4 は、仕事関数の大きい (仕事関数が 4 . 0 e V 以上) 金属、合金、電気伝導性化合物などを用いることができる。代表的には、酸化インジウム - 酸化スズ (I T O : I n d i u m T i n O x i d e)、珪素若しくは酸化珪素を含有した酸化インジウム - 酸化スズ、酸化インジウム - 酸化亜鉛 (I Z O : I n d i u m Z i n c O x i d e)、酸化タングステン及び酸化亜鉛を含有した酸化インジウム (I W Z O) 等の透光性を有する導電性金属酸化物層がある。

【0114】

また、第 1 電極 9 1 1 または第 2 電極 9 1 4 は、仕事関数の小さい (代表的には、仕事関数が 3 . 8 e V 以下) 金属、合金、電気伝導性化合物などを用いることができる。代表

10

20

30

40

50

的には、元素周期表の第 1 族または第 2 族に属する元素、すなわちリチウムやセシウム等のアルカリ金属、およびマグネシウム、カルシウム、ストロンチウム等のアルカリ土類金属、およびこれらを含む合金（アルミニウム、マグネシウムと銀との合金、アルミニウムとリチウムの合金）、ユーロピウム、イッテルビウム等の希土類金属およびこれらを含む合金等がある。

【0115】

アルカリ金属、アルカリ土類金属、及びこれらを含む合金は、真空蒸着法、スパッタリング法などを用いて形成する。また、銀ペーストなどをインクジェット法により吐出し焼成して形成することも可能である。また、第 1 電極 9 1 1 および第 2 電極 9 1 4 は、単層に限らず、積層して形成することもできる。

10

【0116】

なお、EL 層で発光する光を外部に取り出すため、第 1 電極 9 1 1 または第 2 電極 9 1 4 のいずれか一方或いは両方を、EL 層からの発光を透過するように形成する。第 1 電極 9 1 1 のみが透光性を有する電極である場合、光は、矢印方向 9 0 0 に示すように第 1 電極 9 1 1 を通って、信号線から入力されるビデオ信号に応じた輝度で基板 1 1 1 側から取り出される。また、第 2 電極 9 1 4 のみが透光性を有する電極である場合、光は第 2 電極 9 1 4 を通って信号線から入力されるビデオ信号に応じた輝度で封止基板 9 1 6 側から取り出される。第 1 電極 9 1 1 および第 2 電極 9 1 4 がいずれも透光性を有する電極である場合、光は第 1 電極 9 1 1 および第 2 電極 9 1 4 を通って、信号線から入力されるビデオ信号に応じた輝度で基板 1 1 1 側及び封止基板 9 1 6 側の両方から取り出される。

20

【0117】

透光性を有する電極は、例えば、透光性を有する導電性金属酸化物を用いて形成するか、或いは、銀、アルミニウム等を数 nm 乃至数十 nm の厚さとなるように形成する。また、膜厚を薄くした銀、アルミニウムなどの金属層と、透光性を有する導電性金属酸化物層との積層構造とすることもできる。

【0118】

陽極として機能する第 1 電極 9 1 1 または第 2 電極 9 1 4 の一方は、仕事関数の大きい（仕事関数 4 . 0 e V 以上）金属、合金、電気伝導性化合物などを用いることが好ましい。また、陰極として機能する第 1 電極 9 1 1 または第 2 電極 9 1 4 の他方は、仕事関数の小さい（仕事関数 3 . 8 e V 以下）金属、合金、電気伝導性化合物などを用いることが好ましい。代表的には、アルカリ金属、アルカリ土類金属、及びこれらを含む合金や化合物、並びに希土類金属を含む遷移金属を用いて形成することができる。

30

【0119】

EL 層 9 1 3 は、発光層を有する。また、EL 層 9 1 3 は、発光層のほかに、正孔注入層、正孔輸送層、電子輸送層及び電子注入層を有してもよい。正孔輸送層は、陽極と発光層の間に設けられる。また、正孔注入層は陽極と発光層との間、或いは陽極と正孔輸送層との間に設けられる。一方、電子輸送層は、陰極と発光層との間に設けられる。電子注入層は陰極と発光層との間、或いは陰極と電子輸送層との間に設けられる。なお、正孔注入層、正孔輸送層、電子輸送層及び電子注入層は全ての層を設ける必要はなく、適宜求める機能等に応じて選択して設ければよい。

40

【0120】

発光層は発光性の物質を含む。発光性の物質としては、例えば、蛍光を発光する蛍光性化合物や燐光を発光する燐光性化合物を用いることができる。

【0121】

また、発光層は、発光性の物質をホスト材料に分散して形成できる。発光性の物質をホスト材料に分散して発光層を形成すると、発光物質同士が消光反応を引き起こす濃度消光現象や、結晶化現象を抑制できる。

【0122】

発光性の物質が蛍光性化合物の場合には、ホスト材料に蛍光性化合物よりも一重項励起エネルギー（基底状態と一重項励起状態とのエネルギー差）が大きい物質を用いることが

50

好ましい。また、燐光性化合物の場合には、ホスト材料に燐光性化合物よりも三重項励起エネルギー（基底状態と三重項励起状態とのエネルギー差）が大きい物質を用いることが好ましい。

【0123】

また、ホスト材料に分散する発光性の物質としては、上述した燐光性化合物や蛍光性化合物を用いることができる。

【0124】

なお、発光層として、2種類以上のホスト材料と発光性の物質を用いてもよいし、2種類以上の発光性の物質とホスト材料を用いてもよい。また、2種類以上のホスト材料及び2種類以上の発光性の物質を用いてもよい。

10

【0125】

また、正孔注入層として、正孔輸送性の高い物質と電子受容性を示す物質を含む層を用いることができる。正孔輸送性の高い物質と電子受容性を示す物質とを含む層は、キャリア密度が高く、正孔注入性に優れている。また、正孔輸送性の高い物質と電子受容性を示す物質とを含む層を、陽極として機能する電極に接する正孔注入層として用いることにより、陽極として機能する電極材料の仕事関数の大小に関わらず、様々な金属、合金、電気伝導性化合物、およびこれらの混合物などを用いることができる。

【0126】

発光層、正孔注入層、正孔輸送層、電子輸送層及び電子注入層は、蒸着法、塗布法等により形成することができる。

20

【0127】

また、第2電極914及び隔壁106上にパッシベーション層915をスパッタリング法やCVD法により形成してもよい。パッシベーション層915を設けることで、外部から発光素子への水分や酸素の侵入による発光素子の劣化を低減することができる。さらには、パッシベーション層915及び封止基板916の空間に窒素を封入し、さらに乾燥剤を配置してもよい。または、パッシベーション層915及び封止基板916の間を、透光性を有し、且つ吸水性の高い有機樹脂で充填してもよい。

【0128】

発光素子が白色の発光を示す場合、カラーフィルター、又は色変換層などを、基板111または封止基板916に設けることによってフルカラー表示を行なうことができる。

30

【0129】

またコントラストを高めるため、基板111または封止基板916に偏光板又は円偏光板を設けてもよい。

【0130】

本実施の形態の画素においても、上記実施の形態の構成を組み合わせることによって、酸化物半導体を用いた薄膜トランジスタを具備する画素を作製する際に、開口率の向上を図ることができる。

【0131】

本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせることで実施することが可能である。

40

【0132】

（実施の形態5）

本実施の形態においては、発光表示装置に適用できる画素の回路構成について説明する。

【0133】

図8は、発光表示装置に適用できる画素構成の一例を示す図である。画素800は、第1の薄膜トランジスタ801、第2の薄膜トランジスタ802、容量素子803、発光素子804を有している。第1の薄膜トランジスタ801のゲートは第1の配線805と電氣的に接続される。第1の薄膜トランジスタ801の第1端子は第2の配線806と電氣的に接続される。第1の薄膜トランジスタ801の第2端子は容量素子803の第1電極及び第2の薄膜トランジスタ802のゲートに電氣的に接続される。容量素子803の第2

50

電極は、電源線 8 0 7 と電氣的に接続される。第 2 の薄膜トランジスタ 8 0 2 の第 1 端子は、電源線 8 0 7 と電氣的に接続される。第 2 の薄膜トランジスタ 8 0 2 の第 2 端子は、発光素子 8 0 4 の一方の電極と電氣的に接続される。

【 0 1 3 4 】

第 1 の配線 8 0 5 に関しては、上記実施の形態 1 で説明した第 1 の配線 1 0 1 A の機能と同様である。第 2 の配線 8 0 6 に関しては、上記実施の形態 1 で説明した第 2 の配線 1 0 2 A の機能と同様である。電源線 8 0 7 に関しては、上記実施の形態 1 で説明した電源線 1 0 4 A の機能と同等である。発光素子 8 0 4 の構成に関しては、上記実施の形態 4 で説明した発光素子の構成と同等である。

【 0 1 3 5 】

本実施の形態の画素においても、上記実施の形態の構成を組み合わせることによって、酸化物半導体を用いた薄膜トランジスタを具備する画素を作製する際に、開口率の向上を図ることができる。

【 0 1 3 6 】

本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせることで実施することが可能である。

【 0 1 3 7 】

(実施の形態 6)

本実施の形態においては、上記実施の形態で説明した発光表示装置を具備する電子機器の例について説明する。

【 0 1 3 8 】

図 1 0 (A) は携帯型遊技機であり、筐体 9 6 3 0 、表示部 9 6 3 1 、スピーカ 9 6 3 3 、操作キー 9 6 3 5 、接続端子 9 6 3 6 、記録媒体読込部 9 6 7 2 、等を有することができる。図 1 0 (A) に示す携帯型遊技機は、記録媒体に記録されているプログラム又はデータを読み出して表示部に表示する機能、他の携帯型遊技機と無線通信を行って情報を共有する機能、等を有することができる。なお、図 1 0 (A) に示す携帯型遊技機が有する機能はこれに限定されず、様々な機能を有することができる。

【 0 1 3 9 】

図 1 0 (B) はデジタルカメラであり、筐体 9 6 3 0 、表示部 9 6 3 1 、スピーカ 9 6 3 3 、操作キー 9 6 3 5 、接続端子 9 6 3 6 、シャッターボタン 9 6 7 6 、受像部 9 6 7 7 、等を有することができる。図 1 0 (B) に示すテレビ受像機能付きデジタルカメラは、静止画を撮影する機能、動画を撮影する機能、撮影した画像を自動または手動で補正する機能、アンテナから様々な情報を取得する機能、撮影した画像、又はアンテナから取得した情報を保存する機能、撮影した画像、又はアンテナから取得した情報を表示部に表示する機能、等を有することができる。なお、図 1 0 (B) に示すテレビ受像機能付きデジタルカメラが有する機能はこれに限定されず、様々な機能を有することができる。

【 0 1 4 0 】

図 1 0 (C) はテレビ受像器であり、筐体 9 6 3 0 、表示部 9 6 3 1 、スピーカ 9 6 3 3 、操作キー 9 6 3 5 、接続端子 9 6 3 6 、等を有することができる。図 1 0 (C) に示すテレビ受像機は、テレビ用電波を処理して画像信号に変換する機能、画像信号を処理して表示に適した信号に変換する機能、画像信号のフレーム周波数を変換する機能、等を有することができる。なお、図 1 0 (C) に示すテレビ受像機が有する機能はこれに限定されず、様々な機能を有することができる。

【 0 1 4 1 】

図 1 1 (A) はコンピュータであり、筐体 9 6 3 0 、表示部 9 6 3 1 、スピーカ 9 6 3 3 、操作キー 9 6 3 5 、接続端子 9 6 3 6 、外部接続ポート 9 6 8 0 、ポインティングデバイス 9 6 8 1 等を有することができる。図 1 1 (A) に示すコンピュータは、様々な情報 (静止画、動画、テキスト画像など) を表示部に表示する機能、様々なソフトウェア (プログラム) によって処理を制御する機能、無線通信又は有線通信などの通信機能、通信機能を用いて様々なコンピュータネットワークに接続する機能、通信機能を用いて様々な

10

20

30

40

50

ータの送信又は受信を行う機能、等を有することができる。なお、図 1 1 (A) に示すコンピュータが有する機能はこれに限定されず、様々な機能を有することができる。

【 0 1 4 2 】

次に、図 1 1 (B) は携帯電話であり、筐体 9 6 3 0、表示部 9 6 3 1、スピーカ 9 6 3 3、操作キー 9 6 3 5、マイクロフォン 9 6 3 8 等を有することができる。図 1 1 (B) に示した携帯電話は、様々な情報（静止画、動画、テキスト画像など）を表示する機能、カレンダー、日付又は時刻などを表示部に表示する機能、表示部に表示した情報を操作又は編集する機能、様々なソフトウェア（プログラム）によって処理を制御する機能、等を有することができる。なお、図 1 1 (B) に示した携帯電話が有する機能はこれに限定されず、様々な機能を有することができる。

10

【 0 1 4 3 】

次に、図 1 1 (C) は電子ペーパー（E - b o o k ともいう）であり、筐体 9 6 3 0、表示部 9 6 3 1、操作キー 9 6 3 5 等を有することができる。図 1 1 (C) に示した電子ペーパーは、様々な情報（静止画、動画、テキスト画像など）を表示する機能、カレンダー、日付又は時刻などを表示部に表示する機能、表示部に表示した情報を操作又は編集する機能、様々なソフトウェア（プログラム）によって処理を制御する機能、等を有することができる。なお、図 1 1 (C) に示した電子ペーパーが有する機能はこれに限定されず、様々な機能を有することができる。

【 0 1 4 4 】

本実施の形態において述べた電子機器は、表示部を構成する複数の画素において、開口率の向上を図ることができる。

20

【 0 1 4 5 】

本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせて実施することが可能である。

【 符号の説明 】

【 0 1 4 6 】

1 0 0	画素
1 0 3	酸化物半導体層
1 0 5	発光素子
1 0 6	隔壁
1 1 1	基板
1 1 2	下地膜
1 1 3	ゲート絶縁膜
1 1 4	酸化物絶縁層
1 2 1	開口部
1 2 2	開口部
4 0 0	画素
4 0 5	発光素子
4 0 6	隔壁
4 1 1	基板
4 1 2	下地膜
4 1 3	ゲート絶縁膜
4 1 4	酸化物絶縁層
7 0 0	基板
7 0 1	画素
7 0 2	画素部
7 0 3	走査線駆動回路
7 0 4	信号線駆動回路
7 0 5	電源回路
8 0 0	画素

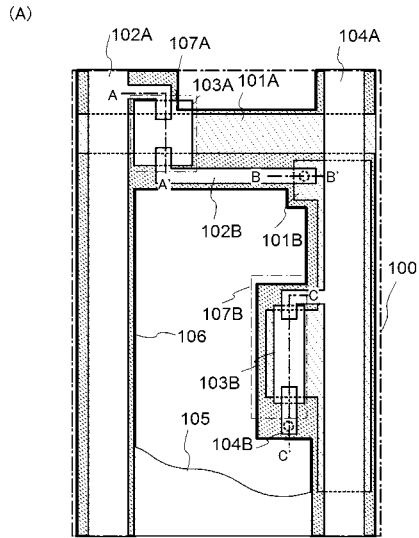
30

40

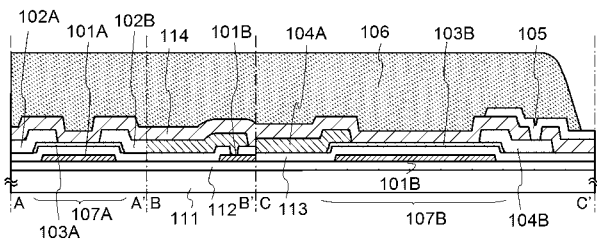
50

8 0 1	薄膜トランジスタ	
8 0 2	薄膜トランジスタ	
8 0 3	容量素子	
8 0 4	発光素子	
8 0 5	配線	
8 0 6	配線	
8 0 7	電源線	
9 0 0	矢印方向	
9 1 1	電極	
9 1 2	隔壁	10
9 1 3	E L 層	
9 1 4	電極	
9 1 5	パッシベーション層	
9 1 6	封止基板	
1 0 1 A	配線	
1 0 1 B	容量電極	
1 0 2 A	配線	
1 0 2 B	配線	
1 0 3 A	酸化物半導体層	
1 0 3 B	酸化物半導体層	20
1 0 4 A	電源線	
1 0 4 B	配線	
1 0 7 A	薄膜トランジスタ	
1 0 7 B	薄膜トランジスタ	
4 0 1 A	配線	
4 0 1 B	容量電極	
4 0 2 A	配線	
4 0 2 B	配線	
4 0 3 A	酸化物半導体層	
4 0 3 B	酸化物半導体層	30
4 0 4 A	電源線	
4 0 4 B	配線	
4 0 7 A	薄膜トランジスタ	
4 0 7 B	薄膜トランジスタ	
6 0 1 A	層間絶縁層	
6 0 1 B	層間絶縁層	
9 6 3 0	筐体	
9 6 3 1	表示部	
9 6 3 3	スピーカ	
9 6 3 5	操作キー	40
9 6 3 6	接続端子	
9 6 3 8	マイクロフォン	
9 6 7 2	記録媒体読込部	
9 6 7 6	シャッターボタン	
9 6 7 7	受像部	
9 6 8 0	外部接続ポート	
9 6 8 1	ポインティングデバイス	

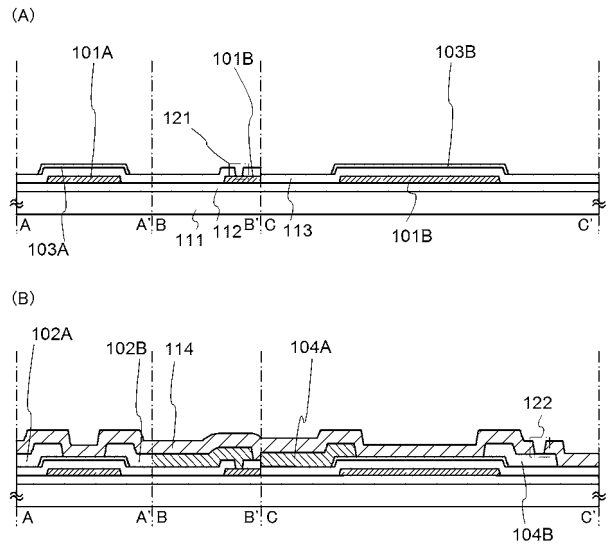
【図 1】



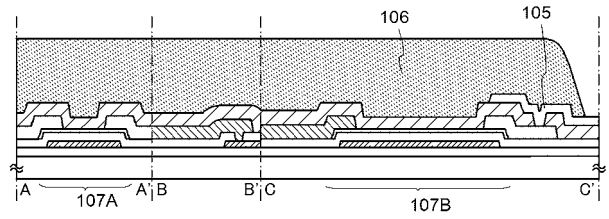
(B)



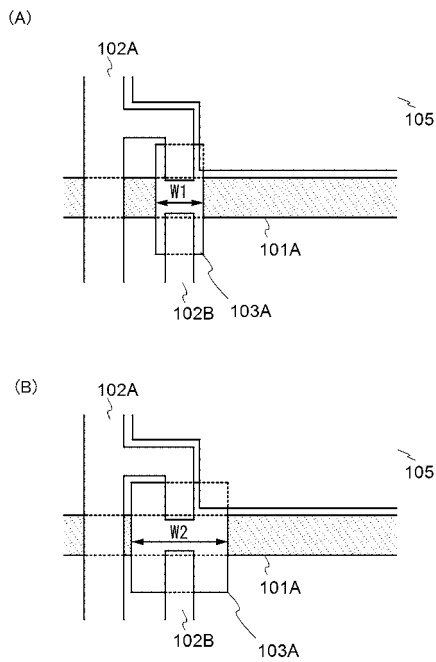
【図 2】



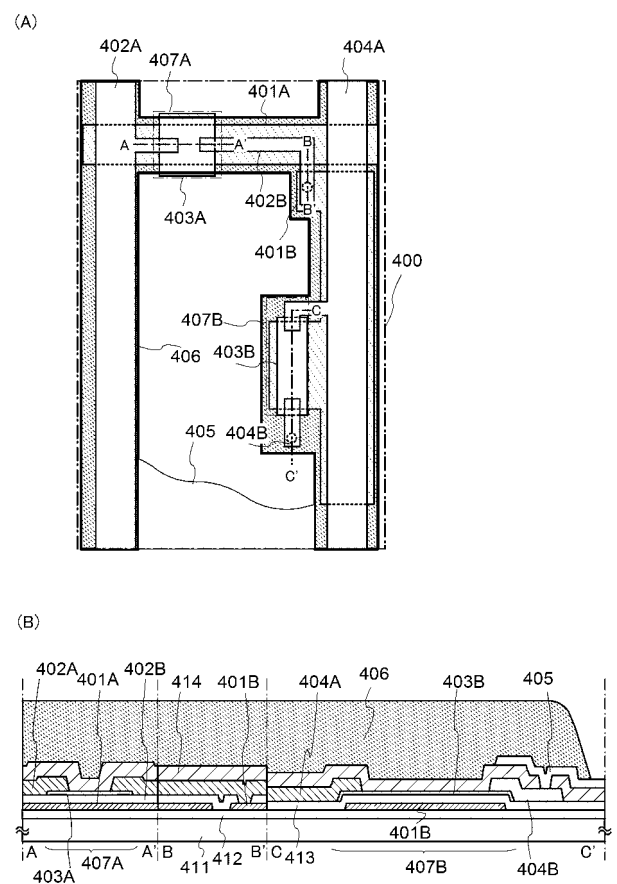
(C)



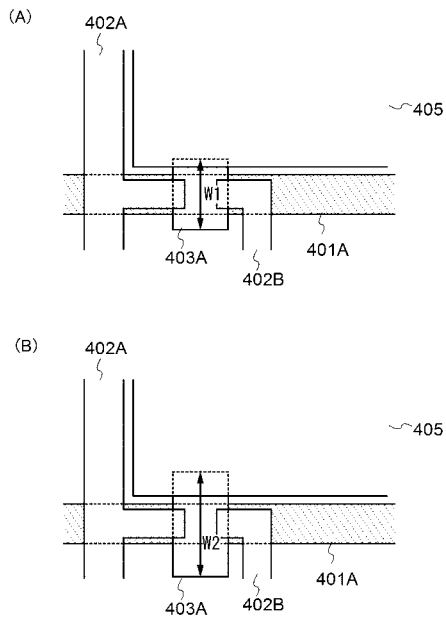
【図 3】



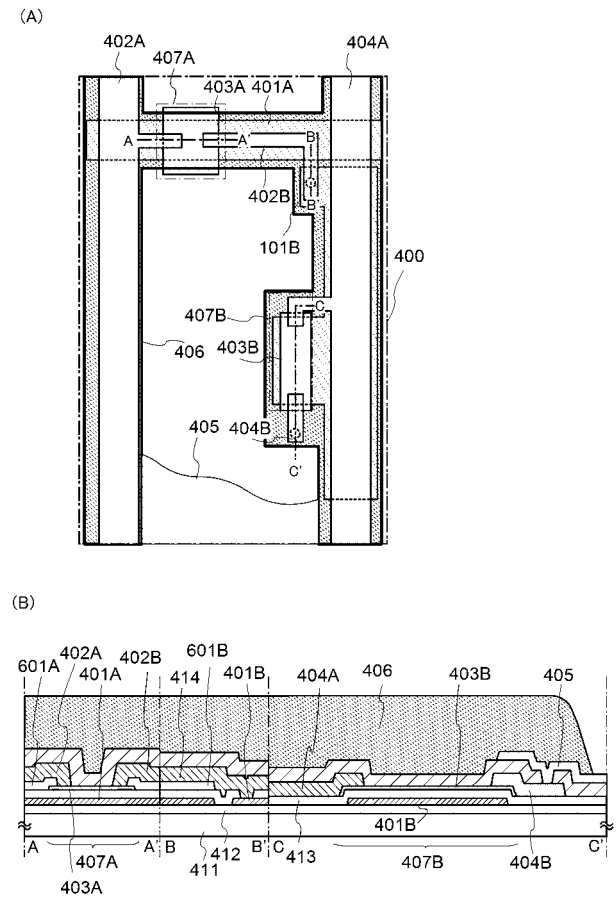
【図 4】



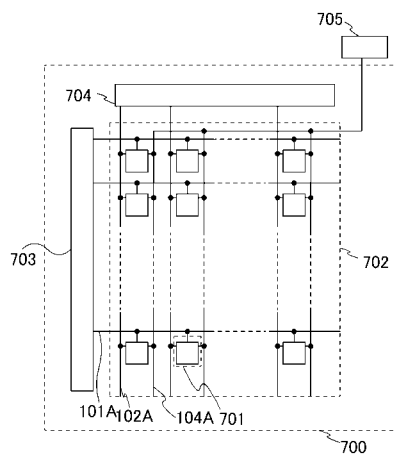
【図 5】



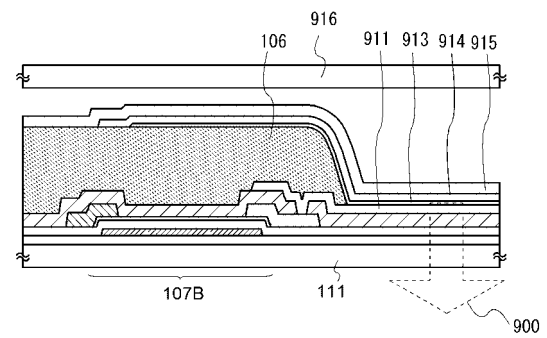
【図 6】



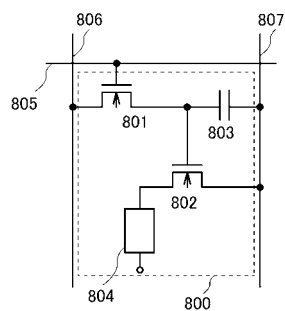
【図 7】



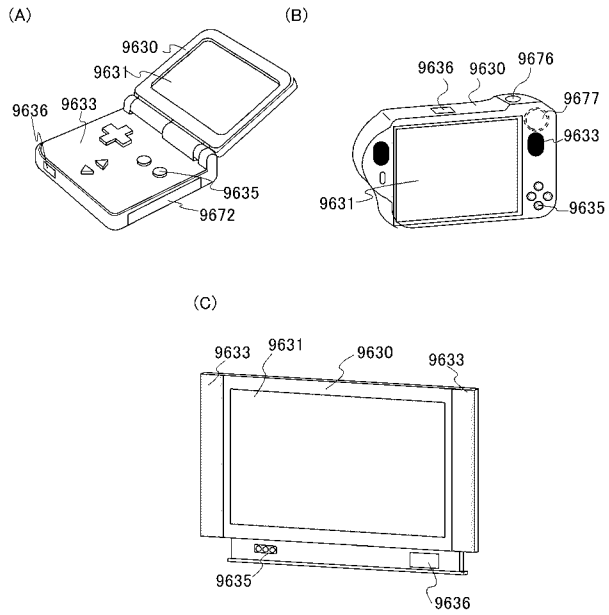
【図 9】



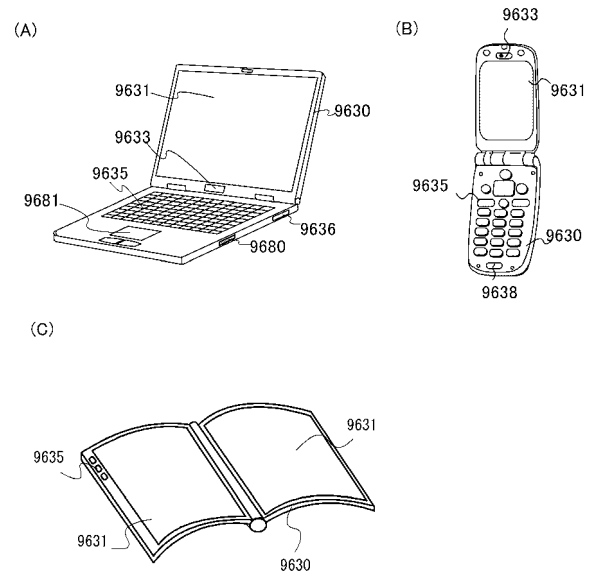
【図 8】



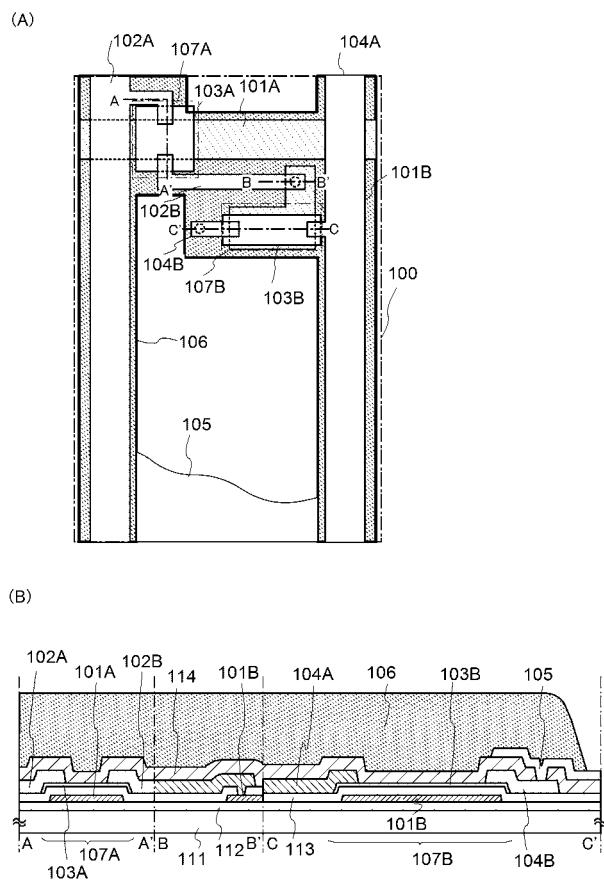
【図 10】



【図 11】



【図 12】



フロントページの続き

(51)Int.Cl.

F I

テーマコード(参考)

G 0 9 F 9/30 3 6 5 Z

F ターム(参考) 5F110 AA02 AA06 BB01 CC07 DD02 EE01 EE02 EE03 EE04 EE06
EE23 FF01 FF02 FF03 FF04 FF09 FF28 GG01 GG34 GG43
GG57 HK01 HK03 HK04 HK06 HK21 HK22 HK32 HK33 HL07
HL22 HL23 HM04 NN02 NN04 NN22 NN23 NN25 NN26 NN34
NN40 NN71 NN72 PP01 PP02 PP10 PP13 PP35 QQ01 QQ02
QQ09