

【公報種別】特許法第17条の2の規定による補正の掲載  
 【部門区分】第6部門第4区分  
 【発行日】平成18年2月23日(2006.2.23)

【公開番号】特開2000-268596(P2000-268596A)

【公開日】平成12年9月29日(2000.9.29)

【出願番号】特願平11-66893

【国際特許分類】

**G 1 1 C 29/04 (2006.01)**

**G 1 1 C 11/401 (2006.01)**

**G 1 1 C 16/06 (2006.01)**

**H 0 1 L 21/8242 (2006.01)**

**H 0 1 L 27/108 (2006.01)**

【F I】

G 1 1 C 29/00 6 0 3 L

G 1 1 C 29/00 6 0 3 J

G 1 1 C 29/00 6 0 3 K

G 1 1 C 11/34 3 6 2 H

G 1 1 C 11/34 3 7 1 D

G 1 1 C 17/00 6 3 9 A

H 0 1 L 27/10 6 2 1 C

H 0 1 L 27/10 6 8 1 F

【手続補正書】

【提出日】平成17年12月26日(2005.12.26)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】 行列状に配置される複数のメモリセルを含むメモリセルアレイと、  
 前記メモリセルアレイに含まれる不良メモリセルを救済するための複数のスペアメモリセルと、

複数のアドレスプログラム回路とを備え、前記複数のアドレスプログラム回路のそれぞれは、プログラム電圧により前記不良メモリセルを前記救済するための救済アドレスをプログラムすることが可能であって、

前記プログラム電圧を外部から受けるパッドと、

前記複数のアドレスプログラム回路のそれぞれに対して、前記プログラム電圧を選択的に供給する電圧供給回路とをさらに備える、半導体記憶装置。

【請求項2】 前記電圧供給回路は、

前記複数のアドレスプログラム回路のそれぞれに対応して設けられる複数の供給スイッチを含み、複数の供給スイッチのそれぞれは、制御信号に応じて、対応するアドレスプログラム回路に前記プログラム電圧を供給し、

前記複数のアドレスプログラム回路のそれぞれは、

前記プログラム電圧によりブローされる電気フューズを含むプログラム構成回路と、

前記救済を行なうか否かを判定するため、入力アドレスと前記電気フューズのプログラム状態とに基づき、前記入力アドレスと前記救済アドレスとの一致/不一致を比較する比較回路とを含む、請求項1記載の半導体記憶装置。

【請求項3】 前記複数のアドレスプログラム回路のそれぞれは、

前記プログラム構成回路と前記比較回路との間に設けられ、前記電気フューズのプログラム状態を保持するラッチをさらに含む、請求項 2 記載の半導体記憶装置。

【請求項 4】 前記複数のアドレスプログラム回路のそれぞれは、

前記プログラム構成回路と前記比較回路との間に設けられ、前記電気フューズのプログラム状態を保持するラッチと、

所定のタイミングで、前記プログラム構成回路と前記ラッチとを接続するスイッチとをさらに含む、請求項 2 記載の半導体記憶装置。

【請求項 5】 前記メモリセルアレイは、複数のバンクに分割され、

前記救済アドレスは、

複数の救済アドレス信号と、

前記複数のバンクのうち対応するバンクを示すバンクアドレス信号とを含み、

前記複数のアドレスプログラム回路のそれぞれは、

前記プログラム電圧によりブローされる複数の電気フューズを含み、

前記複数の電気フューズのそれぞれは、

前記複数の救済アドレス信号および前記バンクアドレス信号のそれぞれに対応して設けられる、請求項 1 記載の半導体記憶装置。

【請求項 6】 前記電気フューズをブローするプログラムモードを実行するための制御回路をさらに備え、

前記制御回路は、

前記プログラムモードにおける所定のタイミングで、前記入力アドレスとして前記救済アドレスを前記比較回路に供給することにより、前記電気フューズのプログラム状態を判定するプログラムチェックモードを実行する、請求項 2 記載の半導体記憶装置。

【請求項 7】 前記プログラム構成回路は、

前記プログラム電圧を受ける電圧ノードと、

前記電気フューズと前記電圧ノードとの間に配置され、所定のタイミングで、前記電圧ノードで受ける前記プログラム電圧を前記電気フューズに供給する電圧制御回路とをさらに含む、請求項 2 記載の半導体記憶装置。

【請求項 8】 外部クロックに基づき、内部動作を制御する内部クロックを発生する回路と、

前記内部クロックを有効にするチップ活性化信号を受ける信号パッドと、

前記チップ活性化信号の入力後に、前記電気フューズのプログラム状態を読み出すリードモードを実行するための制御回路とをさらに備える、請求項 2 記載の半導体記憶装置。

【請求項 9】 前記制御回路は、

前記リードモードにおいて、複数のリード動作が実行されるように動作し、

前記複数のリード動作のそれぞれにおいて、前記複数のアドレスプログラム回路のうちの所定数から前記電気フューズのプログラム状態が読み出される、請求項 8 記載の半導体記憶装置。

【請求項 10】 前記複数のアドレスプログラム回路のそれぞれは、

前記プログラム構成回路と前記比較回路との間に設けられ、前記電気フューズのプログラム状態を保持するラッチと、

所定のタイミングで前記プログラム構成回路と前記ラッチとを接続するスイッチとをさらに含む、請求項 8 記載の半導体記憶装置。

【請求項 11】 前記プログラム構成回路は、

前記プログラム電圧を受ける電圧ノードと、

前記電気フューズと前記電圧ノードとの間に配置され、前記プログラムモードおよび前記電気フューズのプログラム状態を読み出すリードモードにおいて、前記電圧ノードで受ける前記プログラム電圧を前記電気フューズに供給する電圧制御回路とをさらに含む、請求項 8 記載の半導体記憶装置。

【請求項 12】 前記電気フューズの不良を検出する不良検出回路をさらに備え、

前記複数のアドレスプログラム回路のそれぞれは、

所定の信号に応じて、前記電気フューズを前記不良検出回路に接続する検出スイッチをさらに含む、請求項 2 記載の半導体記憶装置。

【請求項 13】 前記不良検出回路は、

基準電流と前記電気フューズを流れる電流とを比較する電流比較回路を含む、請求項 1 2 記載の半導体記憶装置。

【請求項 14】 前記ラッチの電位を固定する固定回路をさらに備える、請求項 3 記載の半導体記憶装置。

【請求項 15】 前記複数のアドレスプログラム回路のそれぞれは、

前記電気フューズと前記比較回路との間に設けられ、基準電流と前記電気フューズを流れる電流とを比較して、前記比較の結果を前記電気フューズのプログラム状態として出力する回路をさらに含む、請求項 2 記載の半導体記憶装置。

【請求項 16】 前記救済アドレスは、複数の救済アドレス信号を含み、

前記複数のアドレスプログラム回路のそれぞれは、

前記複数の救済アドレス信号のそれぞれに対応して設けられる複数のプログラム構成回路を含み、前記複数のプログラム構成回路のそれぞれは、前記プログラム電圧によりブローされる電気フューズを含み、

バスと、

前記複数のプログラム構成回路のそれぞれから読出した前記電気フューズのプログラム状態を、順次、前記バスに転送する転送回路と、

前記複数のプログラム構成回路のそれぞれに対応して設けられる複数のラッチとをさらに含み、前記複数のラッチのそれぞれは、順次、前記電気フューズのプログラム状態を前記バスから受ける、請求項 1 記載の半導体記憶装置。

【請求項 17】 前記複数のアドレスプログラム回路における前記比較回路の出力のうち少なくとも 1 つが活性化すると活性化するスベア使用信号を発生するスベア使用信号発生回路と、

前記複数のプログラムアドレス回路におけるプログラム状態に対応して、前記救済アドレスに対応する救済位置情報をエンコードするエンコーダとをさらに備える、請求項 2 記載の半導体記憶装置。

【請求項 18】 前記救済アドレスは、

前記不良メモリセルを含む不良メモリセル行に対応する救済行アドレスと、

前記不良メモリセルを含む不良メモリセル列に対応する救済列アドレスとを含み、

前記複数のアドレスプログラム回路は、

前記救済行アドレスをプログラムすることが可能な第 1 グループと、前記救済列アドレスをプログラムすることが第 2 グループとに分割され、

前記第 1 グループに属するアドレスプログラム回路および前記第 2 グループに属するアドレスプログラム回路のそれぞれは、

前記プログラム電圧によりブローされる電気フューズを含み、

前記メモリセルアレイのアクセスにおいて、前記救済行アドレスに対応する前記電気フューズのプログラム状態と、前記救済列アドレスに対応する前記電気フューズのプログラム状態とは、互いに異なるタイミングで読出される、請求項 1 記載の半導体記憶装置。

【請求項 19】 前記メモリセルアレイは、複数のバンクに分割され、

前記救済列アドレスは、

複数の救済列アドレス信号と、

前記複数のバンクのうち対応するバンクを示すバンクアドレス信号とを含む、請求項 1 8 記載の半導体記憶装置。

【請求項 20】 外部から入力アドレスを受けるパッドと、

前記入力アドレスをデコードするデコーダと、

前記デコーダの出力に基づき、前記入力アドレスに対応するメモリセルを選択するための選択回路とをさらに備え、

前記複数のアドレスプログラム回路のそれぞれは、

前記プログラム電圧によりブローされる電気フューズを含むプログラム構成回路と、  
前記救済を行なうか否かを判定するため、前記入力アドレスと前記電気フューズのプログラム状態とに基づき、前記入力アドレスと前記救済アドレスとの一致／不一致を比較する比較回路とを含む、請求項 1 記載の半導体記憶装置。

【請求項 2 1】 前記デコーダは、  
前記比較回路から出力されるスペア使用の判定結果に基づき、デコード動作を停止する、請求項 2 0 記載の半導体記憶装置。

【請求項 2 2】 行列状に配置される複数のメモリセルを含むメモリセルアレイと、  
前記メモリセルアレイに含まれる不良メモリセルを救済するためのスペアメモリセルと、

複数のアドレスプログラム回路とを備え、前記複数のアドレスプログラム回路のそれぞれは、電気フューズを含み、プログラム電圧を用いて前記電気フューズをブローすることにより、前記不良メモリセルを前記救済するための救済アドレスをプログラムすることが可能であって、

前記複数のメモリセルのそれぞれは、

第 1 不純物領域内に形成される 1 対のソース／ドレイン領域と、前記 1 対のソース／ドレイン領域の上に絶縁膜を介して形成されるゲート電極とを有するメモリセルトランジスタと、

前記 1 対のソース／ドレイン領域の一方と電氣的に接続されるメモリセルキャパシタとを含み、

前記電気フューズは、

第 2 不純物領域内に形成され、前記第 2 不純物領域と同じ導電型を有し、かつ前記メモリセルトランジスタの前記 1 対のソース／ドレイン領域に相当する 1 対の第 3 不純物領域と、

前記 1 対の第 3 不純物領域の一方に電氣的に接続された、前記メモリセルキャパシタに相当するプログラム素子とを含む、半導体記憶装置。

【請求項 2 3】 前記プログラム素子は、

前記 1 対の第 3 不純物領域の一方に電氣的に接続されたストレージノードと、

前記ストレージノードの上に誘電体を介して形成されたセルプレートとを含み、

プログラムモードにおいて、前記セルプレートには、前記プログラム電圧を供給し、前記 1 対の第 3 不純物領域の他方に対して低電圧を供給する、請求項 2 2 記載の半導体記憶装置。

【請求項 2 4】 前記プログラム素子は、

前記 1 対の第 3 不純物領域の一方に電氣的に接続されたストレージノードと、

前記ストレージノードの上に誘電体を介して形成されたセルプレートとを含み、

前記電気フューズは、複数個存在し、

前記複数個の前記ストレージノードは、電氣的に接続状態にあり、

前記複数個の前記電気フューズは、

前記セルプレートが電源電位を受ける第 1 グループと、前記セルプレートが接地電位を受ける第 2 グループとに分割される、請求項 2 2 記載の半導体記憶装置。

【請求項 2 5】 行列状に配置される複数のメモリセルを含むメモリセルアレイと、  
前記メモリセルアレイにおける不良メモリセルを含む不良メモリセル列を救済するための複数のスペアメモリセル列と、

前記メモリセルアレイのデータを転送するための複数のデータ線対と、

前記複数のスペアメモリセル列のデータを転送するための複数のスペアデータ線対と、

外部と前記メモリセルアレイとの間でデータを転送するためのデータバスと、

複数のアドレスプログラム回路とを備え、前記複数のアドレスプログラム回路のそれぞれは、プログラム電圧により前記不良メモリセル列を前記救済するために救済列アドレスをプログラムすることが可能であって、

前記複数のアドレスプログラム回路のプログラム状態に応じて、前記不良メモリセル列

のデータを転送するためのデータ線対が前記データバスと非接続になるように、前記複数のデータ線対のそれぞれと前記データバスとの電氣的な接続関係を切替える切替回路と、  
前記複数のデータ線対と前記データバスと接続関係に応じて、前記複数のスペアデータ線対のそれぞれを選択的に前記データバスに接続する選択回路とをさらに備える、半導体記憶装置。

【請求項 26】 前記プログラム電圧を外部から受けるパッドと、  
前記救済列アドレスに応じて、対応するアドレスプログラム回路に前記プログラム電圧を選択的に供給する電圧供給回路とをさらに備え、  
前記複数のアドレスプログラム回路のそれぞれは、  
前記プログラム電圧によりブローされる電気フューズを含むプログラム構成回路と、  
入力アドレスと前記電気フューズのプログラム状態とに基づき、前記入力アドレスと前記救済列アドレスとの一致 / 不一致を比較してスペア判定を出力する回路とを含む、請求項 25 記載の半導体記憶装置。

【請求項 27】 前記切替回路は、  
前記複数のデータ線対のそれぞれに対応して設けられる複数のトランジスタを含み、前記複数のトランジスタのそれぞれは、対応するプログラムアドレス回路における前記スペア判定および前記救済列アドレスに基づきオン / オフすることにより、対応するデータ線対と前記データバスとの接続関係を切替える、請求項 26 記載の半導体記憶装置。

【請求項 28】 半導体装置であって、  
内部状態をプログラムするプログラム回路と、  
前記プログラム回路の出力をラッチするラッチ回路と、  
前記プログラム回路と前記ラッチ回路との間に配置され、前記プログラム回路の出力を転送する転送ゲートと、  
前記ラッチ回路の出力を処理する内部回路とを備える、半導体装置。

【請求項 29】 前記転送ゲートは、転送パルスに 응답して一時的にオフされる、請求項 28 記載の半導体装置。

【請求項 30】 前記転送ゲートは、入力クロックに同期してオフされる、請求項 29 記載の半導体装置。

【請求項 31】 複数の前記プログラム回路と、  
複数の前記ラッチ回路とを備え、前記複数のラッチ回路は、前記複数のプログラム回路に対応して設けられ、  
前記転送ゲートは、前記複数のプログラム回路の出力を順次前記複数のラッチ回路に転送する、請求項 28 記載の半導体装置。

【請求項 32】 前記転送ゲートは、前記複数のプログラム回路に対応して設けられかつ前記複数のプログラム回路の出力を順次転送する複数の第 1 ゲートを含む、請求項 31 記載の半導体装置。

【請求項 33】 前記複数の第 1 ゲートの出力を受けるデータバスをさらに備え、  
前記転送ゲートは、前記複数のプログラム回路に対応して設けられかつ前記データバスの信号を前記複数のラッチ回路に順次転送する複数の第 2 ゲートをさらに含む、請求項 32 記載の半導体装置。